

Estruturas de Dispositivos Semicondutores

Até este ponto estudamos técnicas de síntese de semicondutores e a sua lapidação para a obtenção de lâminas, seguido pela teoria de semicondutores, intrínsecos e extrínsecos com dopagem uniforme. Neste e no próximo capítulo, seguiremos a mesma filosofia didática no estudo de estruturas de semicondutores que compõe os diversos dispositivos. No presente capítulo, apresentaremos as diversas técnicas de fabricação de estruturas, bem como alguns exemplos de estruturas características de dispositivos. Finalizaremos o capítulo com um histórico da evolução das técnicas, estruturas e dispositivos. Este conhecimento servirá de motivação para o estudo da teoria básica de dispositivos, como as diversas junções de materiais, a ser tratado no capítulo seguinte.

Os dispositivos semicondutores são constituídos por estruturas semicondutoras com dopagens, e eventualmente composições, variadas e localizadas, por camadas isolantes e contatos e interconexões metálicas. Veremos a seguir várias técnicas para moldar a dopagem e composição do substrato semicondutor, como obter camadas isolantes e condutoras e como moldá-los para que tenham as dimensões tridimensionais desejadas. Nota: a palavra camada refere-se a um material de espessura bem menor que o do substrato. Um termo substituto e sinônimo muito usado para camada é o termo filme. Nós usaremos estes dois termos indistintamente. Filmes podem ainda ser classificados do tipo fino ou grosso, dependendo se sua espessura é menor ou da ordem de 1 μm ou maior que 1 μm , respectivamente. Em tecnologias de fabricação de estruturas e dispositivos semicondutores usa-se tipicamente filmes finos. Filmes espessos são usados em algumas tecnologias de circuitos impressos e alguns circuitos híbridos.

9.1 Obtenção de Camadas Semicondutoras Dopadas

Descreveremos aqui três técnicas para moldar a dopagem de substrato semicondutor: a) por crescimento de nova camada semicondutora com dopagem, e eventualmente composição, específica, b) pela introdução de dopantes, em regiões localizadas da superfície, por processo de difusão térmica e c) pela introdução de dopantes, em regiões localizadas da superfície, por processo de implantação de íons.

a) Crescimento epitaxial:

Epitaxia é uma palavra Grega que significa “arranjo sobre” e refere-se à técnica de deposição de camadas atômicas, em arranjo cristalino, sobre um substrato cristalino, seguindo a mesma estrutura e orientação cristalográfica deste. A epitaxia classifica-se em dois tipos: homoepitaxia e heteroepitaxia. A homoepitaxia refere-se ao caso de crescermos um filme sobre um substrato, ambos do mesmo material. Como exemplo

temos, crescer uma camada de Si sobre um substrato de Si (independendo das dopagens da camada e do substrato, que podem ou não ser diferentes). No caso da heteroepitaxia temos o crescimento de uma camada semicondutora de composição diferente ao da composição do material do substrato, porém ambos com a mesma estrutura e orientação cristalográfica. Como exemplos temos camada de Si sobre safira, ou Si/Al₂O₃ (SOS – “silicon on sapphire”), SiGe/Si, GaAs/Si, AlGaAs/GaAs, InGaAs/InP, etc. A Fig. 9.1 ilustra alguns destes exemplos de estruturas obtidas por crescimento epitaxial.

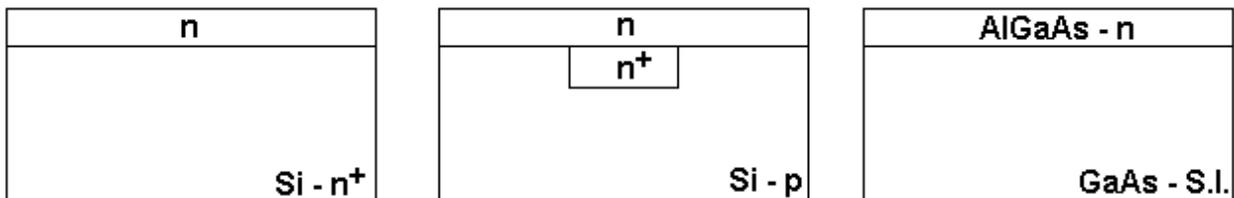


Fig. 9.1 Exemplos de estruturas obtidas por crescimento epitaxial: a) camada de Si tipo n sobre substrato tipo n⁺ (+ refere-se a nível de dopagem de alta concentração), b) camada de Si tipo n sobre substrato tipo p com regiões tipo n⁺, c) camada de AlGaAs tipo n sobre substrato de GaAs não dopado ou semi-isolante (S.I.).

Existem algumas técnicas distintas para o crescimento epitaxial. Entre estas, a mais usada em tecnologia de Si é a técnica chamada VPE (Vapor Phase Epitaxy), ou epitaxia por fase vapor. Em tecnologia de Si, VPE tipo homoepitaxial, é usado na fabricação de CI's tipo bipolares e CMOS (ver item 9.4). Neste caso o interesse é a obtenção de uma camada de Si de dopagem distinta à do substrato, tipicamente a camada com nível de dopagem menor sobre um substrato ou região mais dopada. O processo VPE é realizado num reator específico com uma câmara de processo, onde carregamos as lâminas sobre um susceptor (suporte de lâminas) com temperatura controlada. Entrando-se com gases de processos com fluxos apropriados e temperatura apropriada do susceptor, teremos reações químicas dos gases na superfície das lâminas, resultando na formação da camada sólida epitaxial. A Fig. 9.2 mostra um diagrama em blocos esquemático de um sistema de crescimento epitaxial por VPE. A câmara do reator é alimentada por: a) potência elétrica para o aquecimento do susceptor, b) água para refrigerar as demais partes do reator que não devem ser aquecidas, c) gases de processos como fontes do material da camada (ex. SiH₄) e da sua dopagem (ex. AsH₃) e d) gases de homogeneização e diluição dos fluxos de gases (ex. N₂ e H₂). Normalmente, por questões de segurança e ecológicas, os gases passam por um lavador de gases após passarem pelo reator e antes de serem descartados para o ambiente. Neste processo de lavagem, os gases são reduzidos ou neutralizados. Os tipos de reatores mais comuns são mostrados na Fig. 9.3. No caso barril radiante, temos um susceptor sextavado de grafite com as lâminas, colocado num barril de quartzo. Uma bobina RF ao redor do barril permite a indução de corrente RF no susceptor de grafite, aquecendo-o a uma temperatura controlada pela potência RF. Os gases são introduzidos na parte superior do barril e fluem paralelo à superfície das lâminas. No sistema b) da Fig. 9.3 temos o sistema chamado vertical, onde as lâminas são suportadas por um susceptor plano de grafite, tendo uma bobina RF abaixo do susceptor para o seu aquecimento por

sinal RF indutivo. Uma campânula de quartzo fecha o sistema. Neste caso, os gases entram verticalmente pelo centro e são conduzidos para fora pelas laterais do sistema. No terceiro sistema, usa-se um tubo de quartzo horizontal envolto novamente por uma bobina RF, que induz corrente no susceptor de grafite levemente inclinado. A inclinação do susceptor é para uniformizar a taxa de crescimento da camada epitaxial da primeira até a última lâmina, colocadas em seqüência no susceptor. No caso de crescimento epitaxial de Si, pode-se usar uma das fontes de Si listadas na Tabela 9.1. A tabela mostra também faixas típicas de taxas de crescimento e a faixa de temperatura apropriada para cada tipo de gás fonte. A tendência atual é pelo uso do gás silana (SiH_4) uma vez que a tendência é por camadas mais finas e uso de temperaturas mais baixas (para evitar problemas com o uso de lâminas de diâmetro cada vez maiores).

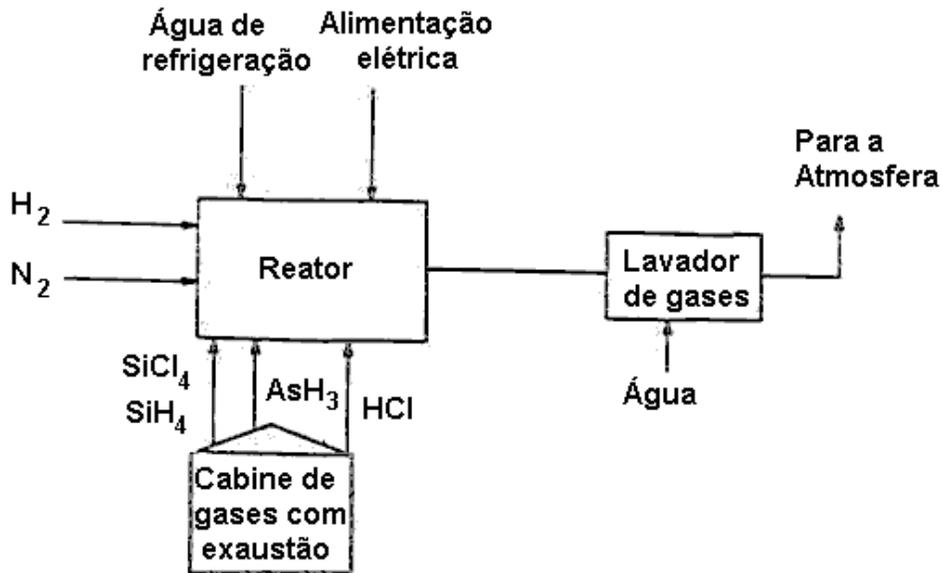


Fig. 9.2 Diagrama esquemático de um sistema de crescimento epitaxial por fase vapor (VPE).

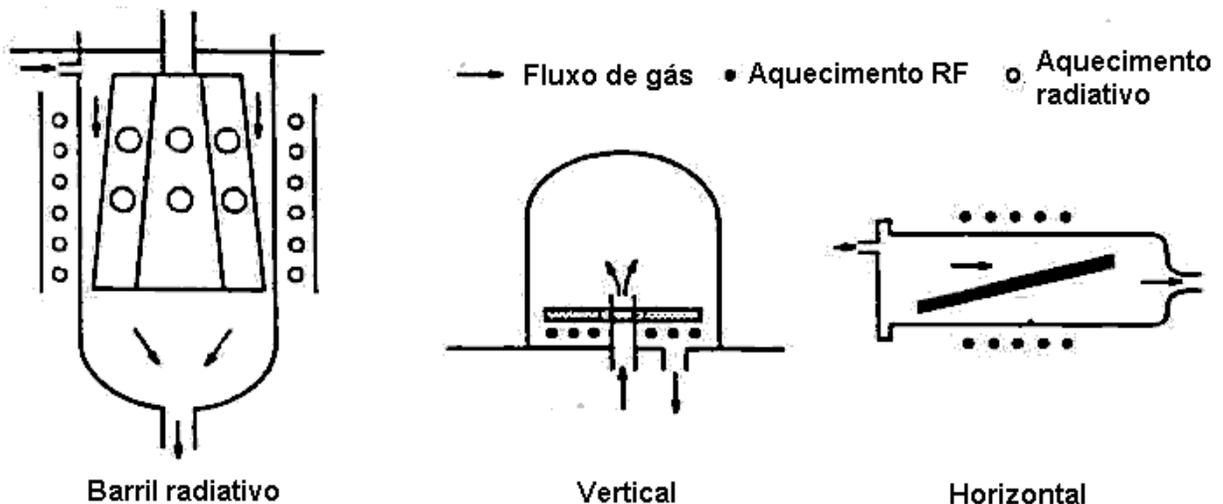


Fig. 9.3 Desenho esquemático de 3 tipos de reatores de crescimento epitaxial.

Tabela 9.1 Parâmetros de processos de crescimento epitaxial de Si em ambientes hidrogênio com diferentes fontes gasosas de Si.

Fonte gasosa	Taxa de crescimento [μm]	Faixa de temperatura [$^{\circ}\text{C}$]
SiCl_4	0.4 – 1.5	1150 – 1250
SiHCl_3	0.4 – 2.0	1100 – 1200
SiH_2Cl_2	0.4 – 3.0	1050 – 1150
SiH_4	0.2 – 0.3	950 - 1050

O processo de crescimento epitaxial pode ser melhor entendido pela apresentação do modelo atômico de crescimento, como ilustrado na Fig. 9.4. Considerando as lâminas no reator a uma temperatura apropriada, temos os seguintes passos envolvidos no processo:

- Espécies químicas do gás são adsorvidas na superfície do Si.
- Reações químicas ocorrem na superfície, catalizadas por esta, produzindo Si e dopantes adsorvidos na superfície e liberando produtos voláteis.
- Os átomos adsorvidos na superfície começam a difundir (caminhar na superfície), movidos pela energia térmica do material, indo parar em posições da superfície onde o número de ligações químicas a átomos vizinhos seja o maior possível. Estas posições preferenciais são as quinas formadas pelos platôs dos planos cristalográficos de superfície, como ilustrado na Fig. 9.4. Desta forma, estes platôs crescem horizontalmente até se completarem, formando-se assim, planos atômicos sucessivos.

Observa-se que este modelo explica porque o material crescido tende a seguir a mesma estrutura e orientação cristalográfica do substrato.

Uma técnica mais refinada e muito mais cara é a técnica chamada MBE (Molecular Beam Epitaxy) ou Epitaxia por feixe molecular. Esta técnica é realizada em câmara de ultra-alto vácuo (aprox. 10^{-11} torr), esquematizado na Fig. 9.5. Células de efusão, evaporam materiais, formando finos feixes de vapor do elemento químico carregado na célula. Os feixes moleculares são direcionados para a amostra, fixa em suporte com temperatura controlada. Os átomos condensam na superfície da lâmina e formam as novas camadas atômicas, seguindo a mesma estrutura e orientação do substrato. Um sistema de anteparos (“shutters”) permite a interrupção de um ou mais feixes moleculares. Isto permite controlar a espessura, a composição e a dopagem das camadas crescidas seqüencialmente. Obtém-se o crescimento de camadas com controle muito preciso, a nível de uma camada atômica, sobre estes parâmetros. Esta técnica é apropriada para a fabricação de dispositivos com hetero-estruturas e dispositivos especiais tipo optoeletrônicos e eletrônicos de alta frequência.

b) Difusão térmica de dopantes:

Impurezas atômicas em contato íntimo com a superfície de um sólido, poderão penetrar neste, por mecanismo chamado difusão. A difusão apenas ocorre, se a impureza atômica tiver mobilidade suficiente dentro da estrutura cristalina do sólido. Esta mobilidade pode ser obtida pela elevação da temperatura do material. Normalmente, utilizam-se fornos térmicos para realizar processos de difusão de dopantes em semicondutores. Estes

fornos são constituídos por espiras resistivas e um tubo de sílica de alta pureza no seu interior. A temperatura do forno é controlada pela corrente elétrica que passa pelas espiras resistivas. No interior do tubo de sílica são colocadas as lâminas de semicondutores e a fonte de impurezas dopantes desejadas. A fonte do dopante, a ter contato com a superfície da lâmina de semicondutor, pode ser gasosa, líquida ou sólida. Na Fig. 9.6, apresentamos desenho esquemático de forno de difusão, usando como fontes de dopantes um gás. Como fontes gasosas para dopantes tipo As, P e B, usados em tecnologia de Si, tem-se: AsH_3 , AsF_3 , PH_3 , PF_3 , POCl_3 , B_2H_6 , BF_3 , BCL_3 , outros. Alguns destes gases apresentam alto nível de toxicidade e devem ser manipulados com o máximo de segurança.

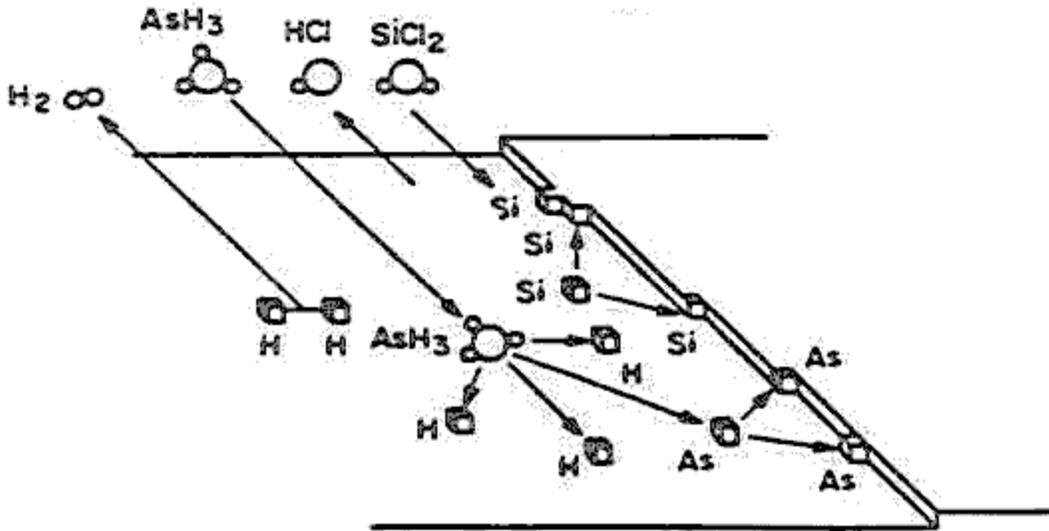


Fig. 9.4 Representação do modelo atômico de crescimento epitaxial de Si com dopagem de átomos de As.

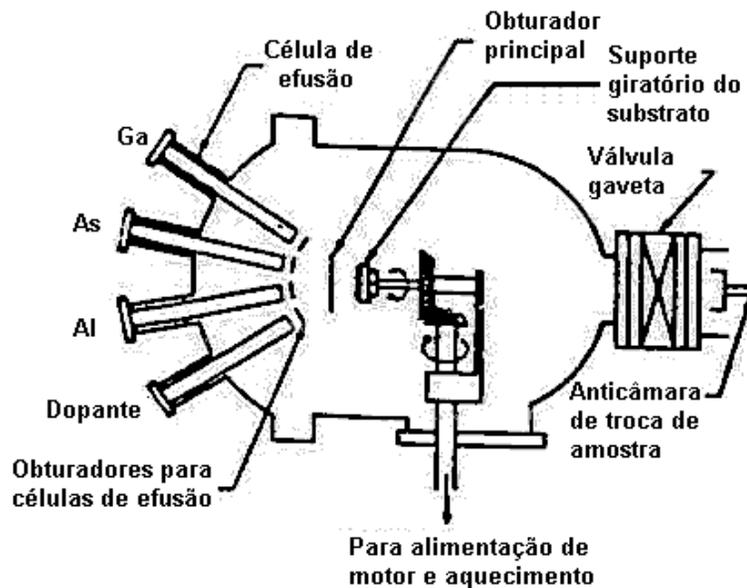


Fig. 9.5 Desenho esquemático de um sistema de crescimento epitaxial tipo MBE.

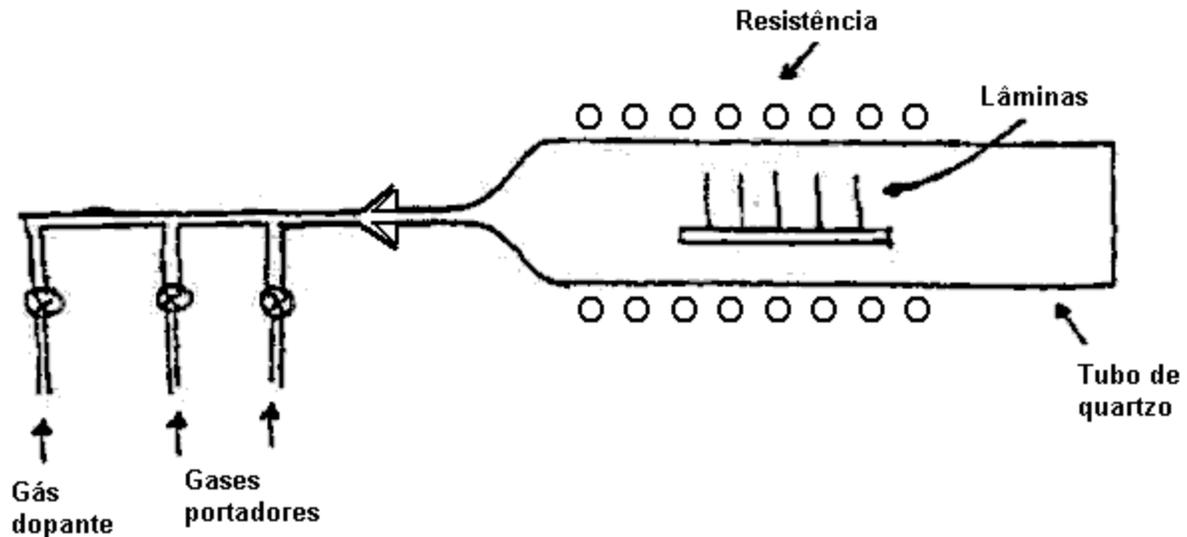


Fig. 9.6 Desenho esquemático de um forno térmico de difusão, com entrada de gases: gás dopante e gases portadores para homogeneização do fluxo no interior do tubo.

O aluno deve estar se perguntando: mas por quê ocorre a difusão dos dopantes no cristal semiconductor? A resposta é a mesma à estudada no capítulo anterior, item 8.7.2, no caso da difusão de portadores de cargas (elétrons e lacunas). A difusão de dopantes ainda é similar à difusão da fumaça de cigarro no ar, a qual ocorre mesmo à temperatura ambiente. Nos sólidos, ao contrário, a difusão é normalmente desprezível à temperatura ambiente e ocorre apenas se aumentarmos consideravelmente sua temperatura. Como em qualquer processo de difusão, a força propulsora do mecanismo é a existência de um gradiente de concentração. Partículas com movimento térmico aleatório apresentarão um fluxo líquido da região de maior concentração para uma região de menor concentração. Assim, poderemos ter a difusão de dopante da superfície de uma lâmina para seu interior, se introduzirmos uma alta concentração do mesmo na sua superfície, por exemplo, através de um gás ou vapor deste elemento. A difusão não necessariamente é da superfície para o interior da lâmina, mas sim necessariamente da região mais dopada para a menos dopada. Poderemos ter a difusão a partir de uma camada altamente dopada no interior da lâmina, como por exemplo, de camada enterrada obtida após etapa de crescimento epitaxial (ver Fig. 9.1b).

O caso de difusão térmica em lâmina de Si, a partir de um vapor do dopante em um forno, é comum para a fabricação de junções pn. Partindo-se de uma lâmina tipo n por exemplo, podemos difundir boro a partir da superfície, para produzir a camada tipo p na superfície. A difusão irá produzir um perfil de dopagem como esquematizada na Fig. 9.7. Note que a conversão da superfície da lâmina de tipo n para tipo p, apenas ocorre se introduzirmos uma concentração p maior que a do substrato n. Se a lâmina de Si tiver sua superfície totalmente desprotegida, teremos a formação da junção ao longo de toda sua superfície. Ao contrário, é possível restringir a área da junção se protegermos partes da superfície das lâminas. Isto é normalmente feito, usando-se uma camada de óxido de silício, crescido termicamente na superfície da lâmina, seguida por uma etapa de fotografação para a abertura de janelas (ver item 9.2). A Fig. 9.8 mostra esta seqüência de etapas para o fabricação de diodos de área delimitada. Neste processo, a espessura

do óxido deve ser suficiente para impedir que o dopante, que difunde também no óxido, a atravesse e alcance a interface do SiO_2/Si . Os dopantes tipo As, P e B apresentam menor difusão térmica no óxido comparado ao Si. Isto faz com que estes dopantes sejam normalmente usados para a obtenção de diodos.

Além da questão da força propulsora, devemos nos perguntar sobre como os átomos de impurezas podem caminhar dentro do sólido, ou seja, qual o mecanismo da difusão. Foram propostos 2 modelos básicos de difusão de átomos em sólidos, que são, o mecanismo de difusão intersticial e o mecanismo de difusão substitucional. Na difusão

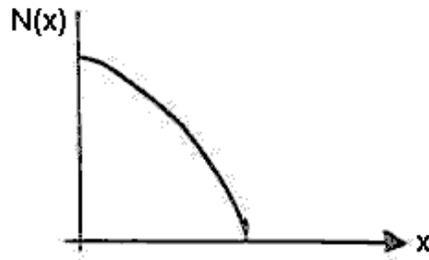


Fig. 9.7 Perfil típico de dopagem de uma junção pn, obtido pela difusão de impurezas a partir da superfície.

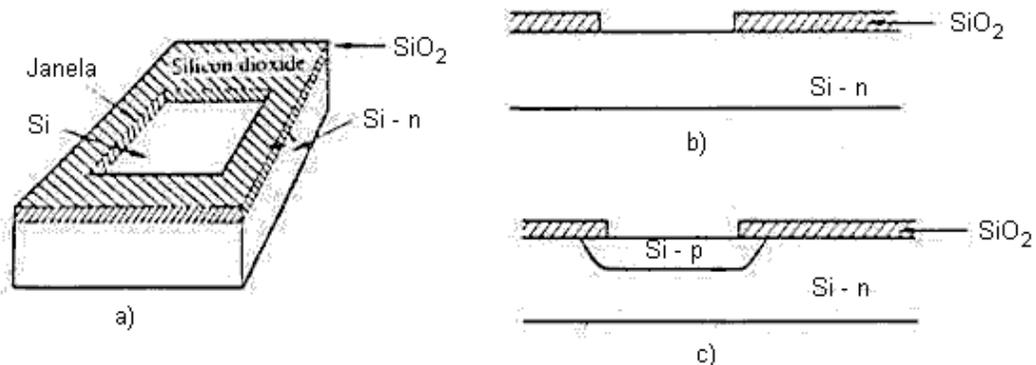


Fig. 9.8 Formação de diodo com área delimitada: a) abertura de janela em filme de óxido de silício, b) desenho em secção de corte da janela antes da difusão e c) após etapa de difusão.

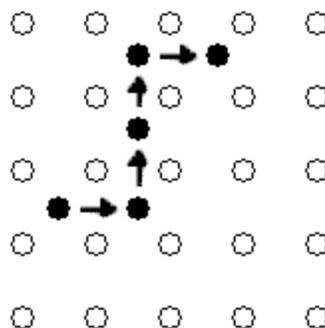


Fig. 9.9 Representação do mecanismo de difusão intersticial de impureza em cristal.

intersticial, os átomos migram pelos interstícios da estrutura cristalina do material, pulando de uma posição intersticial ao vizinho, como ilustra a Fig. 9.9. Certos elementos difundem preferencialmente por este mecanismo. Na difusão substitucional, as impurezas ocupam posições substitucionais da rede e migram pela interação com defeitos pontuais tipo vacâncias ou auto-intersticiais. Estes defeitos pontuais, criados ou chegando junto à posição da impureza substitucional, interagem com este e ajudam na deslocação da impureza para uma posição substitucional vizinha, como ilustra a Fig. 9.10.

O processo de difusão pode ser representado matematicamente pelas duas leis de Fick. A primeira lei de Fick afirma que o fluxo de partículas (átomos no caso) é proporcional ao gradiente da concentração das mesmas:

$$F = -D \cdot \frac{\partial N(x, t)}{\partial x} \quad (9.1)$$

onde D é uma constante, chamada de coeficiente de difusão. D é uma constante que depende das condições da difusão: tipo de material do substrato, tipo de impureza, temperatura e ambiente do processo. Quanto maior a temperatura, maior a energia de vibração térmica dos átomos, maior a concentração de defeitos pontuais, maior a freqüência de pulos dos átomos para suas posições vizinhas, ou seja, maior será o coeficiente de difusão. Na realidade, o coeficiente de difusão aumenta exponencialmente com a temperatura, como mostram os dados da Fig. 9.11. Esta figura apresenta a variação do coeficiente de difusão de vários elementos em silício, em curvas chamadas do tipo Arrhenius. Como D aumenta exponencialmente com a temperatura, obtém-se curvas lineares quando a abcissa for o inverso da temperatura. A inclinação da curva é inversamente proporcional à energia de ativação do processo, ou seja, a energia necessária para ocorrer o deslocamento do átomo para uma posição vizinha. Matematicamente tem-se:

$$D = D_0 e^{-E_a/kT} \quad (9.2)$$

onde E_a é a energia de ativação, k é a constante de Boltzmann e T a temperatura em Kelvin.

Observa-se da Fig. 9.11 que os elementos químicos de colunas III (aceitadores) e V (doadores) apresentam coeficientes de difusão relativamente baixos e com alta energia de ativação. Isto deve-se ao fato destes elementos difundirem-se por mecanismo de difusão substitucional. Os metais como Cu, Ni, Li e Fe, por outro lado, apresentam coeficientes de difusão bem mais elevados e com baixa energia de ativação. Neste caso o mecanismo de difusão é do tipo intersticial. Como curiosidade, fazendo-se extrapolações destas curvas até temperatura ambiente, resulta que, para difusão intersticial tem-se aproximadamente um deslocamento a cada minuto, enquanto que para difusão substitucional tem-se um deslocamento a cada 10^{45} anos. Ou seja, os átomos que difundem via mecanismo substitucional, ficam realmente congelados em suas posições quando a temperatura for ambiente.

A 2ª lei de Fick está relacionada ao princípio da conservação da matéria, que nos ensina que a variação temporal da concentração de partículas num volume infinitesimal é igual à variação do fluxo das partículas neste ponto:

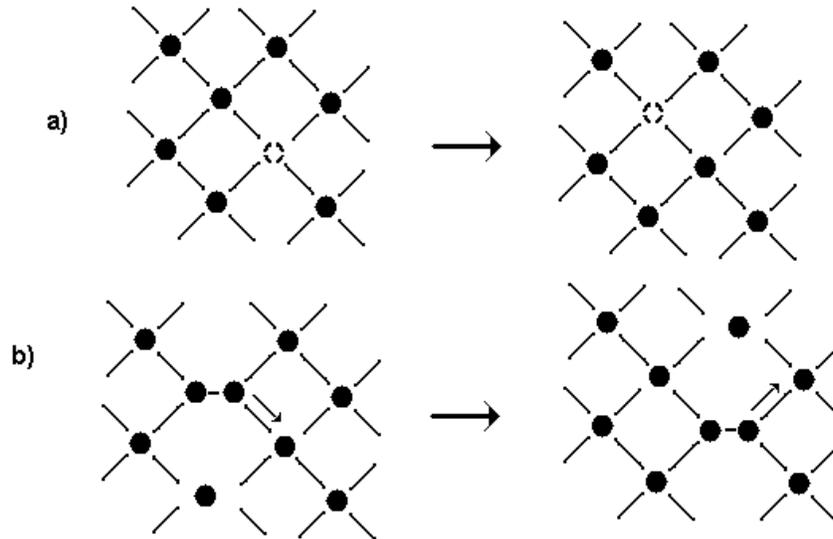


Fig. 9.10 Representação do mecanismo de difusão substitucional de impureza em cristal, a) assistido por vacância e b) assistido por auto-intersticial.

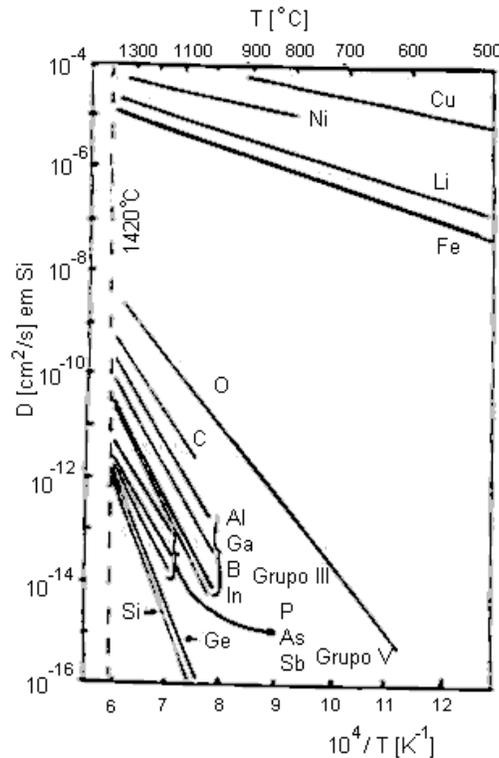


Fig. 9.11 Gráfico tipo Arrhenius do coeficiente de difusão de vários elementos químicos em Si.

$$\frac{\partial N(x, t)}{\partial t} = - \frac{\partial F(x, t)}{\partial x} = \frac{\partial}{\partial x} \left[D \frac{\partial N(x, t)}{\partial x} \right] \quad (9.3)$$

Caso D seja constante no espaço (isto nem sempre é verdade, pois ela pode variar com a concentração da impureza), podemos simplificar a expressão (9.3) para:

$$\frac{\partial N(x, t)}{\partial t} = D \frac{\partial^2 N(x, t)}{\partial x^2} \quad (9.4)$$

Estas duas leis de Fick permitem calcular o perfil de dopagem após uma etapa de difusão térmica. Analisemos 2 casos:

a) No caso do processo ser tal que ela imponha como condição de contorno, a concentração de superfície ($x=0$) ser constante (por exemplo, num forno contendo um fluxo constante de gás contendo o dopante), teremos um perfil de dopagem decrescente a partir da superfície, com $N_{\text{sup}} = \text{constante}$ e profundidade do perfil crescente com o tempo, como ilustra a Fig. 9.12. A solução matemática deste caso é dada por uma função tabulada chamada de erro complementar:

$$N(x, t) = N_{\text{sup}} \cdot \text{erfc} \left[\frac{x}{2\sqrt{Dt}} \right] \quad (9.5)$$

b) Um segundo caso de interesse é quando temos inicialmente uma certa quantidade total de dopantes introduzidos próximo à superfície do cristal e realizarmos uma difusão térmica sem nova fonte de dopantes. Neste caso teremos uma difusão com a condição de contorno aproximado por:

$$Q = \int_0^{\infty} N(x) = \text{cte}$$

$$Q(x, t=0) = Qd(x)$$

A difusão térmica resulta numa redistribuição dos dopantes com a penetração dos mesmos no material, resultando em perfis de concentração graduais, com profundidade crescente e concentração superficial decrescente com o tempo, como ilustra a Fig. 9.13. A solução matemática neste caso é uma meia Gaussiana dada por:

$$N(x, t) = \frac{Q}{\sqrt{\pi Dt}} e^{-x^2/4Dt} \quad (9.6)$$

As soluções analíticas dadas acima podem ser usadas apenas como soluções aproximadas de primeira ordem. Na realidade, como já mencionamos, a suposição de que D seja constante com a profundidade não é correta e resulta em erro na solução analítica. Caso consideremos mais realisticamente, D variável com x, não existe solução

analítica e deve-se resolver o problema por cálculo numérico, o que é feito normalmente pelos programas de simulação de processos.

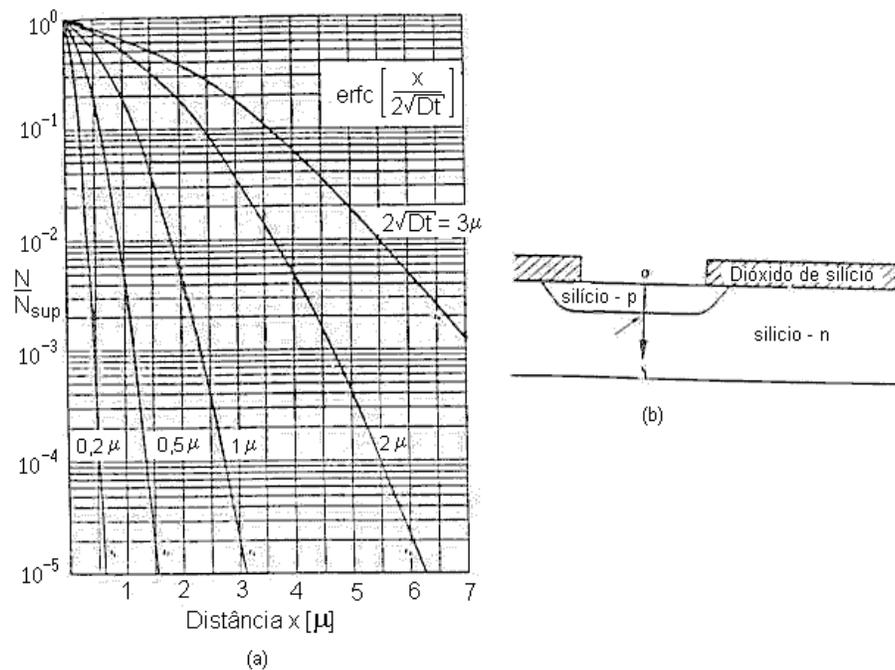


Fig. 9.12 a) Perfis de dopagem após etapa de difusão em forno com fluxo constante de gás contendo o dopante, para tempos de processo crescentes, b) ilustração e definição da coordenada x .

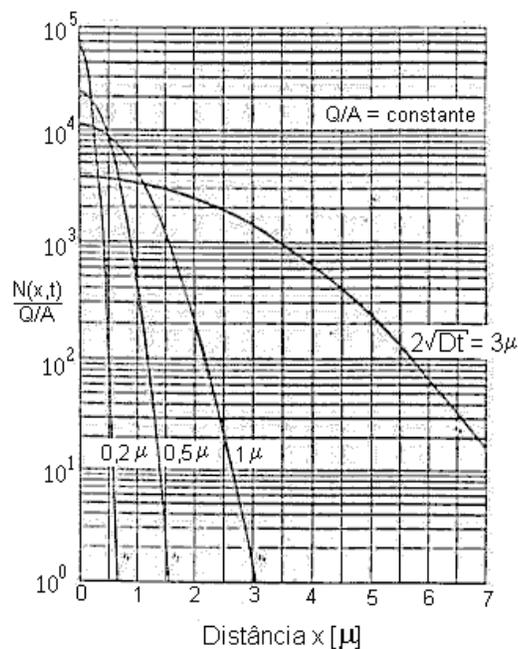


Fig. 9.13 Evolução do perfil de dopagem após sua redistribuição em forno sem nova introdução de dopantes.

No ponto x onde a concentração do perfil da impureza igualar à concentração de impurezas do substrato original, supostamente de tipo oposto, teremos o ponto da junção metalúrgica p-n. Observa-se que, quanto maior o tempo de difusão, maior a profundidade da junção.

c) Implantação de Íons:

A implantação de íons é uma técnica alternativa para introduzir impurezas no semiconductor. Ela é realizada por meio de um acelerador de partículas especialmente projetado para esta aplicação. A Fig. 9.14 apresenta um desenho esquemático de um implantador de íons. Uma fonte de íons é alimentada por um gás ou vapor, contendo o elemento que se deseja implantar. Por meio de uma descarga elétrica o gás é ionizado na fonte e extraído através de um orifício por um campo elétrico, criando-se assim um feixe de íons, que neste ponto ainda pode ser composto de íons de diferentes elementos ou radicais. Cada íon deixa o orifício com uma velocidade específica que depende da sua massa:

$$E_c = \frac{1}{2} m_{ion} v^2 = -q.V \quad (9.7)$$

onde V é a tensão da fonte de extração dos íons. Da relação (9.7) obtém-se o valor da velocidade cinética do particular íon ou radical.

Após a geração do feixe de íons, este entra num seletor de massas, constituído por um imã com campo magnético, B, variável (ajustável pela corrente na bobina) e com percurso de $\frac{1}{4}$ de um círculo. A força de Magnética sobre os íons faz com que estes sigam um percurso circular de raio R_{ion} obtido pela seguinte igualdade:

$$q.v.B = \frac{m_{ion} .v^2}{R_{ion}} \quad (9.8)$$

Das relações 9.7 e 9.8 obtém-se:

$$R_{ion} = \frac{\sqrt{2 .m_{ion} .V / q}}{B} \quad (9.9)$$

Caso o raio do percurso do íon coincida com o raio do imã, este íon selecionado sairá do seletor. No caso contrário, os íons de massa diferente ao do selecionado, terão percurso de raio distinto ao do raio do ima e irão colidir nas paredes do mesmo, permanecendo adsorvidos ou implantados nestas paredes e não conseguem sair no final do seletor.

Após o seletor de massa, o feixe de íons é constituído de um único tipo de elemento químico e isotopicamente puro (deixemos de lado, possíveis coincidências com outros radicais iônicos). Neste ponto, o feixe puro produzido será manipulado por campos eletrostáticos, primeiramente para acelerá-lo com energia extra desejada e em seguida com uma varredura, nos eixos x e y, para evitar que a implantação se dê em um único ponto da lâmina e sim uniformemente distribuído sobre toda sua superfície.

Por fim, o feixe de íons incide sobre a lâmina que fica dentro de um copo de Faraday (com abertura com área bem determinada) e conectada a um integrador de

corrente elétrica. Desta forma, cada íon que entra no copo de Faraday é contado e obtém-se uma contagem precisa (melhor que 2%) do número de íons introduzidos na superfície da lâmina. Dividindo-se este número pela área da abertura do copo, obtém-se a dose implantada por unidade de área. A grande vantagem da técnica de implantação de íons é exatamente esta alta precisão da dose implantada. Isto é uma característica fundamental para muitos dispositivos, especialmente os transistores MOS, cujo valor da tensão de limiar (V_T) depende fortemente da concentração de dopantes na superfície do semiconductor, abaixo do metal de porta. Pode-se afirmar que a microeletrônica e a tecnologia MOS em particular, não teriam a grande evolução e sucesso, se não fosse a disponibilidade desta técnica de dopagem.

Uma outra parte também importante do equipamento é o sistema de bombas de vácuo. O interior do equipamento é mantido em baixa pressão, da ordem de 10^{-6} torr, para manter a pureza e direção dos íons do feixe. Mesmo nesta baixa pressão, uma pequena fração dos íons pode-se chocar com átomos do gás residual no sistema e sofrer sua neutralização de carga. Neste caso, este íon continuará sua trajetória com aproximadamente a mesma energia cinética, porém sem carga elétrica, causando um erro na contagem dos dopantes implantados. Para reduzir este erro desenvolveu-se um truque, inclinando a parte final do tubo e defletindo os íons por meio da adição de um campo elétrico apropriado. Este campo elétrico corrige apropriadamente a trajetória dos íons e não tem efeito sobre as partículas neutralizadas, que irão se perder nas paredes do tubo do sistema, evitando assim o erro na contagem de íons.

Os íons usualmente usados para dopar o semiconductor de Si são: $^{11}\text{B}^+$, $^{31}\text{P}^+$, $^{75}\text{As}^+$ (o número refere-se à massa atômica do isótopo do elemento selecionado e o símbolo + refere-se ao fato do íon estar ionizado, pela perda de um elétron). A energia típica dos íons pode variar de 30 a 200 keV (máquinas especiais permitem uma faixa maior de energia, de 5 a 1000 keV). As doses típicas usadas variam de 10^{12} a 5×10^{15} íons/cm² (em aplicações especiais pode variar de 10^{11} a 10^{18} íons/cm²).

Os íons, ao incidir sobre a superfície da lâmina, irão penetrar no material, chocando-se com os núcleos e os elétrons do mesmo. Por meio destes choques, os íons perdem velocidade até chegarem ao repouso. A posição final da trajetória dos íons resulta numa distribuição estatística, aproximadamente Gaussiana. A distribuição, resultante desta seqüência de colisões randômicas, é descrita por uma mediana, chamada de alcance médio, R_P , um desvio padrão vertical, ΔR_P e um desvio padrão lateral, ΔR_L , como ilustra a Fig. 9.15a. As colisões dos íons incidentes com os átomos da rede cristalina, causam uma transferência de momentum e energia cinética. Caso a transferência de energia numa colisão seja maior que a energia de ligação do átomo da rede (da ordem de 15 eV, no caso do Si), este átomo da rede será arrancado da sua posição, criando-se um defeito pontual. Ao longo da trajetória do íon são criados vários defeitos e de forma randômica, em função da proximidade da trajetória do íon com o núcleo de cada átomo da rede. No caso colisão frontal, o átomo da rede pode sair da sua posição com alta velocidade e produzir defeitos em cascata. A Fig. 9.15b ilustra uma trajetória do íon e a geração de defeitos. Dependendo da acumulação do número de defeitos pontuais, a matriz, originalmente cristalina, pode transformar-se localmente em região amorfa ou não. Em todo caso, após uma etapa de implantação de íons é

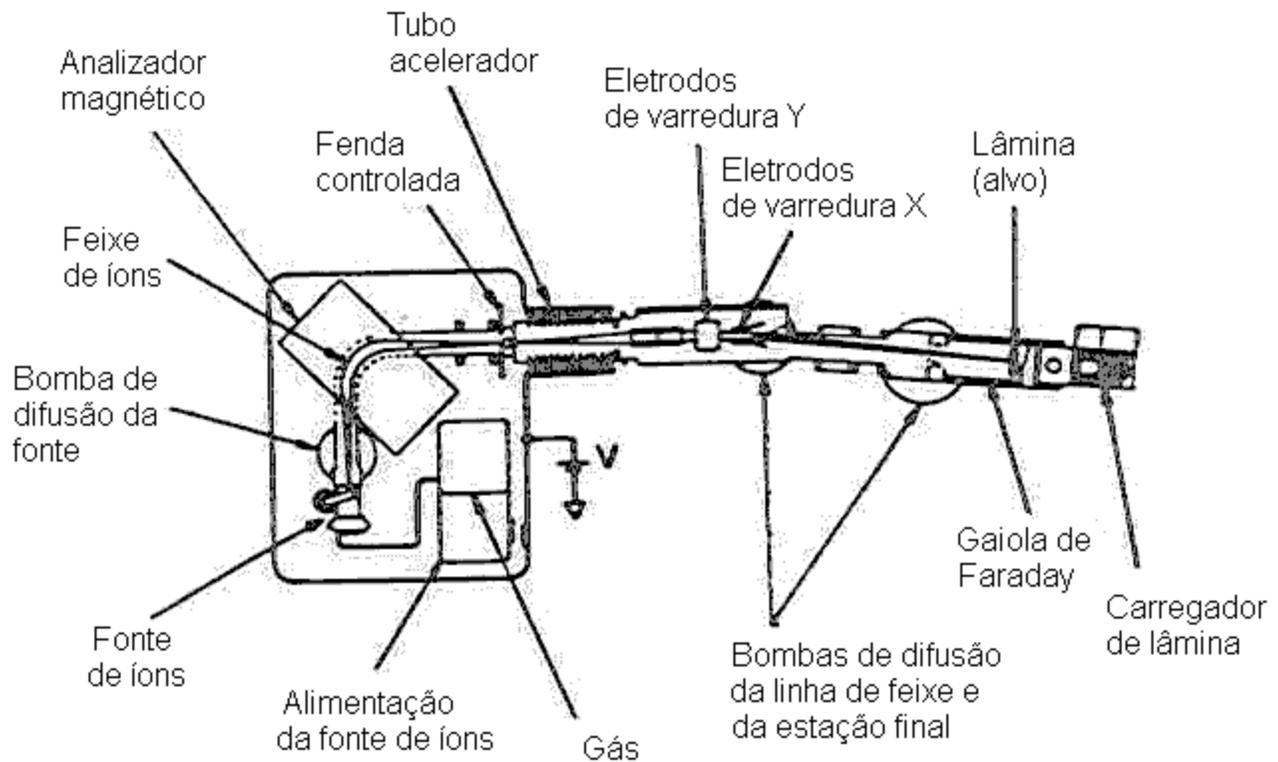


Fig. 9.14 Desenho esquemático de um equipamento de implantação de íons.

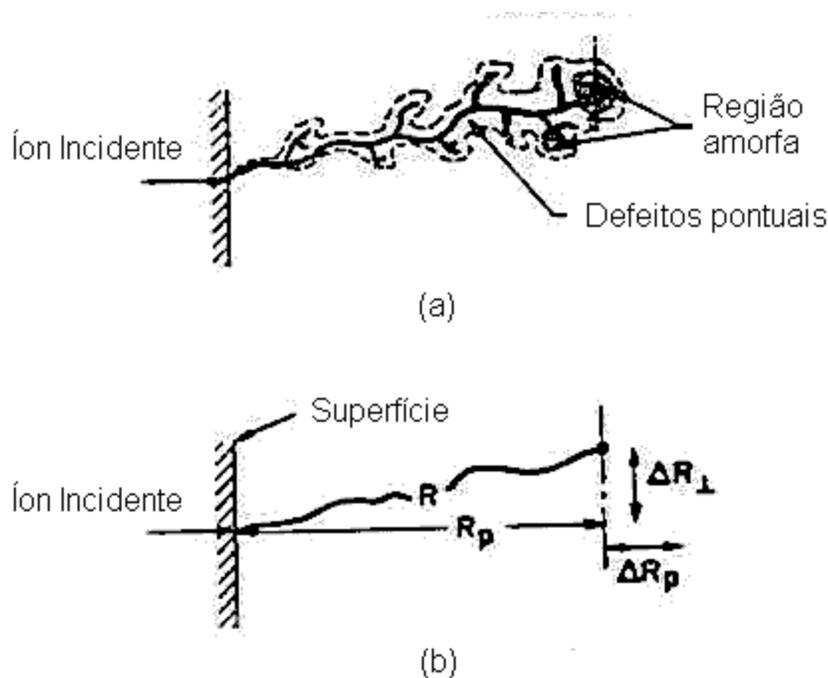


Fig. 9.15 a) Definição dos parâmetros da distribuição Gaussiana da trajetória e posições finais dos íons implantados, b) ilustração dos danos produzidos no cristal pelos choques dos íons incidentes com os átomos da rede cristalina.

fundamental a realização de um recozimento térmico para a recomposição da ordem cristalina.

Já mencionamos que a distribuição final dos íons implantados pode ser aproximada por uma Gaussiana, ilustrada na Fig. 9.16:

$$N(x) = N_{MAX} \cdot \exp \left[\frac{-(x - R_p)^2}{2 \Delta R_p^2} \right] \quad (9.10)$$

onde valem ainda as seguintes relações:

$$f = dose = \int_0^{\infty} N(x) dx \quad (9.11)$$

$$N_{MAX} = \frac{f}{\sqrt{2p} \cdot \Delta R_p} \cong 0.4 \frac{f}{\Delta R_p} \quad (9.12)$$

Os parâmetros R_p e ΔR_p da Gaussiana têm uma dependência com o íon implantado, o tipo de substrato e a energia dos íons incidentes. Esta dependência é ilustrada nas curvas da Fig. 9.17, que apresentam valores de R_p e ΔR_p para vários íons usados como dopantes em semicondutor de Si e em semicondutor de GaAs. Observa-se que, quanto maior a energia do íon e/ou menor a sua massa, maior será o alcance médio e o desvio padrão da distribuição. De forma indireta pode-se concluir que para um substrato de maior densidade (GaAs: 5.32 g/cm³, Si: 2.33 g/cm³), os mesmos parâmetros serão menores (compare por exemplo os dados de Be em GaAs com B em Si, lembrando que Be é mais leve que B). Existem tabelas com os valores de R_p e ΔR_p , para os mais variados elementos e substratos e energias. Os mesmos podem também ser obtidos por programas especiais, como por exemplo o programa TRIM (disponível na rede). Baseados nos dados de R_p e ΔR_p , podemos projetar os parâmetros de uma implantação (tipo de dopante, energia e dose da implantação; pode ser uma composição de algumas implantações seqüenciais) para obter-se um dado perfil desejado de impurezas.

Já foi mencionado a necessidade de realizar um recozimento térmico após uma etapa de implantação de íons, com o intuito de reconstituir a ordem cristalina dos átomos, eliminando assim os defeitos produzidos. Porém este não é o único motivo para o recozimento. Em adição à remoção dos defeitos, necessitamos que as impurezas implantadas tornem-se eletricamente ativas, ou seja, que os dopantes tornem-se substitucionais. Apenas em posições substitucionais os dopantes se comportam como doadores ou aceitadores. Requer-se uma energia térmica para permitir a migração e estabelecimento das ligações químicas dos dopantes nestas posições. Fica a pergunta: que condição de recozimento é necessária para se obter uma boa ativação elétrica? A resposta vem de dados experimentais, como por exemplo os mostrados na Fig. 9.18, para a implantação de B em Si. Esta figura mostra a condutividade Hall (densidade de portadores por unidade de área, que contribuem com a condução elétrica) normalizada com a dose implantada. Quando a condutividade Hall normalizada for 1, todos os

dopantes introduzidos estão eletricamente ativos, contribuindo com a geração de uma lacuna no caso. Observa-se das curvas que a temperatura de recozimento necessária depende das condições de implantação (dose no caso) e que um recozimento a 1000 °C por 30 min é suficiente para as 3 doses apresentadas. Observa-se ainda um fenômeno de recozimento reverso (redução da condutividade Hall com temperatura crescente) para as duas curvas de dose maior e em torno da temperatura de 600 °C. Este fenômeno está relacionado com a evolução dos defeitos e a precipitação de dopantes nestes complexos. Um recozimento a temperatura maior acaba eliminando estes complexos e liberando os dopantes para ocuparem posições substitucionais da rede. Deve-se lembrar ainda que durante a etapa de recozimento, os dopantes podem também redistribuir-se por processo de difusão. Isto resultará numa alteração (aprofundamento) do perfil de dopagem. Em tecnologias modernas, as profundidades das camadas dopadas ou junções devem ser cada vez menores. Assim enfrentamos um sério compromisso entre ativar eficientemente os dopantes e eliminar defeitos contra reduzir a difusão dos dopantes (junção rasa). Uma solução encontrada é manter a alta temperatura, porém reduzir drasticamente o tempo do recozimento, até da ordem de poucos segundos. Isto é possível de ser feito em fornos especiais de recozimento térmico rápido (RTA – rapid thermal annealing). Este forno é formado por uma câmara pequena de quartzo, para processar uma única lâmina por vez e o aquecimento é realizado por radiação luminosa a partir de um banco de lâmpadas tipo halogênicas (como as usadas para iluminação em filmagens ou fotografias). Por esta radiação, a temperatura da lâmina pode subir com taxas controladas de 50 a 100 °C/s, ser mantida fixa num patamar por alguns a dezenas de segundos, para em seguida resfriar rapidamente pelo desligamento das lâmpadas.

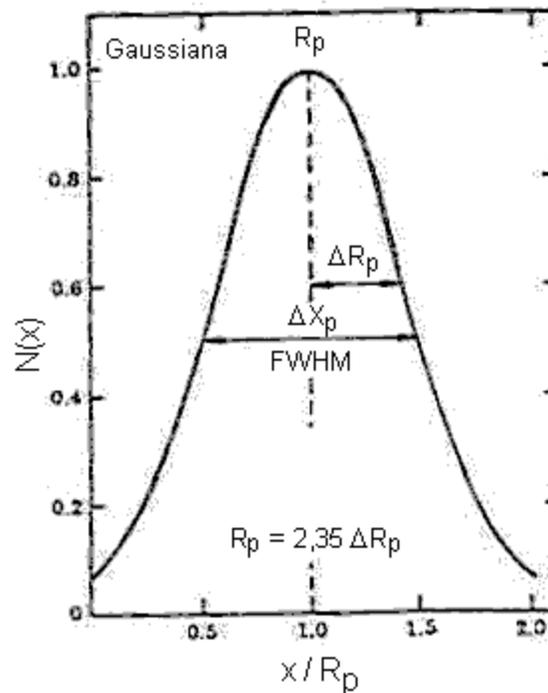


Fig. 9.16 Definição dos parâmetros R_p e ΔR_p numa distribuição Gaussiana normalizada.

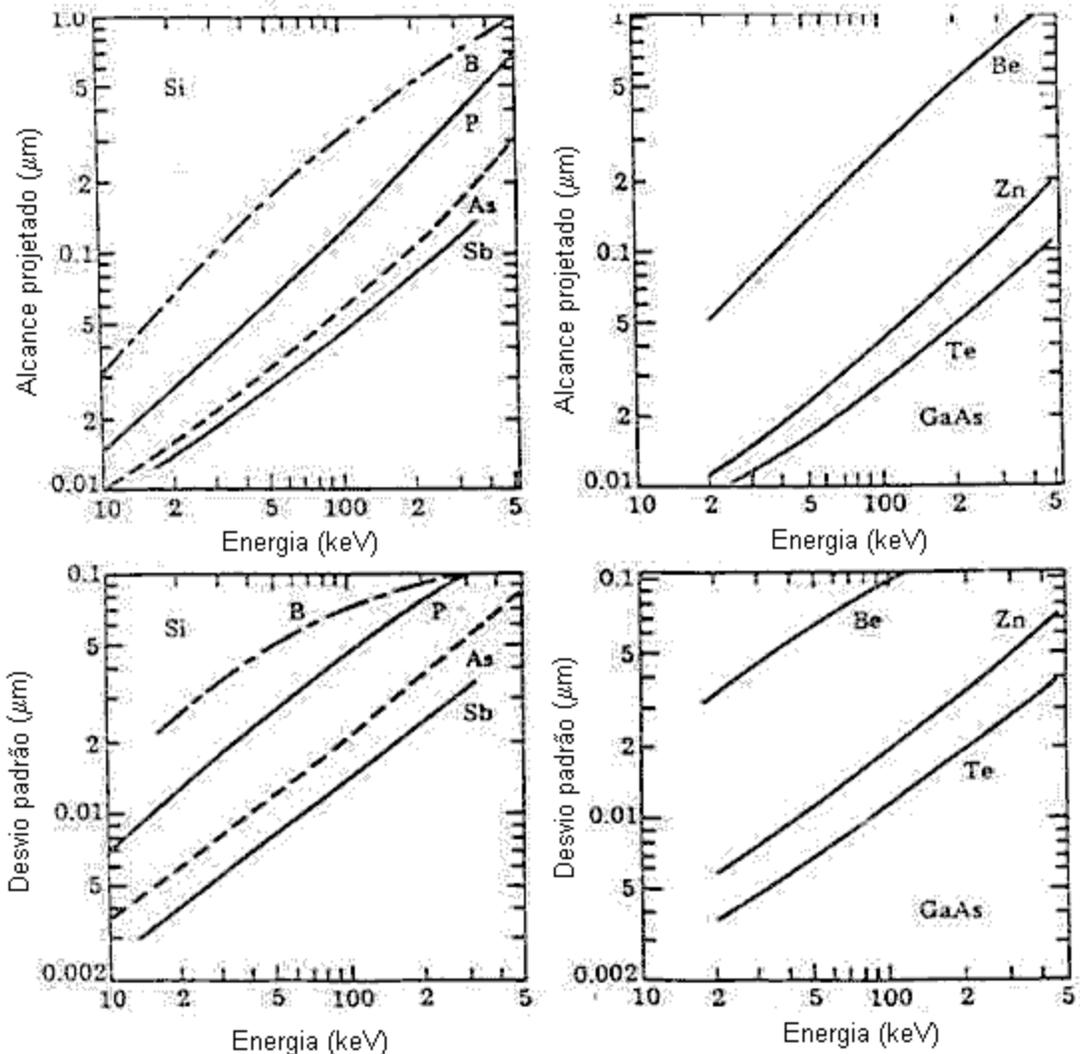


Fig. 9.17 Curvas com dados de alcance projetado (R_p) e desvio padrão (ΔR_p) de dopantes implantados em substratos de Si e de GaAs.

9.2 Tecnologia Planar de Fabricação de Dispositivos

O processo planar constitui o princípio fundamental dos processos de fabricação de dispositivos e circuitos integrados. Ele permite a moldagem localizada da superfície do semiconductor: dopando-o, removendo-o por ataque químico, contactando-o por linha metálica ou de outras formas. A Fig. 9.19 mostra um desenho de secção em corte de uma estrutura semicondutora moldada localmente por processo planar, pela formação de uma trincheira, posteriormente preenchida por óxido, formação de duas regiões com dopagem p, formando 2 diodos tipo p-n, abertura de vias no óxido isolante para contatos e formação de linhas metálicas para interconexão. O processo é tal que a moldagem localizada possa ser feita ao mesmo tempo em várias (até bilhões) áreas num mesmo plano ou superfície. Ele permite assim a fabricação de vários dispositivos ou estruturas, lado a lado e isolados entre si.

A moldagem localizada na superfície de uma lâmina é realizada pela proteção da superfície por um filme, pela abertura de janelas ou remoção parcial deste filme protetor, para, em seguida, realizar a moldagem nas regiões desprotegidas. Os filmes comumente empregados para esta função são os isolantes, como o óxido de silício (SiO_2) ou nitreto de silício (Si_3N_4). Descreveremos em seguida as etapas de processo envolvidas no processo planar, começando com a obtenção do filme isolante e em seguida o processo de fotogração para definição e abertura das janelas no filme.

a) Processos de Obtenção de Filmes Isolantes:

O processo planar desenvolveu-se junto com a tecnologia do Si, tendo em vista que este apresenta uma vantagem fundamental sobre os outros semicondutores, devido às seguintes propriedades:

- Permite a formação de um filme de SiO_2 por oxidação térmica da superfície do Si.
- O SiO_2 formado é extremamente estável
- A interface entre Si e SiO_2 é de excelente qualidade
- O Si e o SiO_2 apresentam coeficientes de expansão térmica compatíveis ($2.6 \times 10^{-6} \text{ }^\circ\text{C}^{-1}$ para Si e $0.5 \times 10^{-6} \text{ }^\circ\text{C}^{-1}$ para SiO_2)

As características acima do sistema SiO_2/Si levam alguns autores a chamar o material Si como uma dádiva de Deus, tendo em vista que elas facilitam em muito a fabricação de dispositivos de boa qualidade. Isto justifica porque aproximadamente 98% dos componentes semicondutores sejam feitos em Si.

a1) Oxidação térmica de Si:

O Si reage de forma controlada, a altas temperaturas, com espécies oxidantes como o oxigênio e vapor de água. O processo é normalmente realizado em forno térmico, similar ao usado para a difusão de dopantes, com temperatura na faixa de 800 a 1200 $^\circ\text{C}$. A Fig. 9.20 mostra um desenho esquemático do sistema. Foi proposto e convalidado, para larga faixa de condições de processo (temperatura, tempo e ambiente) o seguinte modelo matemático para o crescimento do óxido térmico:

$$x_o^2 + A.x_o = B.(t + \tau) \quad (9.13)$$

onde: x_o = espessura do óxido

t = tempo de oxidação

A, B e τ são constantes que dependem de: temperatura, ambiente (gás), pressão e orientação da superfície da lâmina de Si. A constante τ depende ainda da espessura inicial do óxido existente antes de iniciar a oxidação.

A Fig. 9.21 mostra a curva do modelo de oxidação com os eixos de espessura e tempo normalizados com as constantes. Observa-se que esta função parabólica pode ser aproximada para funções linear, para tempos curtos, e quadrática simples, para tempos longos. Ou seja, no início da oxidação tem-se um crescimento linear do óxido com o tempo e após longo tempo, o óxido cresce com a raiz quadrada do tempo. Os valores das constantes A, B e τ devem ser determinados experimentalmente para as diversas condições de processo. De posse dos seus valores, pode-se projetar o processo de oxidação para obter-se uma espessura desejada de óxido. As espessuras empregadas

na fabricação de dispositivos e circuitos integrados semicondutores podem variar tipicamente na faixa de 2 a 1000 nm. Vale a pena ainda ressaltar que, embora o substrato empregado seja cristalino, a estrutura do óxido de silício formado não tem ordenação e pode ser considerado amorfo.

a2) Deposição de isolante por CVD:

Tanto o isolante SiO_2 como o isolante Si_3N_4 podem ser depositados por técnica CVD (“Chemical Vapor Deposition” ou deposição química em fase vapor). Neste

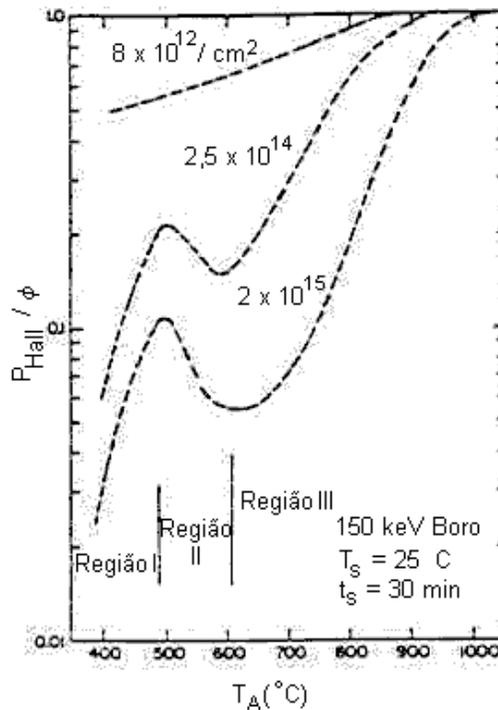


Fig. 9.18 Curvas de condutividade Hall (total de portadores contribuindo), normalizada com a dose implantada, versus temperatura de recozimento com tempo fixo e 30 min, para 3 doses diferentes de implantação de $^{11}\text{B}^+$ a 150 keV.

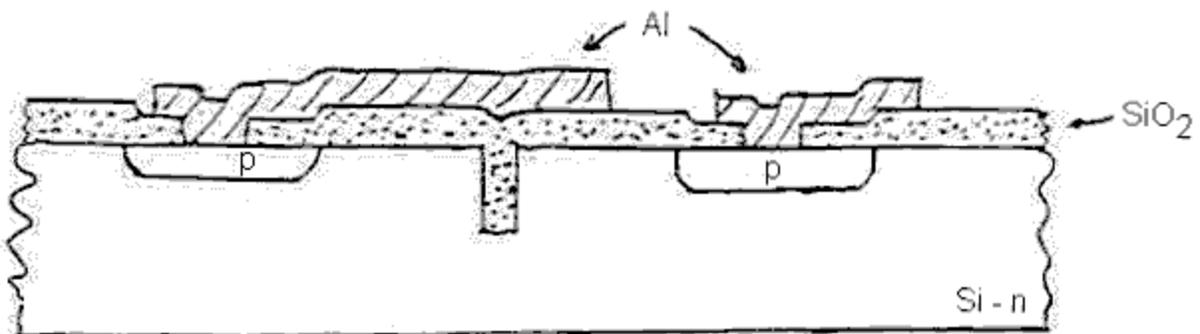


Fig. 9.19 Desenho esquemático de seção em corte de estrutura microfabricada por processo planar, com moldagem localizada da superfície.

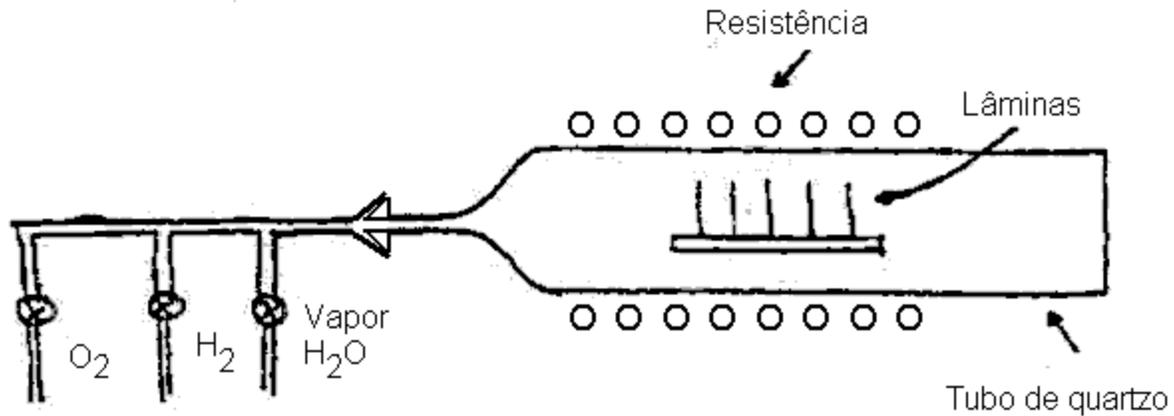


Fig. 9.20 Desenho esquemático de um forno de oxidação para lâminas de Si, com opção de ambientes de O₂ seco, O₂ + H₂ (forma H₂O) ou vapor de H₂O.

processo, o filme é obtido pela reação química de gases introduzidos num reator, sobre a superfície da lâmina, sendo a reação catalizada por esta. Existe uma variedade muito grande de reatores. O reator CVD pode ser similar ao reator descrito no item anterior sobre crescimento epitaxial de Si por VPE. Ele deve ter os seguintes componentes básicos: controle de pressão no reator (pode ser a baixa pressão com sistema de bombas de vácuo), controle de entrada de gases, controle de temperatura da lâmina. Opcionalmente pode ter um sistema de geração de plasma do gás. Como exemplos de processos temos:

- $\text{SiH}_4 + \text{O}_2 \rightarrow \text{SiO}_2 + 2 \text{H}_2$ (T ~ 450 °C)
- $\text{Si}(\text{C}_2\text{H}_5\text{O})_4 + 12 \text{O}_2 \rightarrow \text{SiO}_2 + 8 \text{CO}_2 + 10 \text{H}_2\text{O}$ (T ~ 700 °C)
- $3 \text{SiH}_4 + 4 \text{NH}_3 \rightarrow \text{Si}_3\text{H}_4 + 12 \text{H}_2$ (T ~ 700 – 900 °C)
- $3 \text{SiCl}_2\text{H}_2 + 4 \text{NH}_3 \rightarrow \text{Si}_3\text{H}_4 + 6 \text{HCl} + 6 \text{H}_2$ (T ~ 700 – 800 °C)

A taxa de deposição pode variar tipicamente de 10 a 1000 nm/min e depende dos parâmetros do processo: tipos de gases precursores, fluxos dos gases e sua mistura, pressão na câmara, temperatura da lâmina e potência de sinal de RF como fonte de plasma, quando usado. Gases em estado de plasma, contêm grande número de espécies excitadas energeticamente. As espécies químicas neste estado tornam-se muito mais reativas e fazem com que a taxa de deposição seja consideravelmente aumentada, ou ainda, permite que se realize o processo em pressões mais baixas e/ou temperaturas mais baixas (condições desejadas em certas aplicações).

Como já mencionado, uma importante aplicação destes filmes isolantes é delimitar áreas da superfície da lâmina para dopagem localizada (difusão ou implantação iônica), remoção localizada de material por corrosão química e outras etapas. Mas além desta aplicação fundamental para o processo planar, os isolantes têm também as seguintes aplicações em dispositivos semicondutores:

- proteção ou passivação da superfície do semicondutor
- isolação elétrica entre metal e semicondutor e entre multi-níveis de metais.
- isolante para capacitores
- Isolante para porta de dispositivos de efeito de campo (MOS – metal/óxido/semicondutor).

b) Processo de Fotolitografia:

Fotolitografia é a técnica usada para imprimir padrões geométricos e abrir janelas em camadas na superfície da lâmina. Descreveremos a técnica, dividindo-a em três passos:

1º Passo: Fabricar uma máscara:

A máscara é constituída por uma placa de material transparente e superfície bem plana. O material pode ser quartzo ou outro. Inicialmente a placa deve ser coberto por um filme de material opaco, por exemplo Cr ou Cr_2O_3 , e sobre este um filme de emulsão foto-sensível ou eletro-sensível. Imprime-se neste filme de emulsão o padrão geométrico, idealizado pelo projetista do dispositivo ou circuito, por um dos seguintes processos:

- Projeção óptica a partir de um desenho em folha com alto contraste (mailer com rubilit).
- Escrita direta sobre a emulsão por “flashes” de luz, comandado por computador, a partir de um sistema CAD (Computer Aided Design).
- Escrita direta sobre a emulsão por feixe de elétrons, comandado por computador.

Os últimos dois processos são os mais usuais atualmente. Após esta etapa, é realizada a revelação química da emulsão (similar à revelação de fotografia), que dissolve a área exposta e sensibilizada da emulsão. Em seguida, uma etapa de corrosão química remove o metal das áreas não mais cobertas por emulsão. Depois o restante da emulsão é removido por um solvente, já que não se necessita mais dele. Desta forma conclui-se a fabricação da máscara, que possui agora regiões opacas e regiões transparentes, de acordo com a geometria desejada. A Fig. 9.22 mostra uma fotografia de uma máscara.

2º Passo – Transferir o Padrão para a Lâmina:

Um processo semelhante ao usado na fabricação da própria máscara é usado para transferir o desenho dela para a superfície da lâmina. A seqüência de sub-passos é como segue:

- a) Aplica-se um filme fotosensível, chamado de fotorresiste, sobre a lâmina que contém a camada a ser moldada. O fotorresiste é um material orgânico dissolvido em solvente e portanto é líquido inicialmente. Ele é aplicado por conta gotas na superfície da lâmina e espalhado uniformemente em um prato rotativo, com rotação de alguns milhares rpm. A Fig. 9.23 mostra uma fotografia desta etapa de aplicação e espalhamento de fotorresiste. Após a aplicação do fotorresiste é realizada uma cura do mesmo (estufa ou prato quente a aprox. 90 °C) para a evaporação do solvente e solidificação do fotorresiste. A Fig. 9.24a mostra um desenho de secção em corte da lâmina após esta etapa.
- b) Expõe-se a lâmina com o fotorresiste a fonte de luz, através da máscara, como ilustra a Fig. 9.24b. Caso já exista uma geometria anterior na lâmina, normalmente deve-se alinhar a nova geometria em relação à esta. As máquinas de exposição, chamadas de foto-alinhadoras, possuem sistema de microscopia para fazer este alinhamento.
- c) Remove-se em seguida a máscara e faz-se a revelação química do fotorresiste. O revelador dissolve as partes do fotorresiste que foram expostas, no caso de fotorresiste positivo (existe também fotorresiste negativo, onde ocorre o inverso), como mostrado na Fig. 9.24c.

3º Passo – Corrosão Química da Camada e Remoção do Fotorresiste:

A corrosão química da camada pode ser feita por solução líquida, por exemplo HF para a corrosão de camada de SiO₂, ou por um plasma com radicais reativos, por exemplo plasma de CF₄ com H₂ para corroer camada de SiO₂. No passado, o usual era o uso de soluções líquidas enquanto atualmente usa-se cada vez mais plasmas reativos. Por meio de plasma consegue-se definir geometrias com dimensões menores e com obtenção de paredes verticais nas janelas. A Fig. 9.24d mostra um desenho em secção em corte da estrutura após a etapa de corrosão da camada. Em seguida podemos remover todo o fotorresiste, já que ele não é mais necessário. A estrutura final é como ilustrada na Fig. 9.24e.

Terminada a fotolitografia, a superfície está pronta para a próxima etapa, como por exemplo a dopagem por difusão ou por implantação iônica. Neste caso, a dopagem ocorre apenas nas regiões não cobertas por óxido. Sequência semelhante é usada para

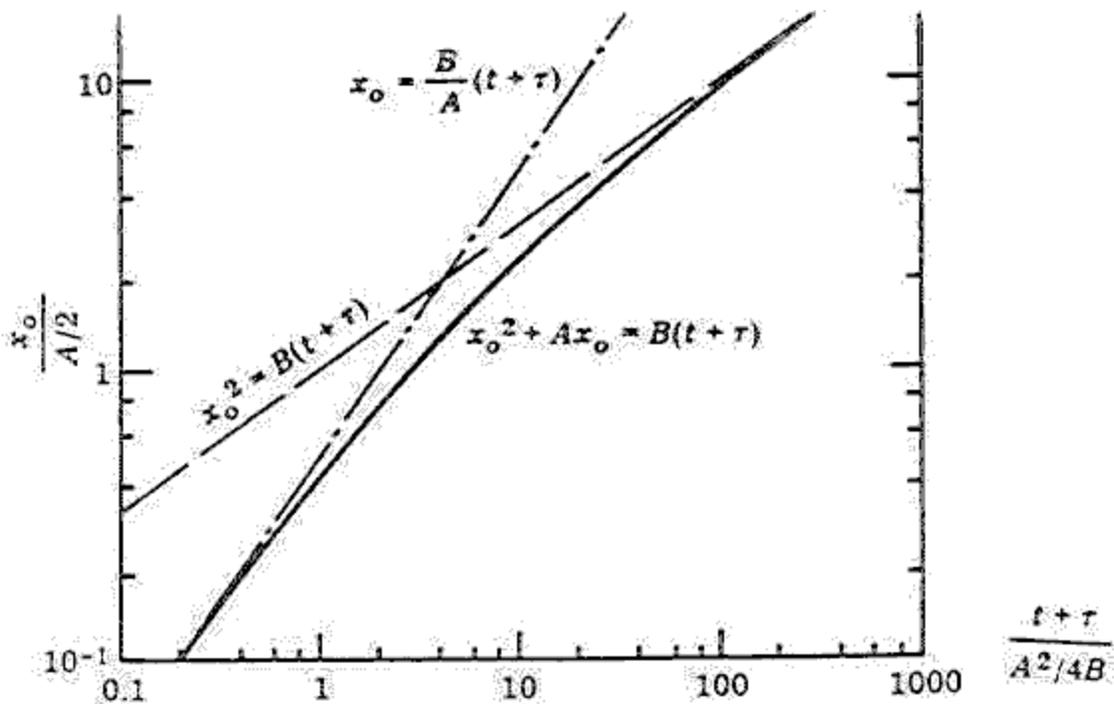


Fig. 9.21 Curva normalizada da espessura de óxido versus tempo, obtido por crescimento térmico.

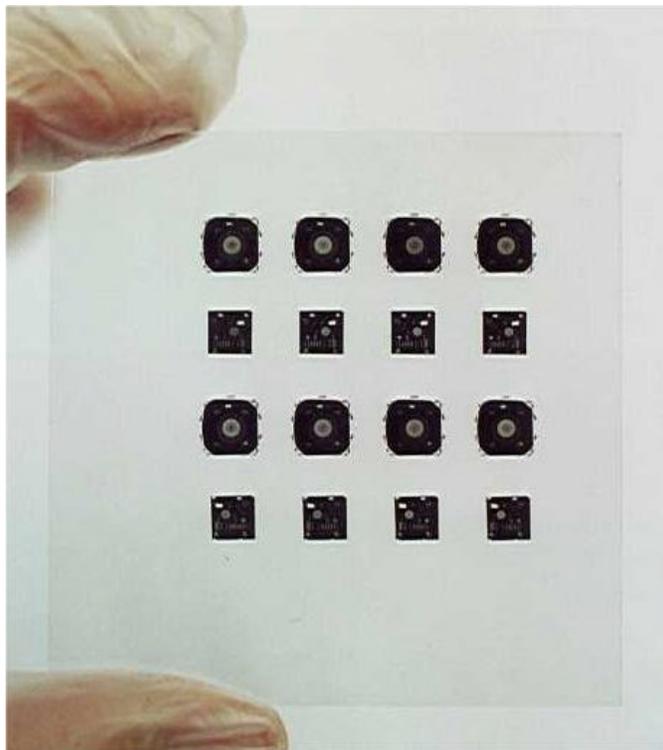


Fig. 9.22 Fotografia de uma máscara para um processo de fotolitografia.

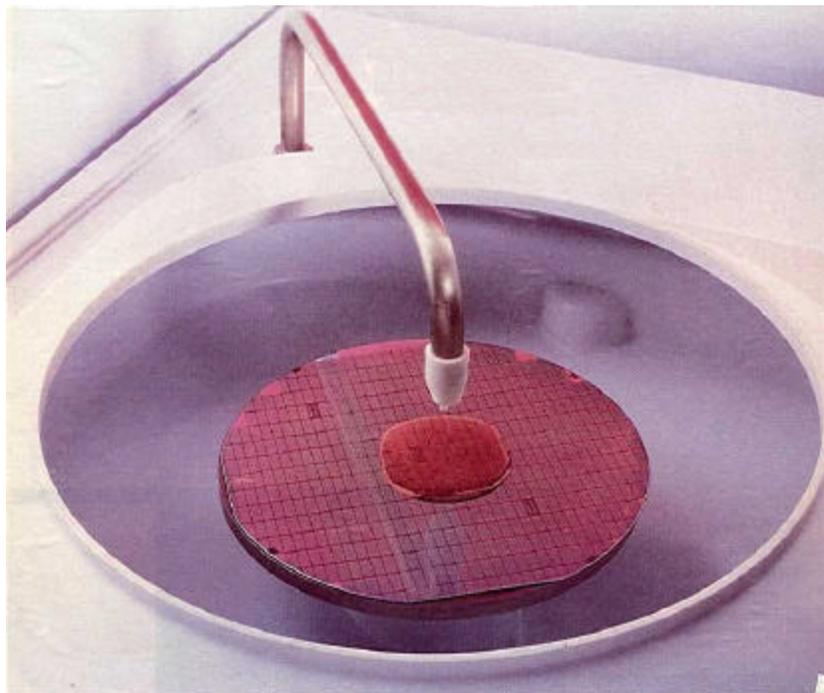


Fig. 9.23 Fotografia do processo de aplicação e espalhamento centrífuga de fotorresiste em sistema com prato rotativo.

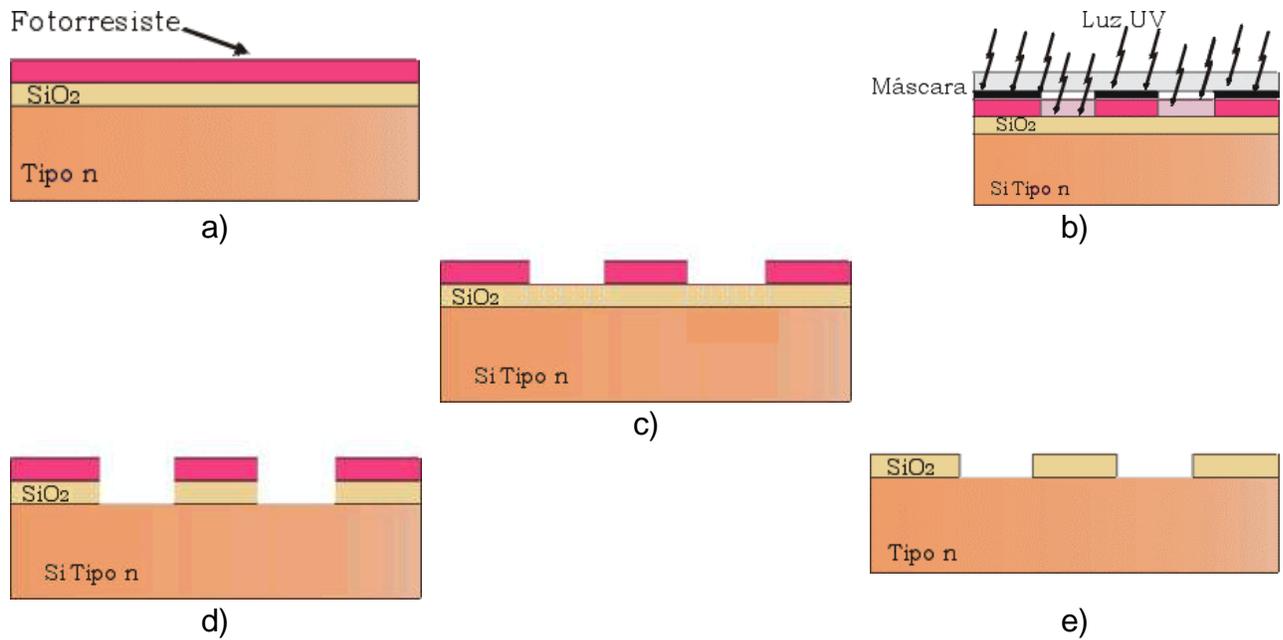


Fig. 9.24 Desenhos de secções em corte da estrutura da lâmina com camada de SiO_2 , após as várias etapas do processo de fotolitografia: a) aplicação do fotorresiste, b) exposição do fotorresiste através da máscara, c) revelação do fotorresiste, d) corrosão química da camada de SiO_2 , e) remoção do fotorresiste final.

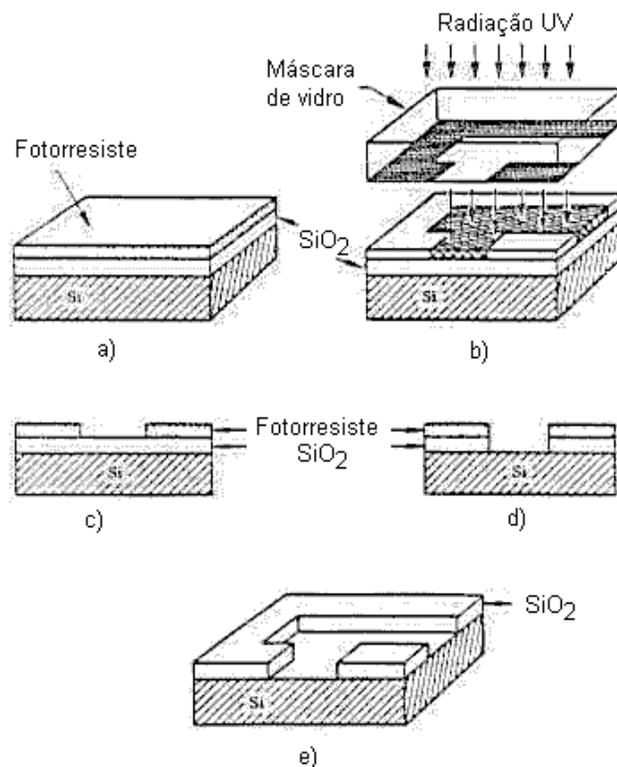


Fig. 9.25 Idem à Fig. 9.24, com desenhos em duas dimensões.

fabricar trincheiras no semicondutor, abrir vias para contatos ou ainda para definir linha de metais de interconexões.

A Fig. 9.25 mostra mais uma vez a seqüência de etapas do processo de fotografação, com ilustrações em duas dimensões.

9.3 Metalização e Diagramas de Fases

O termo metalização é usado para descrever as etapas de obtenção dos contatos ôhmicos nos dispositivos semicondutores e as linhas de interconexões entre os diversos pontos do circuito integrado. Trata-se de um tópico crítico da fabricação de CI's, pois ela afeta diretamente o seu desempenho, o rendimento de produção e a confiabilidade do componente final. O termo confiabilidade refere-se a taxa de falhas ou tempo médio de vida do componente. Tipicamente, um componente eletrônico deve ser projetado e fabricado para ter um tempo médio de vida de pelo menos 10 anos. O rendimento de produção por sua vez, refere-se ao número de componentes (em %) que passam pelos testes funcionais e de desempenho do componente logo após a fabricação. Ele pode variar bastante, dependendo da complexidade do circuito e do tempo de maturidade da versão tecnológica empregada. Produtos mais simples e "maduros" podem apresentar rendimento acima de 90%, enquanto que produtos complexos (microprocessadores por exemplo) e em fase inicial de produção podem apresentar rendimentos de dezena a algumas dezenas de %. A metalização afeta também fortemente o desempenho dos circuitos como mencionamos acima. Isto se deve aos seguintes fatos: a) associado ao contato semicondutor-metal existe uma resistência série parasitária associada. O valor desta resistência depende fortemente da metalurgia deste contato, além da área do contato; b) as linhas de interconexões apresentam uma resistência série parasitária, que, associada a sua capacitância de linha, introduz um atraso de propagação do sinal elétrico. A propagação do sinal pode ser modelada pelo produto RC característico da resistência e capacitância distribuída da linha. Assim, para aumentar a velocidade de operação do CI, devemos empregar metais com a mais baixa resistividade possível, isolados por material dielétrico de menor constante dielétrica possível.

A escolha dos metais para a obtenção de contatos ôhmicos e para interconexões, visando as características desejadas de desempenho, rendimento e confiabilidade, requer um conhecimento profundo das características e comportamento dos metais e das suas interações metalúrgicas com as camadas vizinhas. Algumas destas informações estão descritas em diagramas de fase dos materiais.

a) Diagramas de Fase e Contatos:

O diagrama de fases de um material ou de um sistema de materiais, é uma representação gráfica das suas possíveis fases, em condições de equilíbrio e em função dos parâmetros: composição, temperatura e pressão. Descrevemos alguns exemplos de diagramas de fases, bem como, implicações destas informações sobre os processos usados na fabricação de componentes semicondutores:

1) Diagrama de fase da água: A Fig. 9.26 mostra o diagrama de fase da água, indicando as condições de temperatura e pressão nas quais têm-se as fases sólida, líquida e gasosa da água. Este é um dos diagramas mais simples e conhecidos dos leitores.

2) Diagrama de fase de um sistema binário de componentes similares. Componentes similares refere-se a componentes que apresentam estrutura cristalina, diâmetro atômico e ligações químicas similares. Como exemplo temos o caso do sistema Ge-Si, com seu diagrama de fase mostrado na Fig. 9.27. Este diagrama refere-se à condição de pressão constante e atmosférica, tendo como variáveis os parâmetros temperatura e composição dos elementos. O diagrama mostra as temperaturas de fusão do material com composição 100% Si (1414 °C) e 100% Ge (940 °C), nas quais temos uma transformação do material de fase sólida para fase líquida ou vice-versa. Para ligas com composição diferente de 100%, temos 3 fases possíveis em função da temperatura: sólida, mistura de líquido e sólido, líquida. Observa-se também, que as curvas de transformação de fase têm comportamento com variação monotônica entre os pontos de fusão dos elementos puros. O diagrama também contém a informação das quantidades sólidas e líquidas na condição de fase dupla., dada pela lei da alavanca (uma regra de 3 bem intuitiva). Tomemos como exemplo uma composição Ge-Si, C_0 , a 1200 °C. Em condições de equilíbrio, obtém-se do diagrama, que a parte sólida deverá ter composição C_S e a parte líquida, composição C_L . Como a composição global deve permanecer C_0 (conservação da matéria), por regra de 3 obtém-se as frações sólidas e líquidas:

$$\% - \text{Sólida} = \frac{C_0 - C_L}{C_S - C_L} \cdot 100$$

$$\% - \text{Líquida} = \frac{C_S - C_0}{C_S - C_L} \cdot 100$$

Dos dados da Fig. 9.27 obtém-se uma fase dupla com 37% sólido e 73% líquido.

3) Diagrama de fase de um sistema binário de elementos não similares. Como exemplos destes sistemas de interesse temos: Au-Si, Al-Si, PdSn, outros silicetos.

3.1) Sistema Au-Si: A Fig. 9.28 mostra o diagrama de fase do sistema Au-Si. Uma primeira diferença deste sistema em relação ao anterior de elementos similares, é que as curvas de transformação de fase não apresentam mais um comportamento de variação monotônica, podendo ter um ponto de fusão de uma liga, com temperatura inclusive inferior aos dos pontos de fusão dos dois elementos puros. O ponto em particular e singular de mínima temperatura de fusão é chamado de ponto de fusão eutético. A composição da liga correspondente é chamada de liga eutética. Para temperaturas abaixo da fusão eutética, todo o material é sólido. Para material com composição diferente à da liga eutética, podemos ter 3 fases possíveis, dependendo da temperatura: sólida, mistura de sólido com líquido, líquida. No caso do sistema Au-Si, observa-se as seguintes temperaturas de fusão: 1064 °C para Au puro, 1412 °C para Si puro e 363 °C para a liga eutética composta por 82% de Au e 18% de Si. A característica de formação de liga eutética é freqüentemente usada para soldar o chip de Si com uma base de Au da

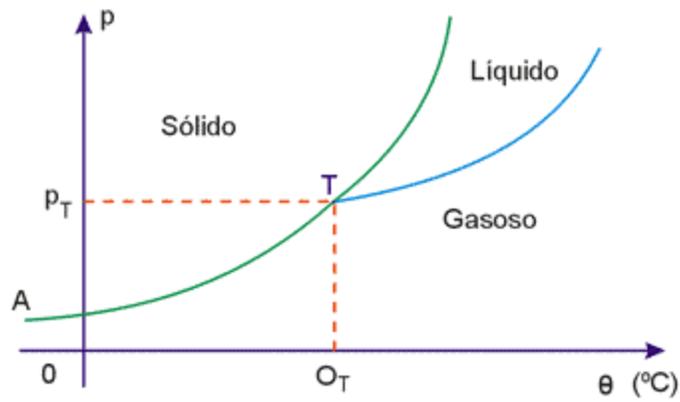


Fig. 9.26 Diagrama de fase da água.

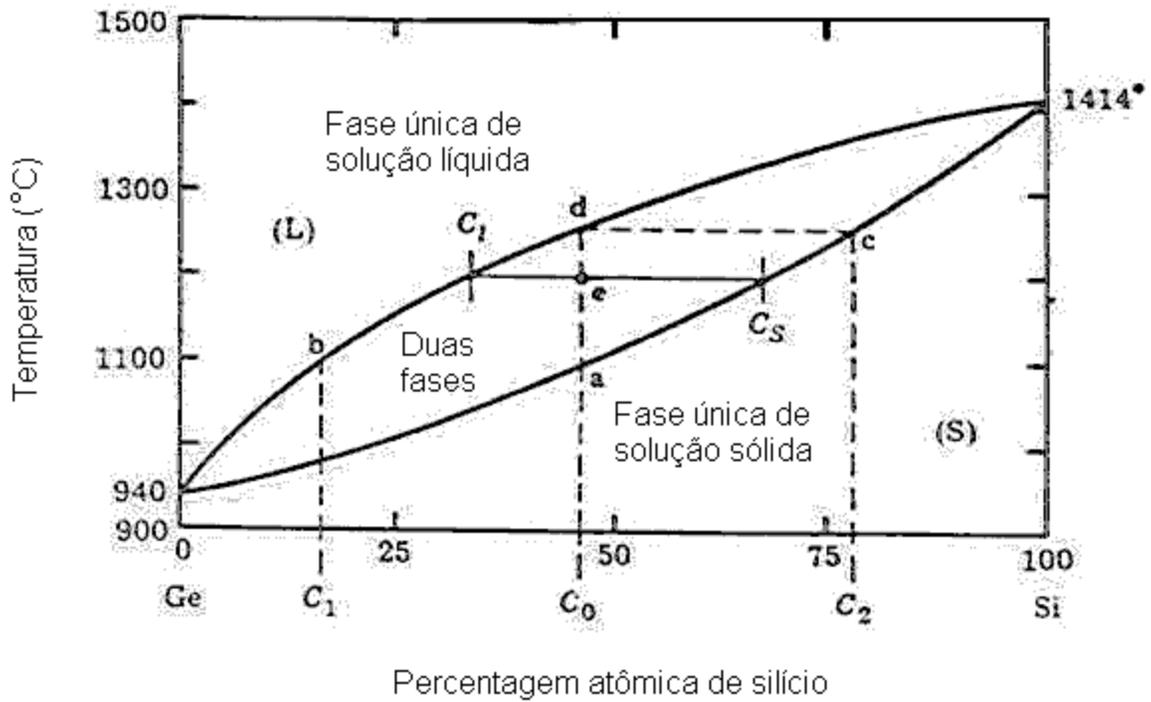


Fig. 9.27 Diagrama de fase do sistema binário Ge-Si.

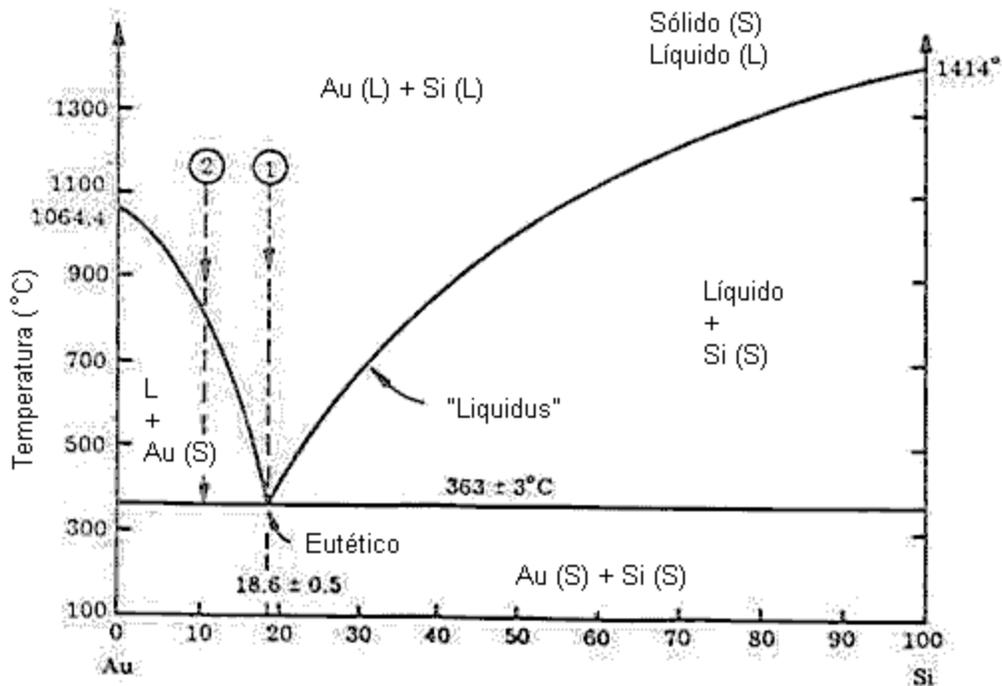


Fig. 9.28 Diagrama de fase do sistema binário Au-Si.

cápsula final de uso do componente. A Fig. 9.29 ilustra o processo de formação desta solda. O chip é colocado sobre o suporte metálico contendo uma película superficial de Au. Por aquecimento até temperatura acima da fusão eutética, começa a fusão na interface, formando uma fase líquida com composição igual à da liga eutética. Após resfriamento, temos a solidificação com permanência da liga eutética Au-Si na interface entre os 2 materiais puros.

3.2) Sistema Al-Si: A Fig. 9.30 mostra o diagrama de fase do sistema binário Al-Si. Observamos deste diagrama as seguintes temperaturas de fusão: 660 °C para Al puro, 1414 °C para Si puro e 577 °C para a liga eutética composta por 12% de Si e 88% de Al. Outro detalhe importante é mostrado no gráfico ampliado da região de 0 a 1.5% de Si em Al. Esta região do diagrama informa o limiar de solubilidade sólida de Si no Al, ou seja, para pontos dentro do triângulo mostrado, o Si fica solúvel no Al (em estado sólido). Considerando um ponto dentro do triângulo, por exemplo 0.5% de Si e temperatura de 500 °C, ao reduzir-se a temperatura, observa-se que passamos pelo limiar de solubilidade sólida em 450 °C. Como conseqüência, o Si tenderá a precipitar-se em agregados, para temperaturas inferiores a esta. Outra conclusão que podemos tirar do detalhe deste diagrama é que, se colocarmos o Si e Al em contato direto e em equilíbrio térmico numa dada temperatura, por exemplo 450 °C, Si irá difundir para dentro do Al até alcançar a concentração igual à da sua solubilidade sólida nesta temperatura. Estas considerações são de importância fundamental para o desenvolvimento e estudo de contatos ôhmicos de Al com Si, como muito usado na fabricação de dispositivos semicondutores. O processo de formação de contato ôhmico de linha de Al com uma dada região de dispositivos de Si, segue a seguinte seqüência:

- Fotogravação e abertura de via de acesso através do isolante de superfície (SiO_2).

- Deposição de camada de Al (evaporação térmica ou “sputtering”)
- Fotogravação do Al para definir as linhas dos contatos e interconexões.
- Sinterização do contato, por recozimento térmico (450 °C por 30 min). Nesta etapa, a fina camada de óxido nativo na superfície do Si é parcialmente absorvida pelo metal, melhorando assim o contato Al-Si.

Como citamos acima, durante a etapa de sintering, Si migra para o filme de Al, devido à sua solubilidade sólida nesta temperatura. Esta difusão de Si para o Al não se dá de forma uniforme ao longo da superfície do Si no contato, mas sim, preferencialmente por pontos mais fracos do óxido nativo. Neste pontos formam-se assim verdadeiras crateras no Si, como ilustra a Fig. 9.31. A formação destas crateras fica demonstrada pela fotografia, tirada após a sinterização e a remoção do Al do contato e mostrado nesta mesma figura. Estas crateras no Si são por sua vez, preenchidas pelo próprio Al, formando cravos (“spikes”). Isto pode causar falhas no funcionamento de dispositivos em caso do contato ser formado sobre uma junção rasa (profundidade de junção menor que a da cratera), curto-circuitando a mesma. Em dispositivos de dimensões maiores, este problema não causa danos. O problema pode também ser consideravelmente aliviado se ao invés de usar Al puro, depositarmos uma camada de Al já contendo uma certa fração de Si, por exemplo, 1% de Si. Como discutimos, durante o sintering temos a difusão de Si para o Al, porém, além disto, este Si tende a precipitar-se, formando nódulos de Si, quando resfriamos a lâmina de Si, no final do processo. Estes nódulos são visíveis por microscópio, como mostrado na fotografia da Fig. 9.32. Esta fotografia mostra a superfície de um transistor MOS (fabricado no CCS/UNICAMP em disciplina de

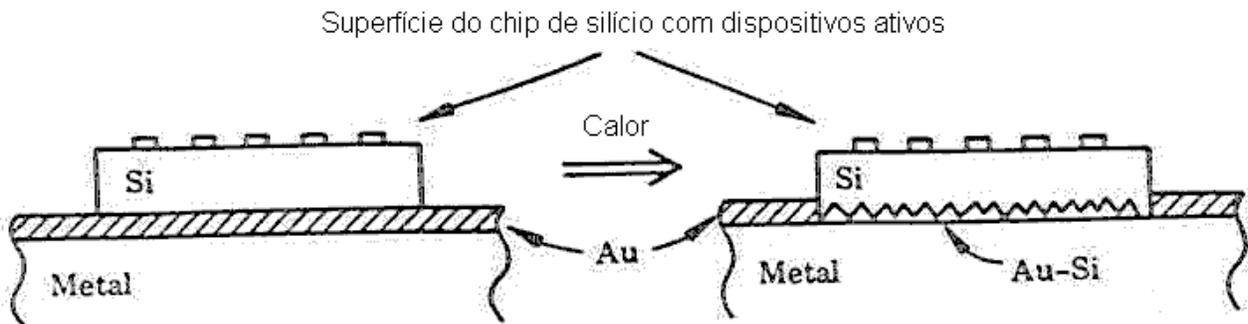


Fig. 9.29 Ilustração da solda eutética de chip de Si sobre uma base de Au.

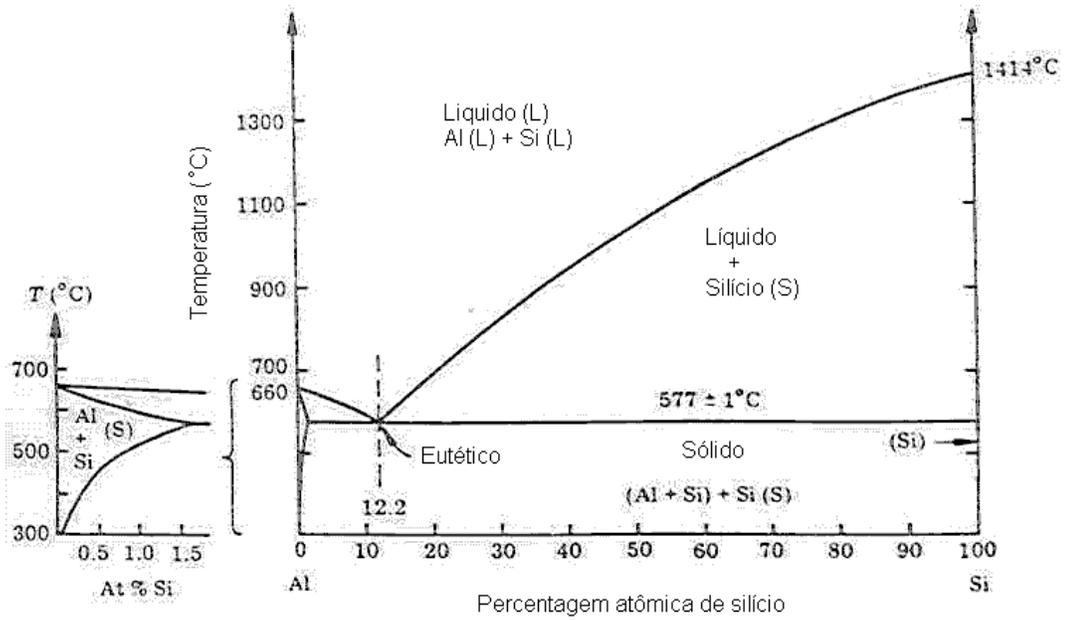


Fig. 9.30 Diagrama de fase do sistema binário Al-Si.

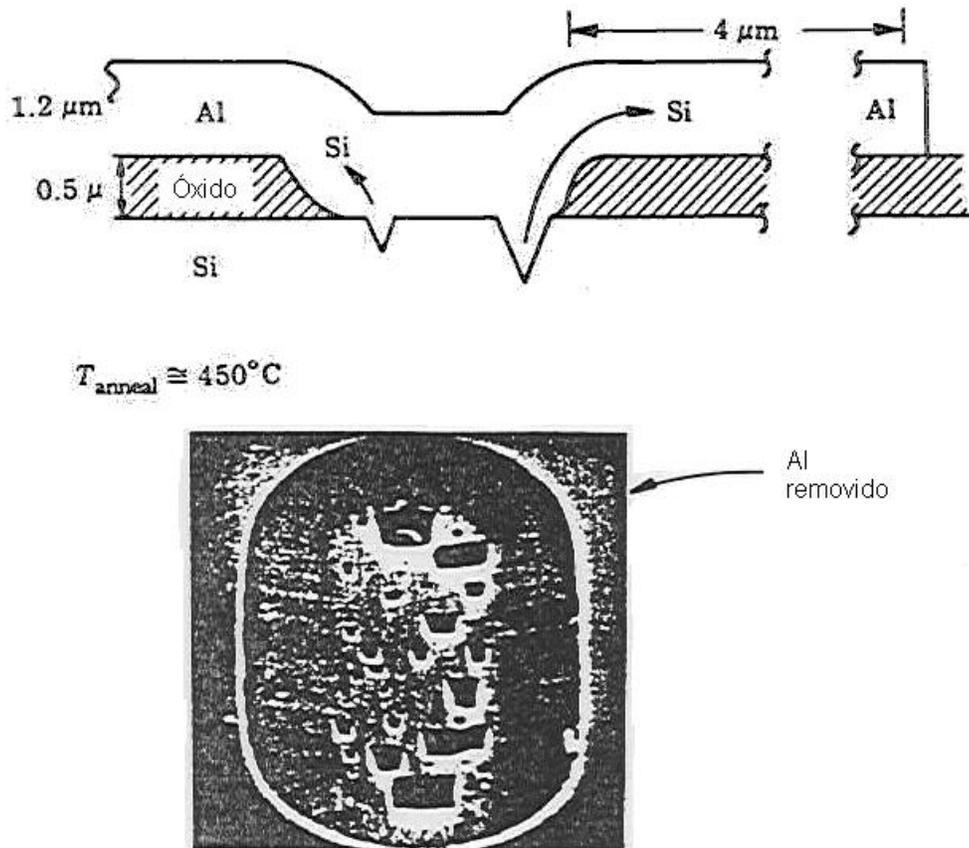


Fig. 9.31 Ilustração da formação de cravos ("spikes") num contato Al-Si.

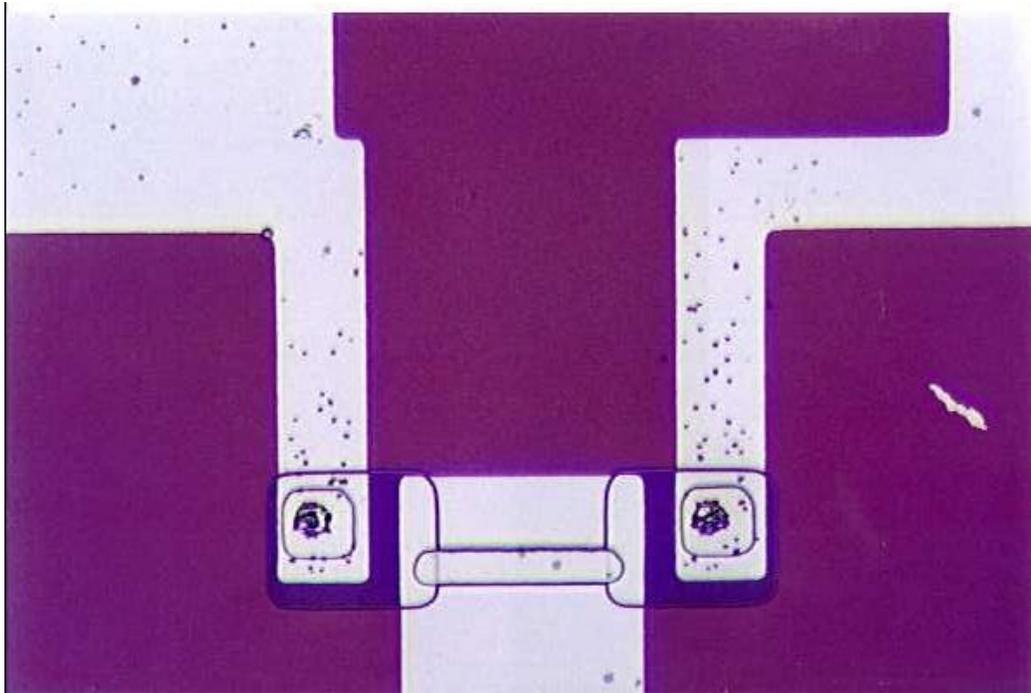


Fig. 9.32 Fotografia de um transistor MOS (fabricado no CCS/UNICAMP). Note a diferença entre as linhas de Al conectadas à fonte e dreno e a linha de porta do transistor, esta sem formação de nódulos de precipitados de Si.

laboratório). Nota-se que as linhas de Al ligadas aos contatos ôhmicos de fonte e dreno apresentam muitos pontos pretos correspondentes aos nódulos de Si, enquanto que a linha de Al de porta do transistor (sem contato com Al) não possui tais nódulos.

3.3) Sistema silicetos: Silicetos são ligas de Si com metais. Vários metais refratários reagem com o Si uniformemente, a partir de uma interface de contato de filme metálico sobre Si, quando recozido em temperatura apropriada. Isto resulta em formação do siliceto com boa morfologia (sem formação de crateras como ocorre no caso da sinterização do contato Al-Si). A formação do siliceto dá-se pela reação química em estado sólido, entre os 2 elementos, metal e Si, sendo controlado pela temperatura do processo. Cada siliceto apresenta algumas fases (liga com dada estequiometria) possíveis, sendo que cada uma destas tem características específicas. A tabela 9.2 apresenta a resistividade de algumas fases de vários silicetos. Normalmente, a fase mais rica em Si é a fase mais estável do siliceto daquele metal. Deseja-se usar siliceto com boa estabilidade térmica e de baixa resistividade. O diagrama de fase do sistema metal-Si indica todas as fases possíveis do siliceto. A Fig. 9.33 mostra o diagrama do sistema Pt-Si. Vale ressaltar que os diagramas de fase são obtidos a partir de estudos metalúrgicos de materiais de corpo (grandes espessuras) e que pode haver algumas diferenças em relação aos casos de filmes finos. Embora o diagrama de fases do sistema Pt-Si indique 5 fases de silicetos possíveis, observa-se apenas as transformações por 3 fases de silicetos quando recozemos um filme fino de Pt sobre substrato de Si, ou seja: Pt/Si transforma-se em Pt_2Si e este em PtSi (monosiliceto de platina), como ilustrado no desenho esquemático da Fig. 9.34. É possível ainda, em certas condições de processo, limitar a formação siliceto, de forma auto-alinhada, sobre toda a área da janela da via de

contato metal-Si. A Fig. 9.35 ilustra este procedimento. Após a abertura da janela da via do contato, deposita-se o metal sobre toda a superfície. É feito um primeiro recozimento, que forma uma fase intermediária do siliceto apenas na janela do contato, evitando seu crescimento lateral (temperatura e tempo limitados). Em seqüência, uma corrosão química remove seletivamente o metal não reagido, deixando o siliceto formado sobre os contatos. Um segundo recozimento é realizado para efetuar a transformação do siliceto na fase desejada, de menor resistividade e estabilidade superior. Após a formação do siliceto no contato, pode ser realizada a metalização para a formação das linhas de interconexões, por exemplo, linhas de Al. O uso do siliceto nos contatos resulta em contatos ôhmicos de menor resistência e reduz a formação dos cravos.

Tabela 9.2 Resistividades típicas de silicetos usados em tecnologia de circuitos integrados.

Siliceto	Resistividade ($m\Omega\cdot cm$)	Siliceto	Resistividade ($m\Omega\cdot cm$)
Co ₂ Si	70	NiSi ₂	35
CoSi	150	Pd ₂ Si	25
SoSi ₂	15	PtSi	35
CrSi ₂	500	TaSi ₂	50
MoSi ₂	100	TiSi ₂	15
NbSi ₂	50	VSi ₂	15
Ni ₂ Si	25	Wsi ₂	100
NiSi	20	ZrSi ₂	35

b) Linhas de Inteconexões:

As linhas de interconexões nos componentes são necessárias para alimentar os transistores com as fontes de alimentação ou de polarização e para levar os sinais elétricos de operação do circuito entre os vários pontos. Um requisito básico para o metal de interconexão é a baixa resistividade do mesmo. Valores de resistividade de corpo dos 4 metais de menor resistividade são apresentados na tabela 9.3, juntamente com suas vantagens e desvantagens.

Tabela 9.3 Valores de resistividade e vantagens e desvantagens dos 4 metais de menor resistividade.

Metal	Resistividade ($m\Omega\cdot cm$)	Vantagens	Desvantagens
Ag	1.6	-	<ul style="list-style-type: none"> • Corrosivo • Filme instável
Al	2.7	<ul style="list-style-type: none"> • aderência sobre Si e SiO₂ • estável 	<ul style="list-style-type: none"> • eletromigração • resistividade
Au	2.2	-	<ul style="list-style-type: none"> • caro • difunde no Si e SiO₂
Cu	1.7	-	<ul style="list-style-type: none"> • corrosivo • difunde no Si e SiO₂

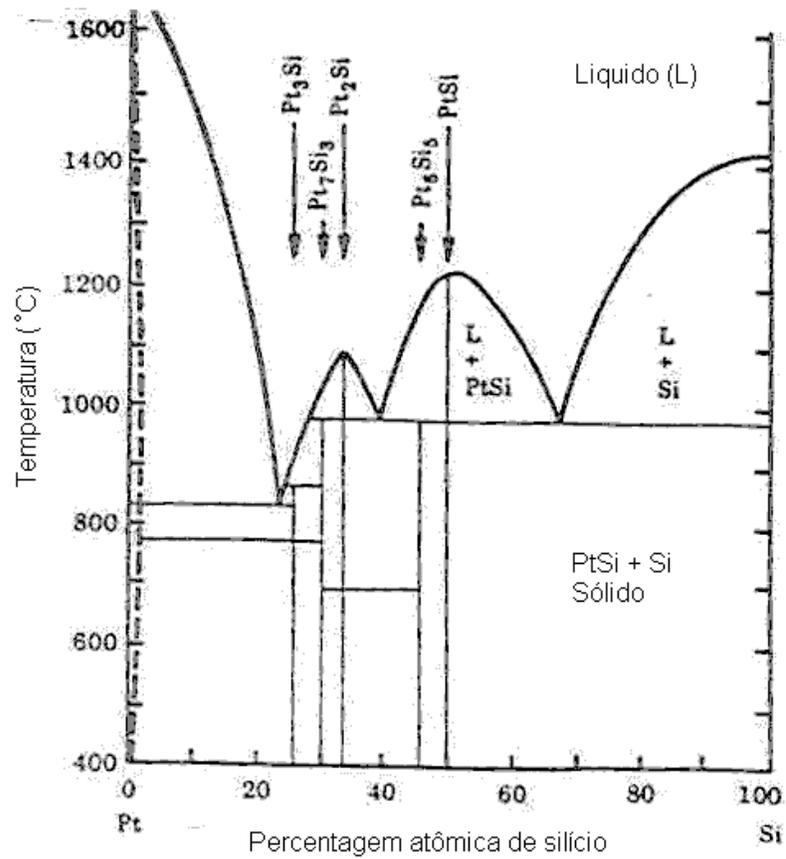


Fig. 9.33 Diagrama de fase do sistema Pt-Si.

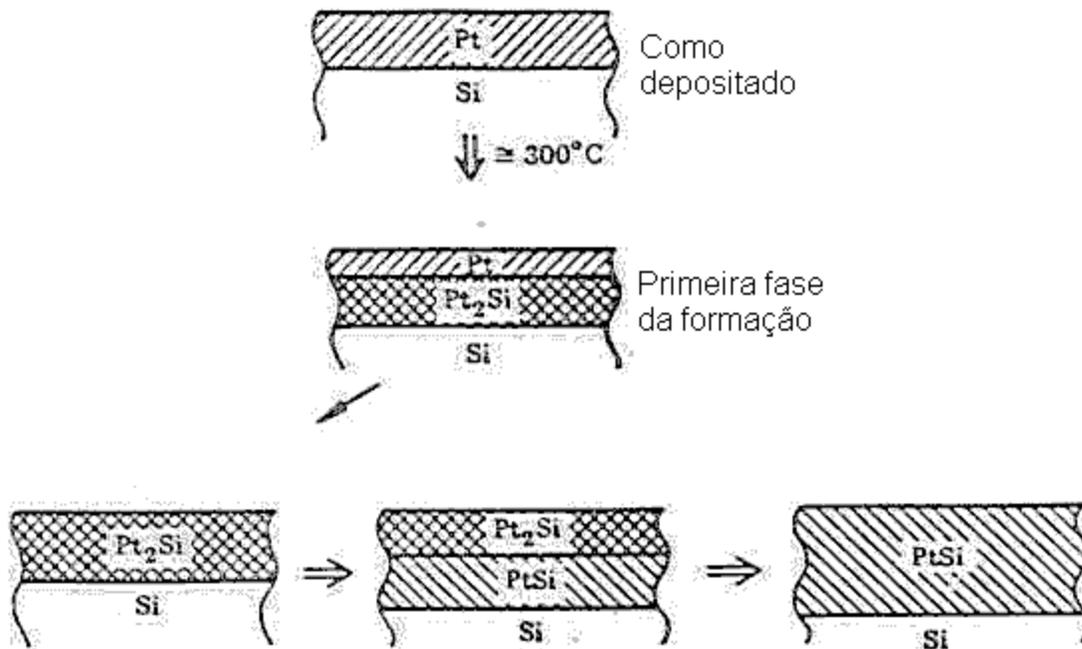


Fig. 9.34 Seqüência transformações de fases pela reação entre filme fino de Pt e substrato de Si.

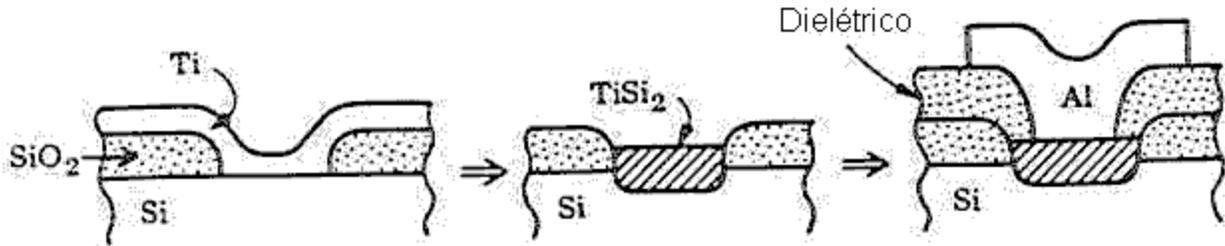


Fig. 9.35 Formação de siliceto de Ti, de forma auto-alinhada, sobre uma janela de via de contato.

Entre os 4 metais da tabela 9.3, o Al foi e ainda é o metal escolhido para uso em linhas de interconexões em circuitos integrados. Isto se deve à sua resistividade aceitável e excelente aderência sobre superfícies de Si e de SiO₂. Porém o grande problema do Al é a sua alta susceptibilidade ao efeito de eletromigração. Eletromigração é um efeito de migração de átomos do material, sob efeito da transferência de um momentum da nuvem de elétrons da corrente elétrica passando pela mesma. Este efeito é maior, quanto maior a densidade de corrente e a temperatura de operação. Este efeito é também tanto maior quanto menor o ponto de fusão do material, ou seja, quanto menor a energia das ligações químicas do material. A eletromigração é um dos mecanismos de falha de circuitos integrados, pois ela causa a formação de abertos em linhas e de curtos entre linhas vizinhas. O efeito é mais problemático quando reduzimos as dimensões das linhas, uma vez que isto aumenta a densidade de corrente pelos mesmos. Este fato, aliado à resistividade relativamente alta do Al comparado aos outros metais citados, fez aumentar a procura por um metal alternativo ao Al. Au e Cu são bons candidatos para substituir o Al, porém ambos sofrem do problema de alta difusividade no Si e no SiO₂. Além disto, estes metais geram estados profundos na banda proibida do Si, afetando assim adversamente o tempo de vida de portadores, que por sua vez dá origem a altas correntes de fugas de junções, entre outras. É, no entanto, possível empregar estes metais se evitarmos o contato direto dos mesmos com o Si e o SiO₂, protegendo-os por capas de materiais de barreira de difusão e com boa aderência. Após uma década de pesquisa, chegou-se a um estágio tecnológico que já permite usar Cu com material de interconexão, sendo incorporado em alguns produtos comerciais desde 1998.

c) Multiníveis de Interconexões

Em circuitos integrados modernos, grande fração da área do chip é ocupado por linhas de interconexões. Além disto, a velocidade de operação do circuito é fortemente afetada pelo tempo de propagação de sinais pelas linhas de interconexão. Desta forma, soluções tecnológicas que resultem na redução da área e conseqüentemente na redução do comprimento das linhas é uma procura constante. A solução natural é o uso de multiníveis de metal. A Fig. 9.36 mostra um desenho esquemático de uma estrutura com 3 níveis de metalização. Uma fotografia de uma estrutura com 4 níveis de metal é mostrada na Fig. 9.37. Cada nível de metal é isolado do nível subsequente por uma camada isolante, como óxido de silício ou um material orgânico isolante. A procura atual é por desenvolver filmes isolantes com a menor constante dielétrica possível, com o intuito de reduzir a capacitância distribuída da linha e como conseqüência, o tempo de

propagação de sinal na linha. Esta pesquisas incluem filmes de SiO_2 quimicamente modificados ou ainda porosos, bem como novos materiais orgânicos. Os filmes isolantes devem ser processados para confecção de vias de acesso ao metal inferior. Estas vias de acesso devem ocupar a menor área possível, usando-se paredes verticais e preenchimento da via por um tampão (“plug”) condutor, tipicamente de W (resistividade aceitável para esta função e disponibilidade de processo CVD para a deposição e preenchimento das vias estreitas com paredes verticais). A filosofia do uso de multiníveis de metalização em circuitos integrados é similar ao do seu uso em circuitos impressos. Inclusive, a tecnologia de circuito impresso, bem como a de montagem dos chips no mesmo, tende a incorporar mais e mais os conceitos desenvolvidos na indústria de semicondutores. Voltando ao circuito integrado, o melhor dos mundos para a problemática de interconexões é usar multiníveis de metal em conjunto com o uso de metal com alta imunidade ao efeito eletromigração, que no caso é o Cu. Desta forma, podemos usar linhas mais estreitas, reduzindo assim a área do chip, o comprimento das linhas, as capacitâncias associadas e o tempo de propagação de sinal. A Fig. 9.38 mostra uma fotografia de um chip usando 6 níveis de interconexões de Cu, após uma corrosão seletiva do dielétrico (só para melhor observação).

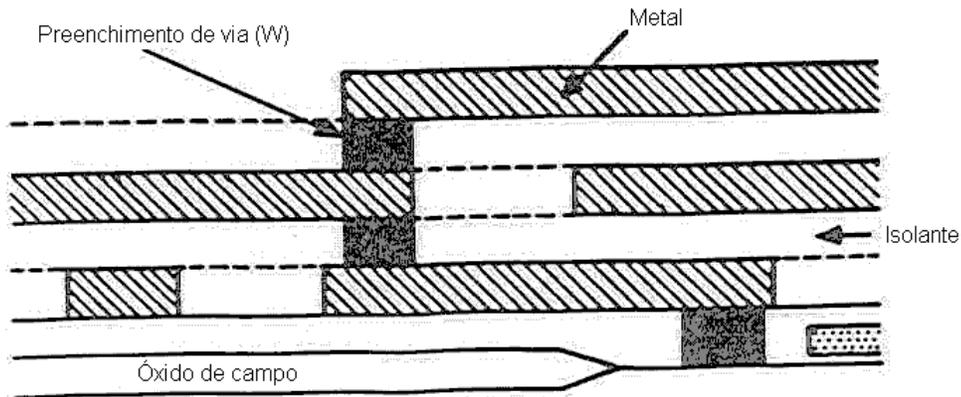


Fig. 9.36 Ilustração esquemática de uma estrutura de três níveis de metalização.

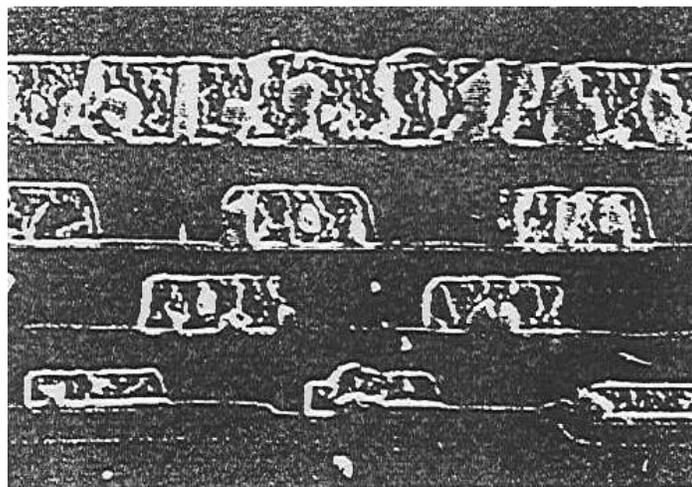


Fig. 9.37 Fotografia de microscópio eletrônico de uma secção de área em corte de estrutura com 4 níveis de metal.

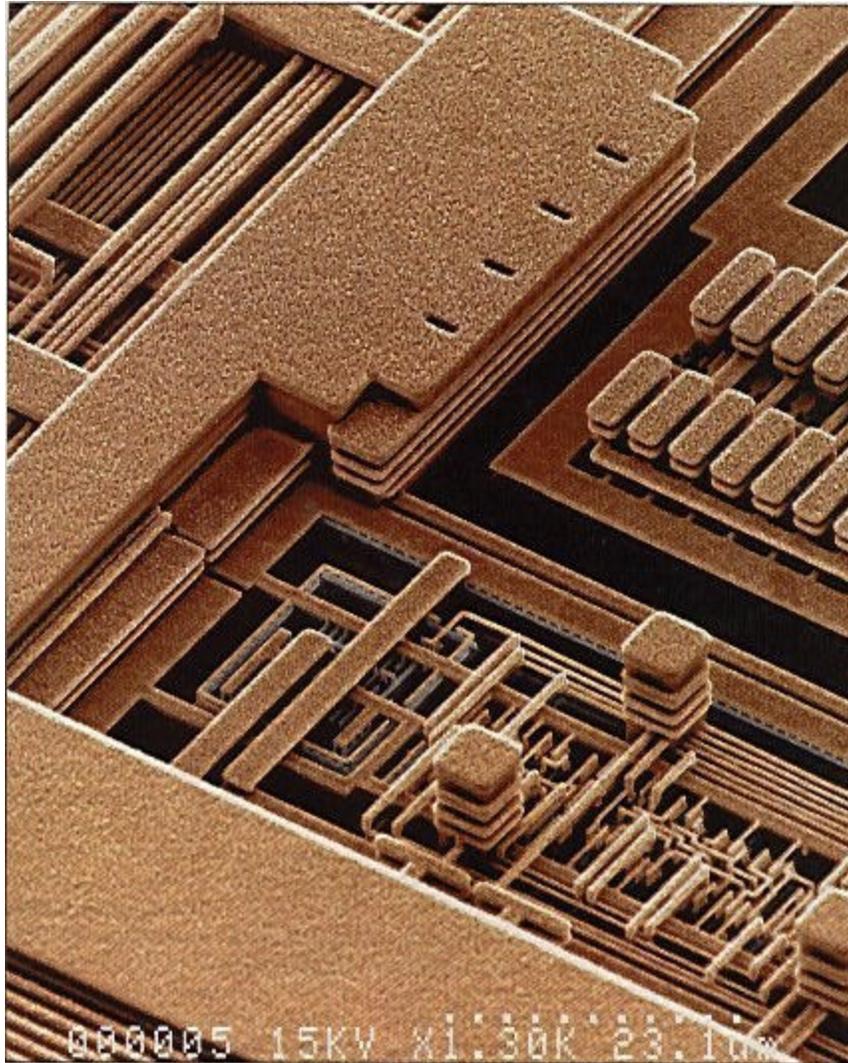


Fig. 9.38 Fotografia de microscópio eletrônico de uma estrutura de 6 níveis de metal de Cu, após uma corrosão química seletiva do material isolante (Processo CMOS 0,75 da IBM).

9.4 Exemplos de Estruturas de Dispositivos

Neste item apresentaremos vários exemplos de estruturas de dispositivos. Baseado na descrição dos processos básicos de microfabricação apresentados acima, fica fácil imaginar uma seqüência de processos para a obtenção das estruturas. Um exemplo de seqüência de processos, ou de integração de processos, será apresentado no próximo item, para uma tecnologia específica e simples. O presente item não visa detalhar o funcionamento de dispositivos, tema este do próximo capítulo, mas apenas mostrar suas estruturas físicas.

a) Diodo pn: A Fig. 9.39 mostra um desenho esquemático de uma estrutura de diodo pn, composto por substrato tipo n e região difundida tipo p. O desenho mostra a delimitação da junção na superfície e o contato ôhmico de Al.

b) Diodos LED e Laser: A estrutura de diodos LED (Light Emitting Diode) e Laser (Light Amplification by Stimulated Emission of Radiation) são mostrados na Fig. 9.40. Estes tipos de diodos são fabricados tipicamente em semicondutores compostos do tipo III-V, com diodo pn composto por heterojunção, ou seja, junção com materiais distintos. A região emissor de luz é composto por camada de semicondutor com banda proibida (E_G) menor, para confinar os portadores e estimular sua recombinação e emissão de fótons.

c) Transistores BJT (Bipolar Junction Transistor): A Fig. 9.41 mostra desenhos esquemáticos de estrutura de transistor tipo npn, como usado em tecnologia de circuito integrado. Neste caso, o substrato é do tipo p e não é usado como parte ativa dos transistores npn. Cada transistor npn é isolado dentro de uma “ilha”. O transistor bipolar npn é formado por duas junções pn muito próximas e em oposição. A função da camada enterrada tipo n^+ é apenas reduzir a resistência série do coletor.

d) Transistores de efeito de campo: MESFET e MOSFET: Como ilustra a Fig. 9.42, o transistor tipo MESFET é constituído por um canal, tipo n neste caso, já formado e com duas regiões de contato chamados de fonte e dreno. Um contato metal-semicondutor, terminal de porta no centro do dispositivo, forma um diodo tipo Schottky, que permite controlar a quantidade de portadores de condução de corrente pelo canal. No caso do transistor MOSFET, ou simplesmente MOS, temos duas diferenças (ver Fig. 9.42b), a saber: o metal de porta é isolado do canal por uma fina camada de isolante (SiO_2 por exemplo) e o canal tipicamente não existe por construção, mas sim é formado por indução pelo potencial aplicado na porta. Analogamente ao MESFET, ela possui duas regiões para os contatos de fonte e dreno. No caso da Fig. 9.42b, mostramos o transistor chamado nMOS (de canal tipo n), que é construído sobre um substrato (ou região) tipo p.

e) Tecnologia CMOS: A tecnologia CMOS refere-se a uma estrutura composta pela associação de transistores MOS complementares, ou seja, de transistores nMOS e pMOS. Tipicamente, os transistores nMOS e pMOS são associados em série, tendo o terminal de entrada ligado às duas portas dos transistores complementares. A Fig. 9.43 mostra o desenho esquemático de uma estrutura CMOS. Necessitamos de regiões (poços ou ilhas) tipo n e tipo p para a fabricação dos transistores pMOS e nMOS respectivamente. Normalmente o material de porta usado é uma camada de silício policristalino altamente dopada. Para reduzir resistências parasitárias das linhas de porta e de fontes e dreno, é comum ainda formar um siliceto na superfície das mesmas, por exemplo TiSi_2 ou CoSi_2 . A grande motivação pela tecnologia CMOS é o seu baixo consumo de potência, de grande importância para CI's com milhões a bilhão de transistores. Atualmente, a grande maioria dos CI's são fabricados em tecnologia CMOS (> 85%).

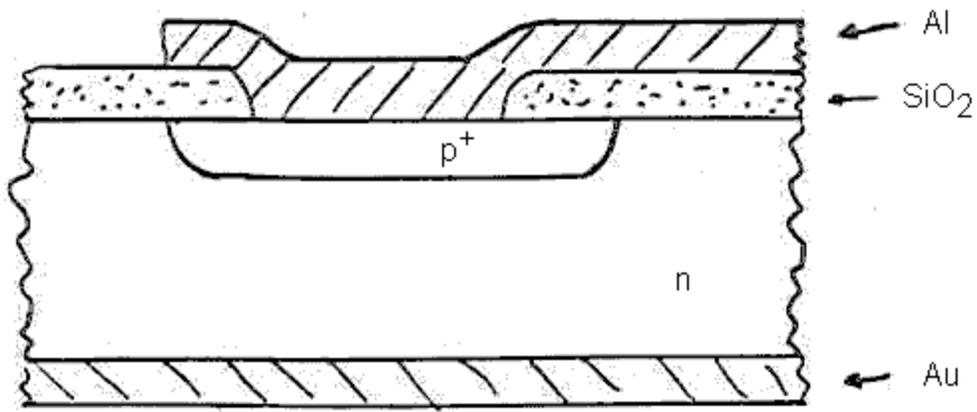


Fig. 9.39 Desenho esquemático da estrutura de um diodo pn.

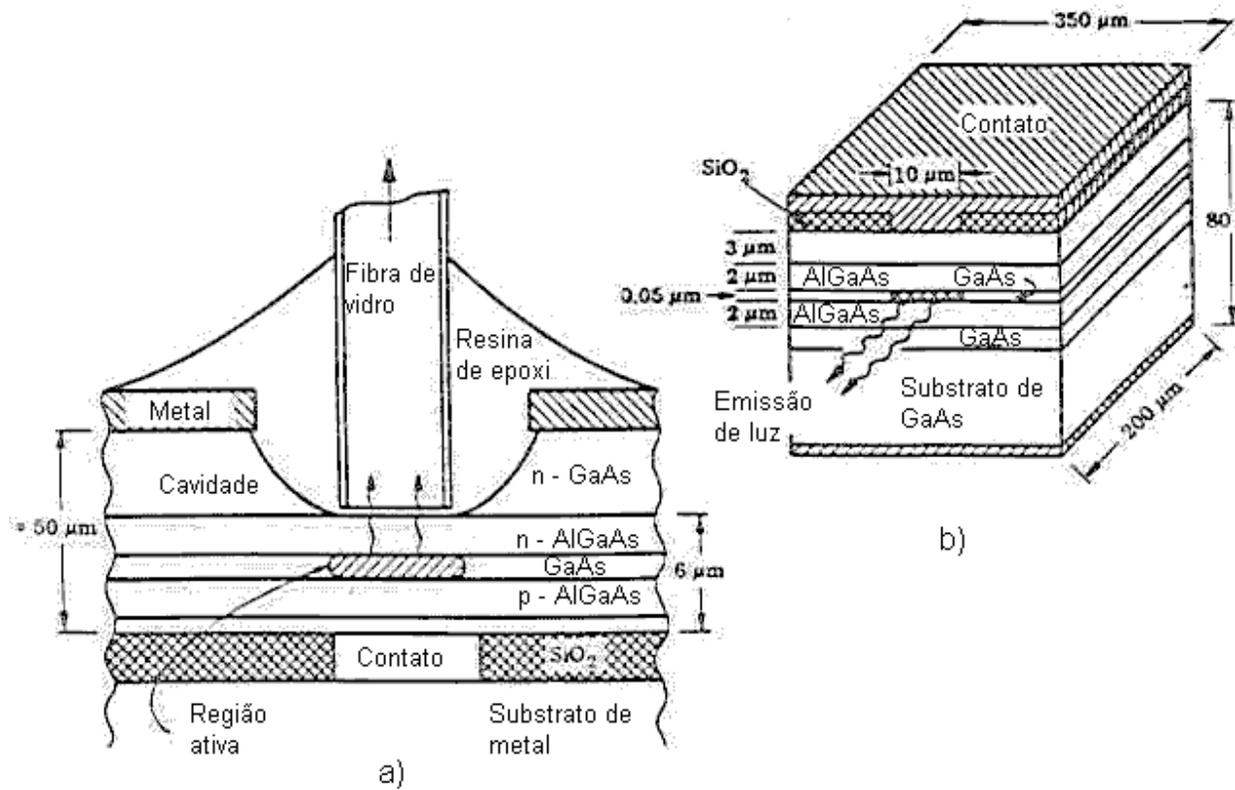


Fig. 9.40 Desenho esquemático da estrutura de um a) LED e b) Laser.

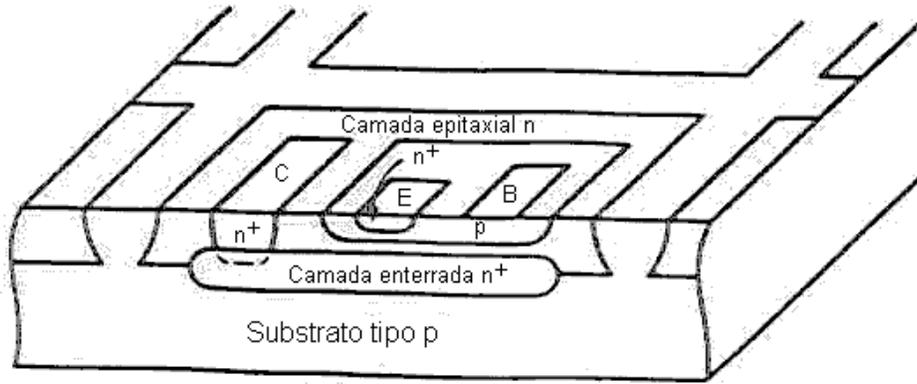


Fig. 9.41 Desenho esquemático da estrutura de um transistor npn em tecnologia de circuito integrado, desenho em 2 dimensões.

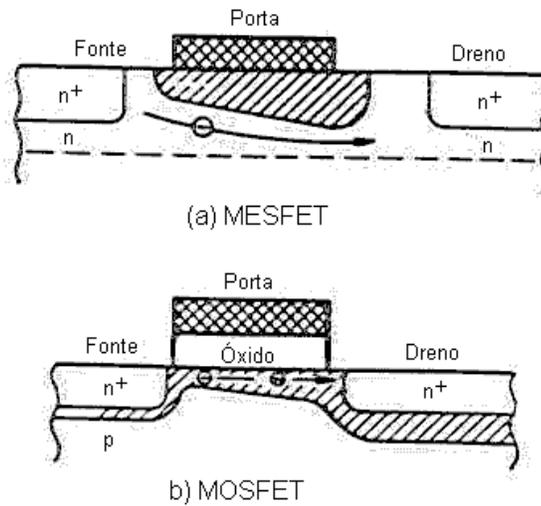


Fig. 9.42 Desenho esquemático da estrutura de transistores de efeito de campo, a) tipo MESFET e b) tipo MOSFET.

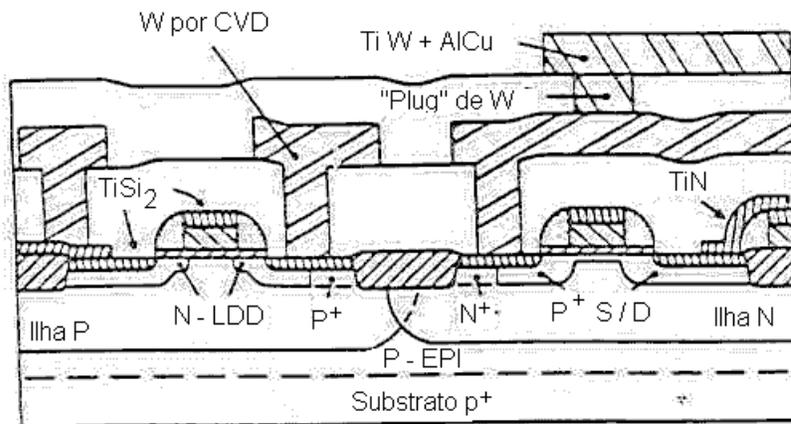


Fig. 9.43 Desenho esquemático da estrutura CMOS, composto pela combinação de transistores MOSFET canal n e canal p.

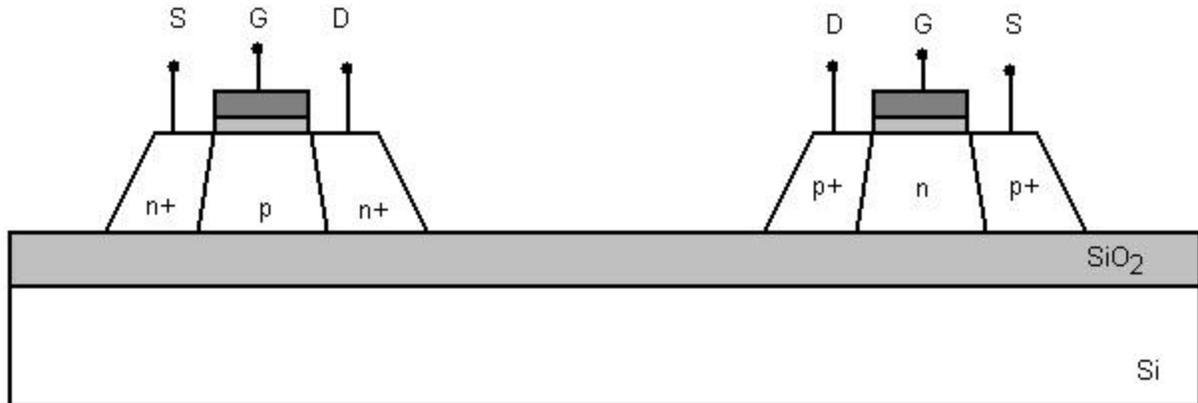


Fig. 9.44 Desenho esquemático da estrutura CMOS/SOI (Si sobre isolante).

f) Tecnologia CMOS/SOI: SOI significa “silício sobre isolante” (Silicon On Insulator). Neste caso fabrica-se uma camada monocristalina de Si sobre a superfície de lâmina de Si contendo uma camada de SiO₂. Existem diferentes processos para obter tal estrutura. Um método bastante usado, é pela implantação de íons de oxigênio em alta dose e energia seguido por um recozimento, formando assim uma camada enterrada de SiO₂. Em seguida, fabrica-se os transistores nMOS e pMOS na camada de Si e isola-se os mesmos pela corrosão da camada de Si das regiões de campo. Por este procedimento, os 2 tipos de transistores ficam totalmente isolados e apresentam reduzidas capacitâncias parasitárias. A Fig. 9.44 ilustra um desenho esquemático da estrutura CMOS/SOI. Esta tecnologia apresenta várias vantagens em relação ao do CMOS tradicional, fabricado diretamente na lâmina de Si, e vem sendo indicado como muito promissora para o futuro.

9.5 Exemplo de Integração de Processo: nMOS

A título de ilustrar melhor como podemos obter as estruturas apresentadas no item anterior, descreveremos a seguir uma seqüência de processos, ou integração de processos, para a fabricação de circuitos integrados com uma tecnologia nMOS particular e simples. A seqüência de processos é como segue e é ilustrada pelos desenhos apresentados na Fig. 9.45:

- Usar lâmina de Si tipo p, orientação (100) e resistividade de 2 a 20 ohm.cm.
- Limpeza química das lâminas
- Oxidação térmica do silício para obter uma fina camada de SiO₂, chamada de almofada, para acomodar filme de Si₃N₄, o qual apresenta grande diferença de coeficiente de expansão térmica com relação ao substrato de Si.
- Deposição de filme de Si₃N₄ por técnica CVD (Fig. 9.45a).
- Fotogração do filme de Si₃N₄, deixando-o sobre as áreas ativas dos transistores (Fig. 9.45b) – Máscara M1.
- Oxidação térmica do Si para obter um óxido espesso nas regiões de campo. As áreas ativas não são oxidadas devido à proteção destas áreas com filme de Si₃N₄. Este processo é chamado de LOCOS (LOCAl Oxidation of Silicon), (Fig. 9.45c).

- Remoção das plataformas de Si_3N_4 , por corrosão química (Fig. 9.45d).
- Oxidação térmica do Si para obter filme fino de óxido de porta (Fig. 9.45e).
- Deposição de filme fino de si-policristalino por processo CVD (Fig. 9.45f).
- Fotogravação do filme de si-poli, para definição das linhas de porta dos transistores MOS (Fig. 9.45g) – Máscara M2.
- Implantação de íons de fósforo, com alta dose, para dopar as regiões n^+ de fonte/dreno e as linhas de Si-poli de porta.
- Recozimento pós-implantação iônica para ativar os dopantes, seguida por uma oxidação do Si para passivar as junções.
- Depositar filme de óxido de silício por técnica CVD para aumentar a espessura do óxido de isolamento sobre as regiões de fonte/dreno e porta (Fig. 9.45h).
- Fotogravação para abertura de vias de contatos no óxido de silício sobre regiões de fonte/dreno e porta (Fig. 9.45i) – Máscara M3.
- Evaporação de filme metálico, Al, para interconexões.
- Fotogravação do filme de Al para definir as linhas de interconexões (Fig. 9.45j) – Máscara M4.
- Recozimento final de sinterização dos contatos Al-Si e passivação dos estados de superfície na interface SiO_2/Si .

Neste estágio os CI's estão concluídos a nível de lâmina. Após este ponto, os CI's devem ser testados funcionalmente, usando um sistema com pontas de prova diretamente sobre a lâmina. Os chips que não passarem no teste recebem um pingão de tinta vermelha, para sua identificação de eliminação posterior. Em seguida, a lâmina é colada numa tecido plástico e elástico. Uma serra diamantada faz cortes na lâmina nos espaços deixados entre as colunas e linhas de chips. Esticando-se em seguida o tecido suporte, os chips são fisicamente separados. Os chips sem o pingão de tinta vermelha são em seguida montados e soldados sobre a base de cápsulas. Uma máquina de solda de fios executa a conexão entre as áreas de solda dos terminais externos no chip até os terminais da cápsula. Finalmente as cápsulas são seladas. Antes do uso ou comercialização dos chips, os mesmos devem ser testados exaustivamente, quanto aos parâmetros funcionais, de desempenho, de controle de qualidade e de confiabilidade.

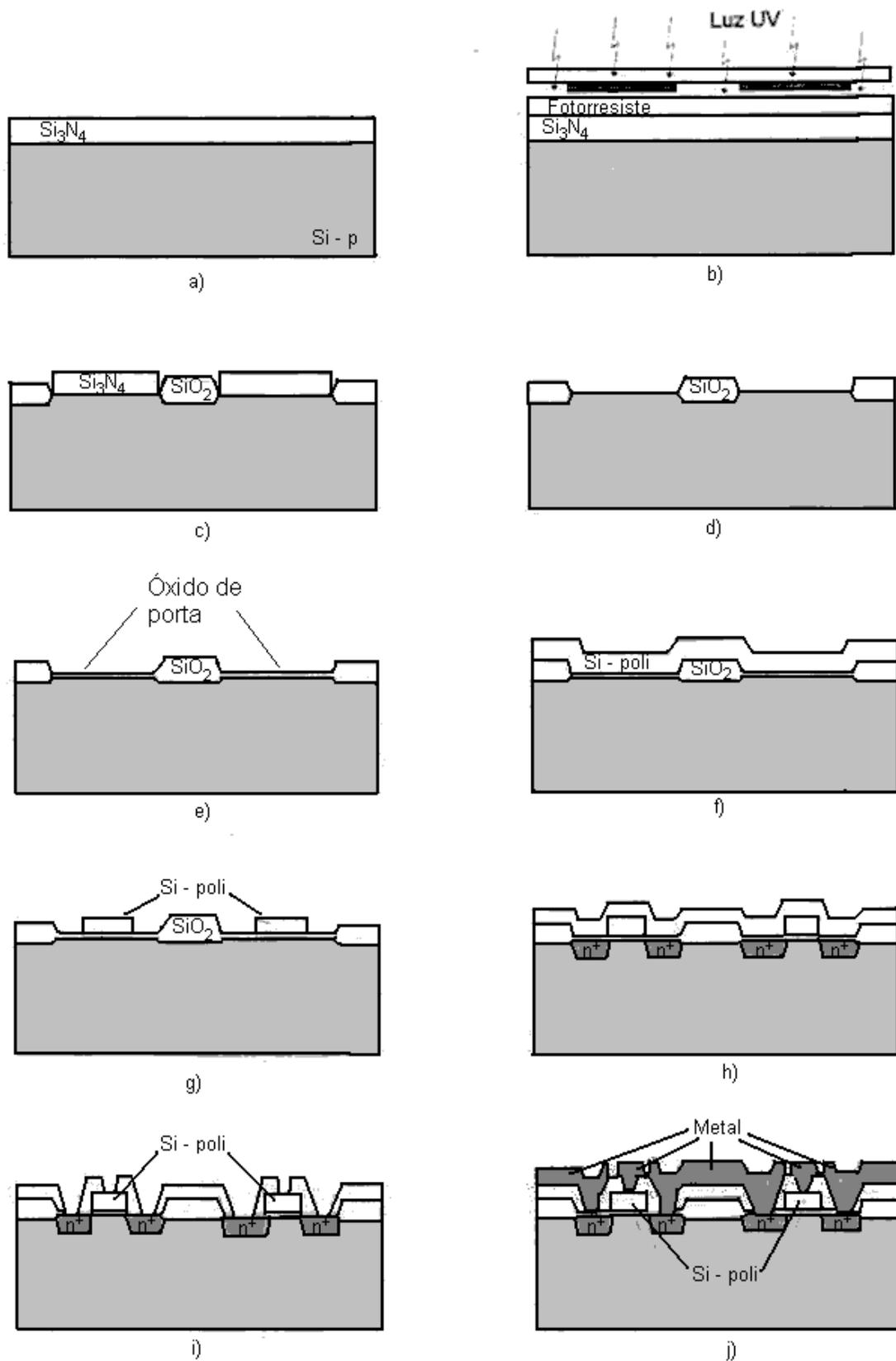


Fig. 9.45 Ilustração da seqüência de fabricação de uma tecnologia nMOS (ver texto).

9.6 Evolução da Microeletrônica.

No século 19, pouco se sabia a respeito de semicondutores e muito menos de dispositivos feitos com estes materiais. Houve, no entanto, alguns trabalhos empíricos, como foi o caso da invenção do retificador a estado sólido, apresentado por F. Braun, em 1874. Este retificador foi feito com cristal de PbS, soldado com um fio metálico (diodo de ponta de contato). Este diodo apresentava característica muito instável e foi abandonado temporariamente, até uma época em que os diodos a válvula não atendiam à demanda de uso de frequências mais altas.

O início do século 20 por sua vez foi fundamental para o desenvolvimento da microeletrônica, pois houve um enorme progresso na teoria física, com o desenvolvimento da mecânica quântica, por Heisenberg, Schrödinger e outros, notadamente durante meados dos anos 20. Em paralelo a este fato, foi proposto um primeiro conceito de desenvolvimento de um transistor de efeito de campo em estado sólido. Em 1926, Lilienfeld patenteou a idéia de modular a condutividade de um semicondutor por meio de um campo elétrico, chamado como dispositivo de efeito de campo. Lilienfeld no entanto não teve sucesso na realização prática da sua proposta. Na década seguinte dos anos 30, houve um forte crescimento no desenvolvimento de teorias quânticas em sólidos, ou seja, a aplicação da mecânica quântica em sólidos, com os conceitos de bandas de energias, bandas proibidas, mecânica estatística, portadores, etc, pelos trabalhos apresentados por Peierls, Wilson, Mott, Franck e vários outros (a maioria da Inglaterra). Estes conceitos teóricos permitiram entender os semicondutores e motivar a pesquisa por dispositivos semicondutores.

No ano de 1936 a Bell Labs decide criar um grupo de pesquisa específico para estudar e desenvolver dispositivos semicondutores, com o objetivo de fabricar o transistor de efeito de campo. Um outro grupo bastante ativo nesta área e que contribuiu significativamente com o trabalho na Bell Labs era o grupo da universidade de Purdue. Em 1940, R. Ohl identifica pela primeira vez semicondutores de Si tipo p e tipo n. No mesmo ano, J. Scaff e H. Theuerer mostram que o nível e o tipo de condutividade do Si é devido à presença de traços de impurezas. Durante os anos seguintes da II Guerra mundial, as pesquisas nesta área são suspensas na Bell Labs, devido a outras prioridades.

Em meados dos anos 40, ao final da II Guerra mundial, o status da eletrônica era baseado nos seguintes dispositivos básicos:

- Válvulas termiônicas, que apresentavam as seguintes características: muito frágeis, caras e de alto consumo de potência.
- Relés eletro-mecânicos, que por sua vez eram de comutação muito lenta.

Estas limitações destes dispositivos motivaram o reinício da pesquisa e desenvolvimento de novos dispositivos a estado sólido. Assim, em 1946, a Bell Labs recria seu grupo de pesquisa em estado sólido, agora sob liderança de William Shockley, concentrando esforços na pesquisa dos semicondutores Ge e Si e de transistores de efeito de campo. Nesta época, um dos pesquisadores do grupo, Bardeen, sugere uma explicação pelo insucesso na obtenção do transistor FET baseado na alta densidade de estados de superfície dos semicondutores (dentro da banda proibida). Mas persistindo na pesquisa da invenção do FET, Bardeen e Brattain descobrem por acaso o efeito de transistor

bipolar, em final de 1947, mais precisamente em 16 de dezembro. Este transistor e esquema elétrico são mostrados na Fig. 9.46. O transistor era constituído por uma base de Ge tipo n (contato de base pelas costas da amostra) e duas junções de contato tipo p na superfície, sendo um de emissor e outro o coletor, feitos um próximo ao outro. Após os cuidados necessários para patentear o invento e convencer o exército americano, que queria mantê-lo como segredo, a Bell Labs o anuncia publicamente em junho de 1948. O descobrimento do efeito transistor bipolar é sem dúvida atribuído aos pesquisadores Bardeen e Brattain, mas quem desenvolveu a teoria e explicação sobre o funcionamento do transistor bipolar foi o chefe deles, W. Schokley, em janeiro de 1948. A teoria de Schokley, de injeção de portadores minoritários pela junção emissor-base, foi comprovada por meio de um transistor vertical fabricado em fevereiro de 1948, por J. Shive. Esta teoria torna-se amplamente acessível com o lançamento do livro “Electrons and Holes in Semiconductors” por W. Schokley em 1950. Mais tarde, em 1956, Schokley, Brattain e Bardeen são condecorados com o prémio Nobel de física pelas contribuições referentes ao transistor bipolar. A pesquisa pela obtenção do transistor de efeito de campo foi mantida, apesar do descobrimento do transistor bipolar, sendo que em 1952, I. Ross e G. Dacey demonstram o primeiro transistor tipo JFET. Neste caso, a porta é constituída por uma junção pn, que controla a passagem de corrente pelo canal. Desta forma, contornou-se o problema de estados de superfície, que ainda não tinha sido resolvido até então.

Um fato histórico que contribuiu muito com o desenvolvimento da microeletrônica foi o fato da Bell Labs licenciar seu invento a outras empresas. Por um preço de US\$ 25.000,00, empresas como Texas Instruments e Sony, compraram a licença para aprender e usar a tecnologia de fabricação de transistores. A tecnologia foi transferida através de um workshop realizada na Bell Labs em abril de 1952. Sony foi a primeira empresa a fabricar um radio totalmente transistorizado e comercializá-lo em escala, criando assim o mercado de consumo para transistores.

Em 1955, Schokley deixa a Bell Labs e funda sua própria empresa, Schokley Semiconductors, que marca a origem do Vale do Silício, no estado de California. A sua empresa em si não foi marcante, porém ela começou com pesquisadores e empreendedores de alto nível, que depois criaram a Fairchild (1957) e Intel, entre muitos outros. Entre estes pesquisadores destacam-se Gordon Moore e Robert Noyce.

Não muito depois, já em 1962, a Philco instala fábrica de diodos e transistores em São Paulo. Ou seja, já no início da era dos semicondutores, o Brasil tinha atividades de microeletrônica.

Uma vez dominado alguns processos de fabricação de transistores, nasceu a idéia de se fazer um circuito integrado. Este conceito foi proposto e patenteado por J. Kilby, da Texas Instruments, no ano de 1958. Kilby demonstrou sua idéia com um circuito fabricado sobre um único bloco de Si, contendo um transistor (em estrutura tipo mesa), um capacitor e um resistor. Estes dispositivos eram no entanto interconectados por meio de fios soldados nos contatos dos mesmos. Uma fotografia deste circuito integrado rudimentar é mostrado na Fig. 9.47. Em paralelo, um grupo da Fairchild desenvolve um processo superior para fabricar transistores (J. Hoerni) e chamado de processo planar (apresentado no item 9.2 deste capítulo). Este mesmo processo é adaptado logo em

seguida, no mesmo ano, por R. Noyce do mesmo grupo, para a fabricação de circuitos integrados. Este processo foi fundamental para o progresso da microeletrônica, já que seu princípio básico, acrescido de várias inovações e evoluções, vem sendo usado até hoje na fabricação dos modernos CI's. O início da comercialização de CI's inicia-se a partir do ano de 1962, não parando mais de crescer em termos de volume e de densidade de transistores por chip. A Fig. 9.48 mostra a fotografia do primeiro CI fabricado pelo processo planar. Marcos precursores e fundamentais para a invenção do processo planar foram: a) em 1952, C. Fuller da Bell Labs, publica seu estudo sobre difusão de dopantes doadoras e aceitadoras em Si; b) em 1955, Frosch e Derick usam camadas de SiO_2 para delimitar as áreas de difusão; c) em 1955, Andrus e Bond desenvolvem materiais tipo fotorresiste para a litografia e gravação de padrões em filmes de SiO_2 .

O estudo e desenvolvimento de processos de oxidação de Si permitiram finalmente o desenvolvimento do tão sonhado transistor de efeito de campo com porta isolada, ou seja, o transistor MOSFET ou simplesmente MOS (veja Fig. 9.42b). Em 1960, um grupo da Bell Labs, D. Kahng e M. Atalla, demonstram o transistor MOS. A interface SiO_2/Si é uma interface de muito boa qualidade com baixa densidade de estados de superfície. Mas apesar disto, os dispositivos MOS apresentavam uma estabilidade pobre, causando um atraso de mais 10 anos para seu uso em grande escala. O motivo deste problema era a falta de controle de contaminação de impurezas. Mais especificamente,

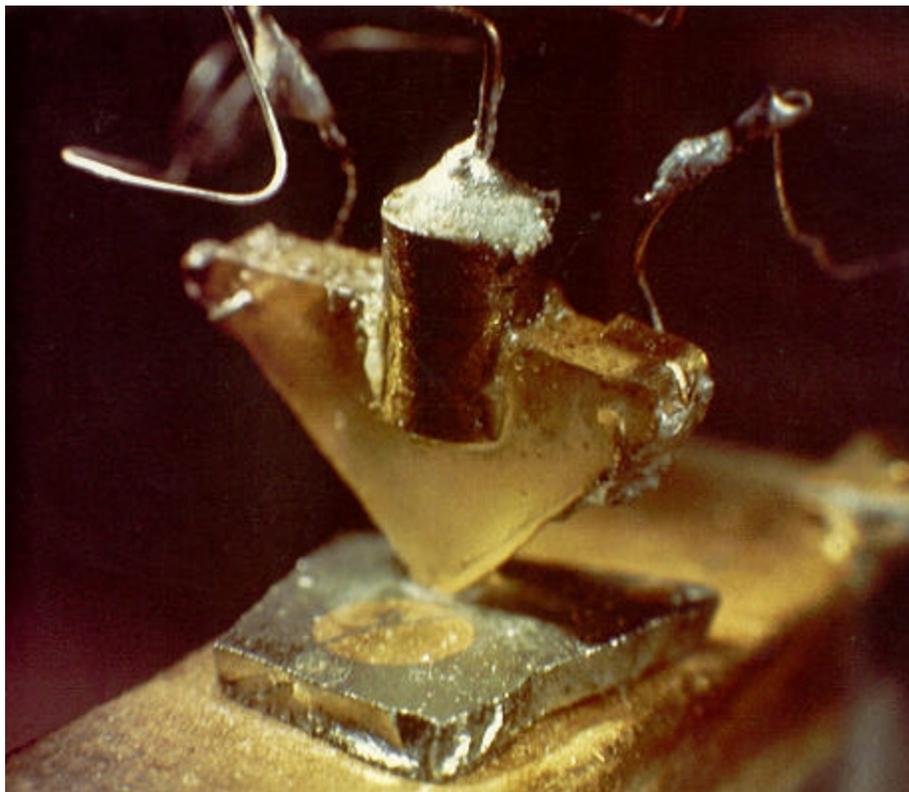


Fig. 9.46 a) Fotografia do primeiro transistor bipolar de contato descoberto em dezembro de 1947, por pesquisadores da Bell Labs, b) esquema elétrico correspondente (fig.3 – paper 1)

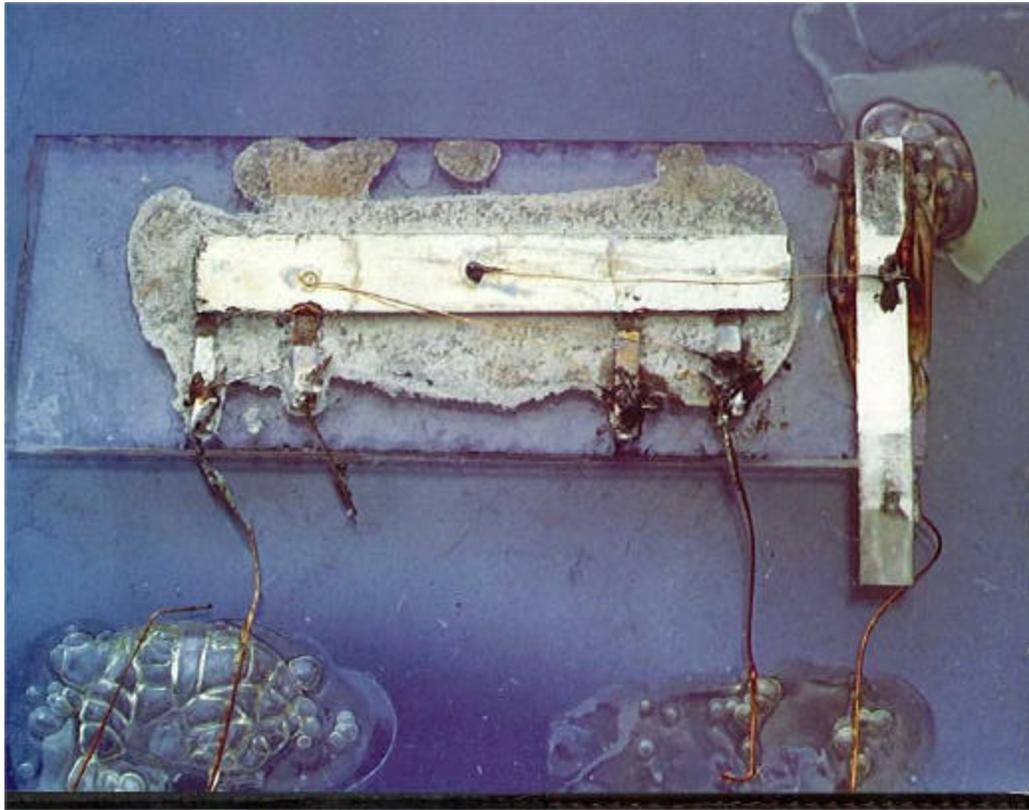


Fig. 9.47 Fotografia do primeiro circuito integrado desenvolvido por J. Kilby, em 1958.

impurezas de Na, que são responsáveis por cargas positivas dentro do isolante de porta e que causa um desvio na tensão de limiar dos transistores (altera a densidade de portadores induzidos no canal). A combinação de transistores MOS de canal n e de canal p num mesmo substrato, levou F. Wanlass a propor a tecnologia CMOS em 1963 (ver Fig. 9.43). Outros marcos históricos que contribuíram enormemente para o avanço das tecnologia MOS foram, a) o uso de filme de silício policristalino dopado como material de porta de transistores, a partir de 1966, e b) o uso da técnica de implantação de íons para o ajuste da tensão de limiar do transistores, pela dopagem da região de canal com muita precisão.

Além dos dispositivos descritos acima, muitos outros foram inventados, ao longo do meio século de vida da era dos semicondutores. K. K. Ng apresenta uma revisão ampla destes dispositivos (“A Survei of Semiconductor Devices”, IEEE Trans.Electr. Dev., vol.43, no. 10, p.1760, Oct. 1996), que recomendamos como leitura. Ele classifica como sendo 67 dispositivos distintos, com mais aproximadamente 110 outros dispositivos relacionados, com pequenas variações em relação aos primeiros, como parcialmente ilustrado na Fig. 9.49. Uma relação resumida destes dispositivos é apresentada na tabela 9.4, com os mesmos organizados em grupos, baseado em suas funções e/ou estruturas.

Tabela 9.4 Grupos de dispositivos semicondutores, organizados por função e/ou estrutura.

Grupo	Sub-grupo	Dispositivos
Diodos	Retificadores	Diodo p-n
		Diodo p-i-n
		Diodo Schottky
		Diodo de barreira dopada panar - PDB
		Diodo de heterojunção
	Resistência negativa	Diodo túnel
		Diodo de transferência de elétrons
		Diodo túnel ressonante
		Diodo RST
		Diodo IMPATT
Resistivos		Diodo BARITT
		Resistor
Capacitivos		Contato ôhmico
		Capacitor MOS
Chaves de 2 terminais		CCD's (Charge-coupled devices)
		MISS (Metal-Insulator-Semicond. Switch)
Transistores	Efeito de Campo	PDB (Planar-Doped-Barrier Switch)
		MOSFET
		JFET
		MESFET
		MODFET
	Efeito de Potencial	PBT
		BJT – Bipolar Junction Transistor
		HBT – Heterojunction Bipolar Trans.
		MBT – Metal Base Transistor
Memórias não voláteis		RTBT – Resonant-Tunneling Bipolar
		FAMOS
Tiristores		MNOS
		SCR – Silicon-Controlled Rectifier
		IGBT – Insulated-Gate Bipolar Trans.
		Transistor unijunção
Fontes de Luz		SiThy – Static-Induction Thyristor
		LED
		Laser
Fotodetetores		VCSEL – Vertical-cavity surface emitting laser
		Fotocondutor
		Fotodiodo p-i-n
		Fotodiodo de barreira Schottky
		CCIS – Charge-coupled image sensor
		APD – Avalanche Photodiode
		Fototransistor
Dispositivos Ópticos Biestáveis		MSM – metal-semicondutor-metal
		SEED – Self-electrooptic-effect device
Outros Dispositivos Fotônicos		Etalon bi-estável
		Célula solar
Sensores		Modulador eletroóptico
		Termistor
		Sensor Hall
		Strain Gauge (piezoelétrico)
		Transdutor Interdigital, tipo SAW
		ISFET – Ion-sensitive FET

O estudo e entendimento destes diversos dispositivos requerem basicamente os seguintes conhecimentos:

a) Conhecimento dos blocos construtivos de dispositivos. Existem apenas 5 blocos construtivos para os dispositivos, como representados na Fig. 9.50:

- Interface metal-semicondutor
- Interface de dopagem, ou seja, junção p-n
- Heterojunção
- Interface semicondutor-isolante
- Interface isolante-metal

O estudo destes blocos construtivos será objeto do capítulo seguinte.

b) Conhecimento dos mecanismos de transporte. Vários destes mecanismos foram estudados no capítulo 8. A seguir relacionamos estes mecanismos juntamente com exemplos de dispositivos onde os mesmos se aplicam:

- Deriva resistores, transistores FET
- Difusão junções p-n, transistores bipolares
- Emissão termiônica barreiras Schottky, diodos PDB
- Tunelamento diodo túnel, contato ôhmico
- Recombinação LED, Laser, diodo p-i-n
- Geração célula solar, fotodetector
- Avalanche diodo IMPATT, diodo Zener, diodo APD.

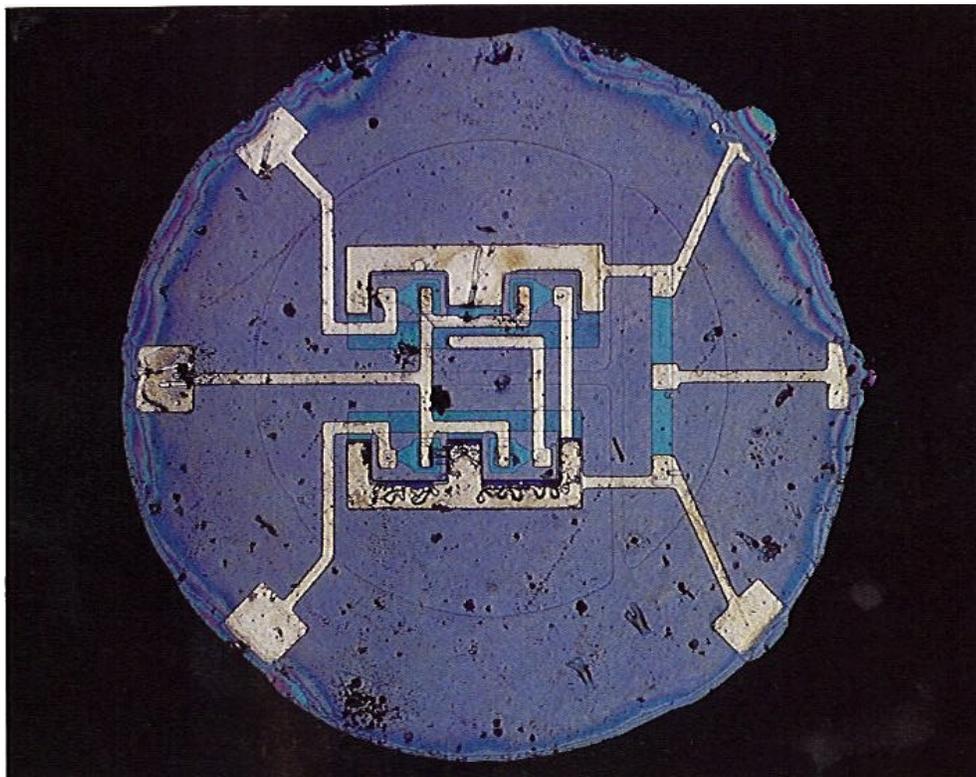


Fig. 9.48 Fotografia do primeiro circuito integrado fabricado por processo planar na Fairchild em 1961.

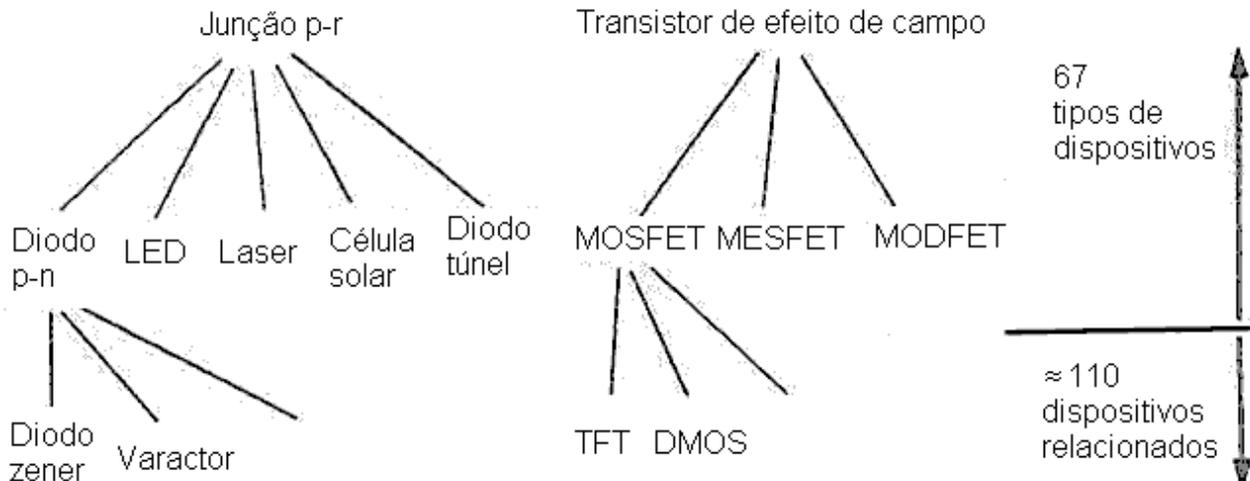


Fig. 9.49 Parte da árvore de dispositivos semicondutores (Ng, fig.1, p.9.44)

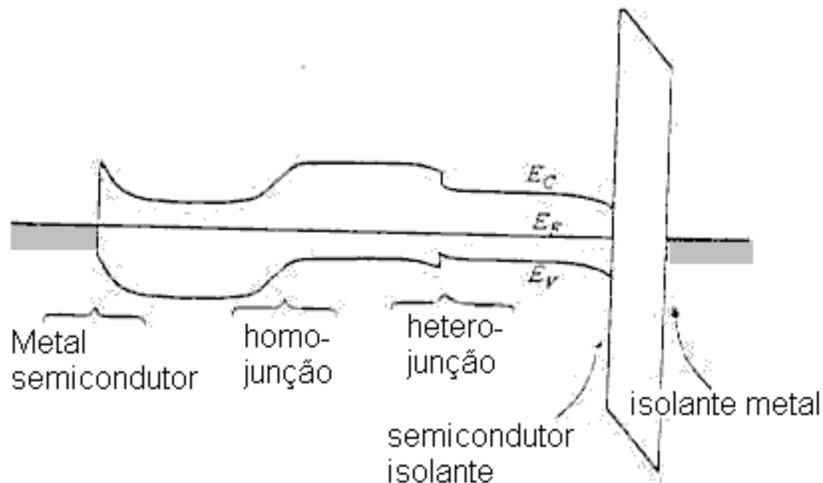


Fig. 9.50 Diagrama de bandas de energia, mostrando as interfaces dos 5 blocos construtivos básicos de dispositivos.

Este número grande de dispositivos justifica-se pelas necessidades específicas nas diversas aplicações. Dentro dos circuitos integrados no entanto, os dispositivos e tecnologias predominantes são as tecnologias MOSFET e BJT, como mostram os dados da Fig. 9.51. Estes dados são restritos ao período de 1974 a 1986. Desde aquela época, a mesma tendência de redução relativa da participação da tecnologia BJT e aumento do uso da tecnologia MOSFET, em particular a CMOS, continuou. Atualmente, na virada do século 20, mais de 85% do mercado de semicondutores corresponde à tecnologia CMOS.

A evolução da microeletrônica não se restringe ao desenvolvimento de novos dispositivos, apresentados acima, mas apresenta também outros aspectos tão importantes quanto. Estes outros aspectos incluem os seguintes:

- Uma redução contínua das dimensões mínimas, como indicado na Fig. 9.52. Esta evolução corresponde a uma redução com fator 2 a cada 6 anos. Esta evolução foi possível graças a avanços tecnológicos nos processos de fabricação em geral e em especial, nos processos de fotolitografia.
- Uma evolução na área máxima dos chips, como mostra a Fig. 9.53. Esta evolução corresponde a um aumento de fator 2 na área do chip a cada 4 anos. A área máxima dos chips está relacionada com a densidade de defeitos por unidade de área, que garanta um rendimento aceitável de produção. A evolução na qualidade dos processos de fabricação resulta numa redução gradual da densidade de defeitos e como consequência permite este aumento gradual da área dos chips.
- Uma evolução na eficiência de empacotamento, ou seja, do número de dispositivos por área de dimensão mínima da tecnologia. Esta evolução está quantificada na Fig. 9.54 e está relacionada a otimização do layout empregado e do uso de novas estruturas físicas dos dispositivos, isolamento e interconexões. No início, havia muito espaço de melhoria, resultando numa média de aumento de 21 vezes por década. Após os anos 70, houve uma redução na taxa de aumento da eficiência de empacotamento para 2.1 vezes por década.
- A combinação das 3 evoluções citadas acima, de redução nas dimensões mínimas, aumento da área dos chips e aumento na eficiência de empacotamento, levou a um aumento assombroso no número de dispositivos por chip, como mostra a Fig. 9.55. Associado a cada faixa de número de dispositivos por chip convencionou-se chamar o nível de integração pelas siglas: SSI (Small Scale Integration), MSI (Medium Scale Integration), LSI (Large Scale Integration), VLSI (Very Large Scale Integration), ULSI (Ultra-Large Scale Integration) e GSI (Giga Scale Integration). Atualmente, na virada do século, estamos entrando na era do GSI. O crescimento contínuo do número de dispositivos por chip é de aproximadamente um fator 2 a cada 18 meses, ao longo das últimas 3 a 4 décadas. Este crescimento é conhecido como a lei de Moore.
- Uma evolução contínua na redução do custo por transistor ou por bit de informação é mostrado na Fig. 9.56a. Esta redução de custo tem levado a um enorme crescimento do uso de eletrônica, com um crescimento médio anual de 16% no mercado de semicondutores ao longo das últimas décadas. Ressaltamos que nenhum outro setor econômico teve tal crescimento na história da humanidade. A Fig. 9.56b mostra o aumento contínuo do número de bits de DRAM produzidos.

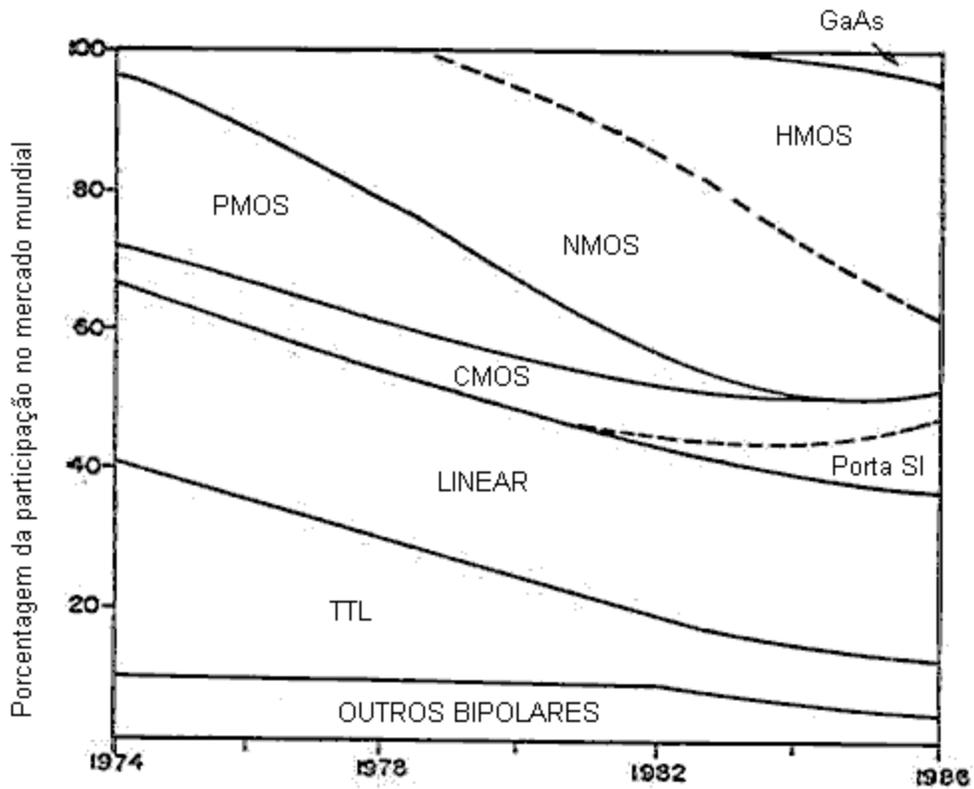


Fig. 9.51 Evolução da participação das diversas tecnologias do mercado de semicondutores, no período de 1974 a 1986.

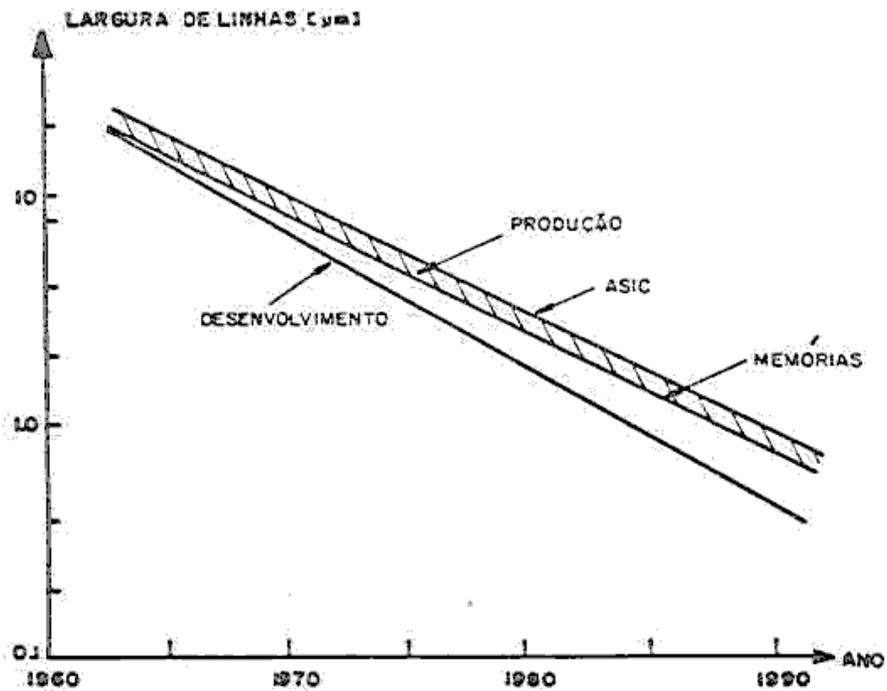


Fig. 9.52 Evolução nas dimensões mínimas empregadas nas estruturas em CI's.

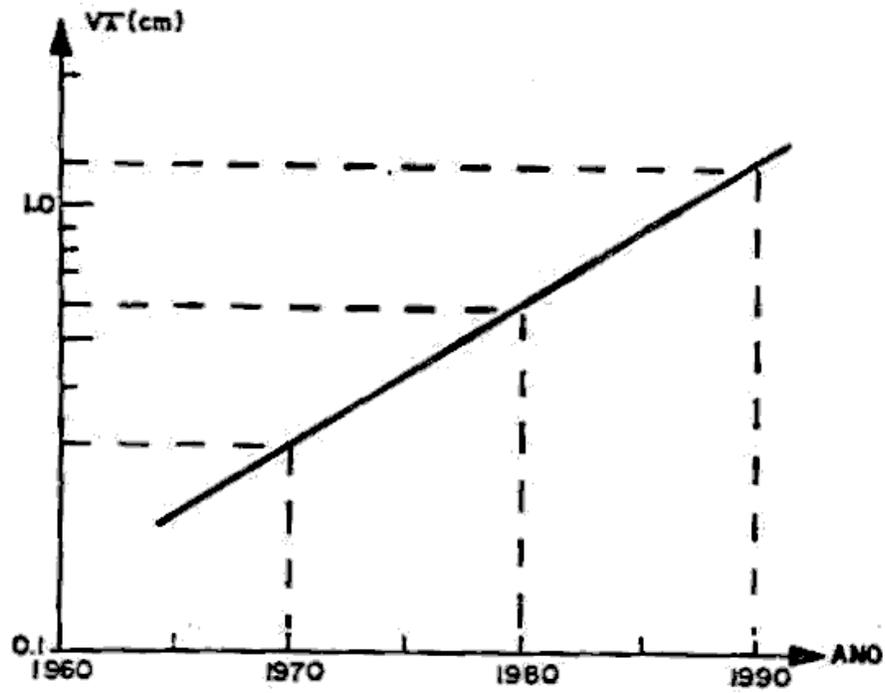


Fig. 9.53 Evolução da área máxima de chips.

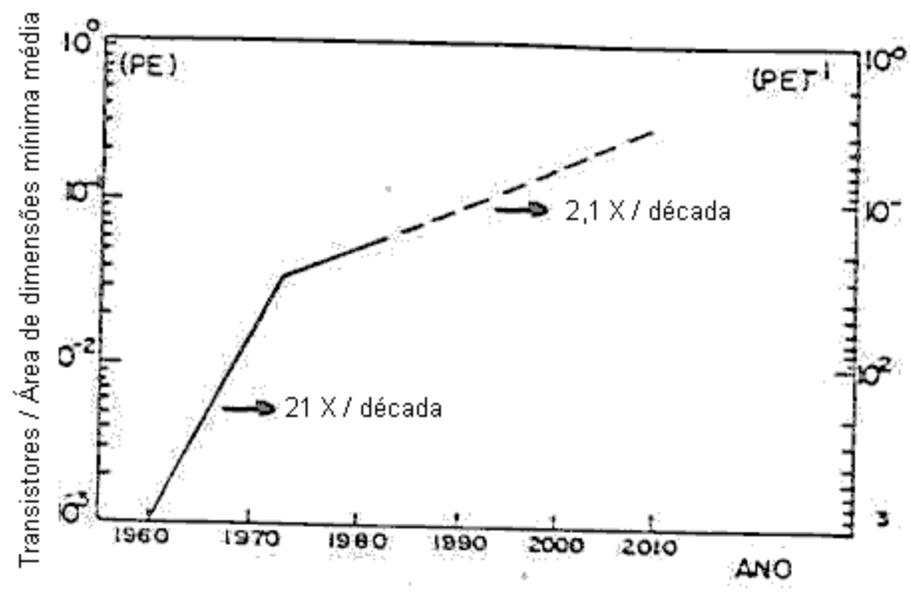


Fig. 9.54 Evolução na eficiência de empacotamento

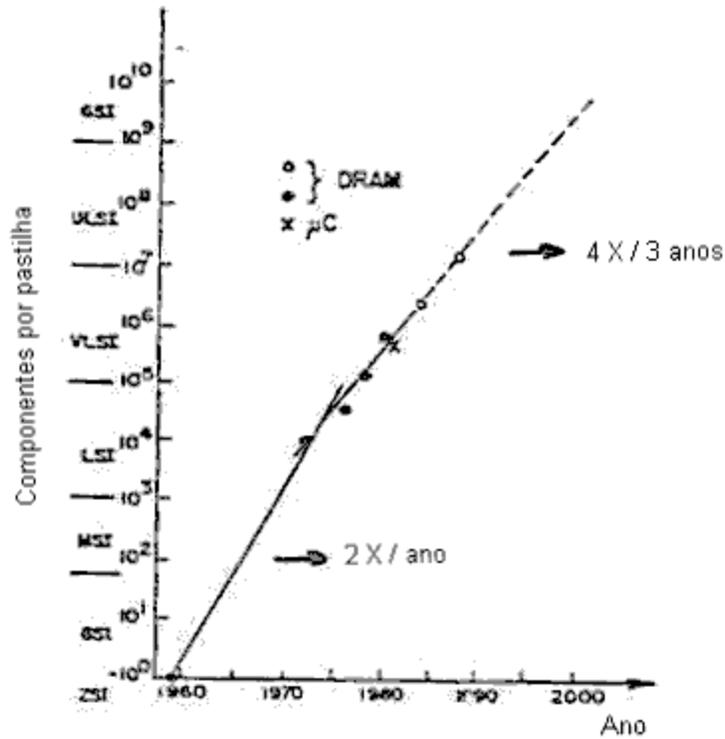


Fig. 9.55 Evolução do número de dispositivos por chip.

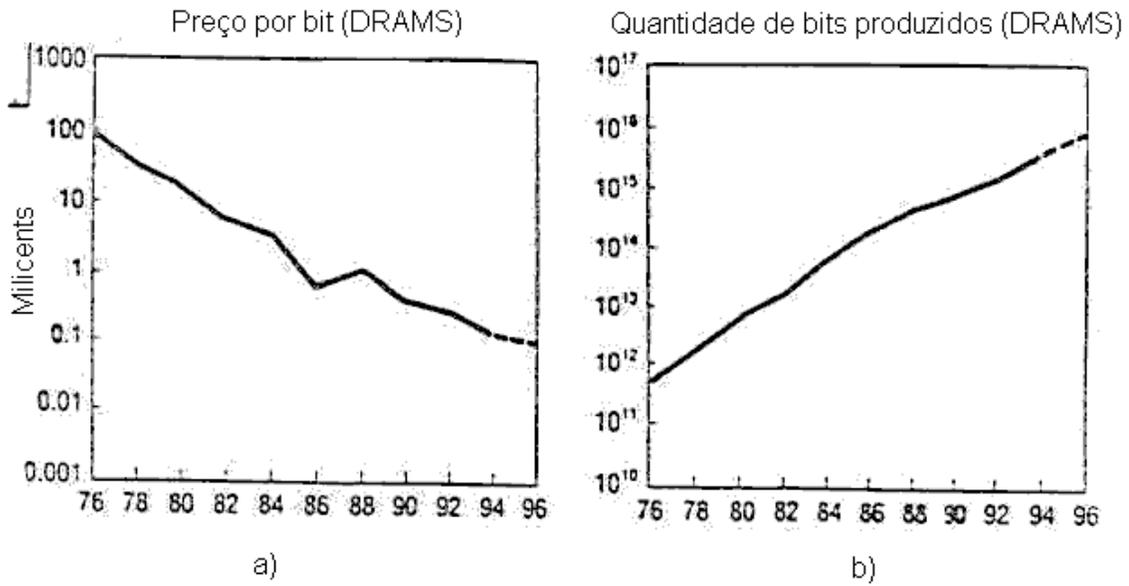


Fig. 9.56 a) Evolução na redução do custo de bit de memória (DRAM) e b) evolução da quantidade de bits de memória (DRAM) produzidos por ano.

É relativamente difícil imaginar o significado das dimensões mínimas e números apresentados acima. Para melhor compreendê-los, considere as seguintes comparações:

- a) Na Fig. 9.57 mostramos uma fotografia de microscópio eletrônico de um fio de cabelo sobre uma estrutura de memória DRAM de 4 Mbit, correspondente a uma tecnologia (já ultrapassada) de 1986, com dimensões mínimas de aproximadamente 1 μm .
- b) Ao invés de fabricar estruturas de dispositivos, poderíamos usar a mesma tecnologia para desenhar um mapa. Logicamente ninguém consegue fazer um negócio rentável com tal produto, já que não é nada prático usar tal mapa, seria necessário o uso de microscópio, e atualmente, microscópio eletrônico. Na Fig. 9.58 apresentamos uma seqüência de mapas que poderiam ser desenhadas em chips com as diversas fases tecnológicas. Ou seja, atualmente (1998) poderemos desenhar um mapa da América do Sul num chip, contendo todas as ruas, rios e estradas, em escala.
- c) Atualmente (1998), o número de transistores produzidos anualmente no mundo é da ordem de 10^{17} . Este número corresponde a aproximadamente o número de formigas existente no mundo e a 10 vezes o número de grãos de cereais produzidos no mundo por ano.

Os números e analogias apresentados mostram que a microeletrônica cresceu desproporcionalmente em relação a outras áreas tecnológicas, representando uma área fascinante de engenharia. Mais e mais caminhamos para sistemas completos em um único chip. Isto significa que o projeto em eletrônica resumir-se-á ao projeto do chip. Uma pergunta natural seria, quais são as forças propulsoras para tão rápido avanço tecnológico, ou ainda, para que complicar tanto? A força propulsora fundamental é o capital, ou seja, o mercado. Mas o desenvolvimento não agrada apenas o dono do capital, mas também os engenheiros e cientistas que trabalham nos desafios de conseguir sempre um produto melhor ou uma nova invenção. Portanto, a evolução tem procurado soluções que resultem em produtos melhores e mais baratos ou mais rentáveis. No caso, a evolução da microeletrônica como apresentada inclui os seguintes aspectos:

- Maior densidade de integração. Considerando uma mesma função, isto resulta em maior número de chips por lâmina e aumento do rendimento (supondo uma densidade fixa de defeitos). Portanto, isto resulta em ganho econômico.
- Maior velocidade de operação. Com dimensões menores tem-se menores capacitâncias, o que resulta em menores tempos de chaveamento das portas, melhorando portanto o desempenho do CI. Os dados de tempos de atrasos por porta e por linha de interconexão estão mostrados na Fig. 9.59, simulados para interconexões de linhas de Al e linhas de Cu.
- Menor consumo de potência. Novamente, devido às menores dimensões e menores capacitâncias, a energia associada na mudança da tensão em cada nó do circuito será menor, e como conseqüência, teremos um menor consumo de potência.
- Menor número de chips por sistema. Considerando agora chips mais complexos, com mais funções integradas, poderemos fabricar sistemas com menor número de chips, e no limite, com um único chip. Este fato traz como vantagem, menor número de conexões entre chips. Isto por sua vez resulta em aumento da confiabilidade do sistema, uma redução do seu tamanho e uma redução do custo de montagem do mesmo.

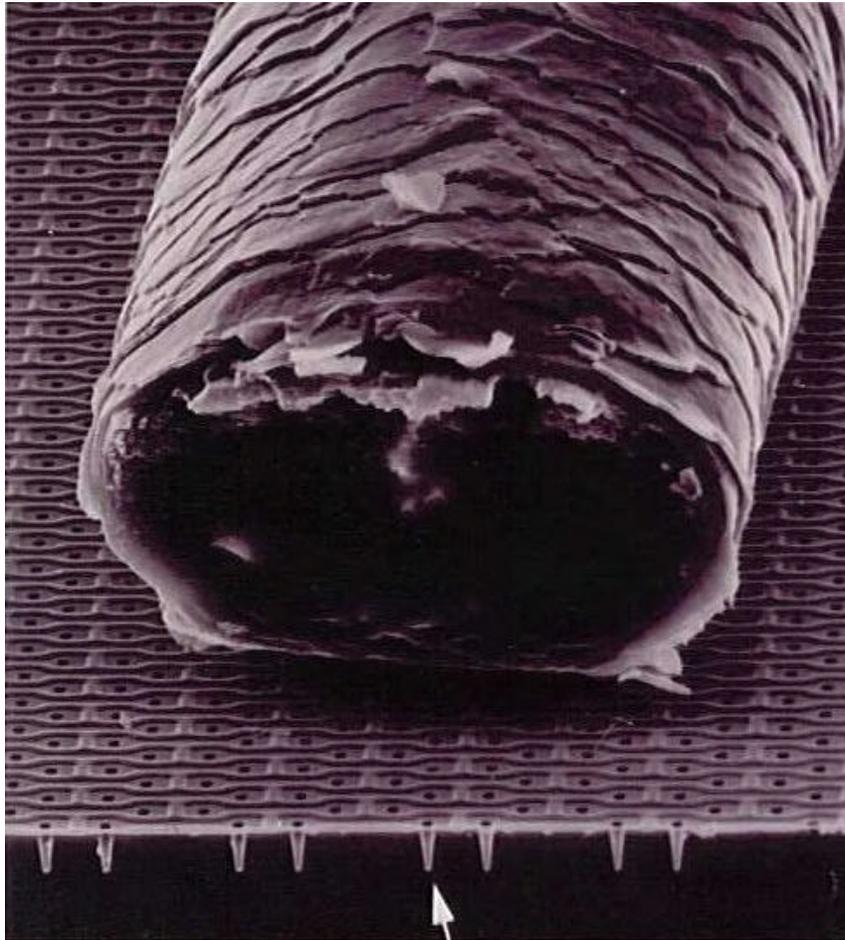


Fig. 9.57 Fotografia tirada por microscópio eletrônico de um fio de cabelo sobre um chip de memória DRAM inacabada e de tecnologia do ano de 1986, ilustrando estruturas gravadas de largura de 2 μm .

A evolução obtida até este ponto, bem como a que está por vir, é resultado de um esforço muito grande de muitas pessoas, empresas e instituições de ensino e pesquisa. Nenhuma empresa sozinha, nenhum país sozinho, poderia ter trilhado tão rapidamente este caminho. Os países avançados e suas empresas têm consciência deste fato e que torna-se mais necessário ainda para o futuro. Os avanços futuros necessitam de recursos mais volumosos ainda e portanto de ações conjuntas de pesquisa e desenvolvimento. Com o intuito de guiar este trabalho de desenvolvimento, a SIA (Semiconductor Industry Association) do USA, elabora um relatório trienal, onde ela propõe um mapa de estrada para o futuro (The National Technology Roadmap for Semiconductors). Na tabela 9.5 apresentamos alguns dados do relatório publicado em 1997. Assim, prevê-se uma evolução gradual até pelo menos dimensões mínimas de 50 nm (ano 2012). A partir deste ponto, provavelmente as várias limitações, físicas e tecnológicas, impedem a realização de transistores com comprimento de canal menor que isto. Portanto, novos conceitos físicos devem ser usados para inventar dispositivos alternativos aos dos tradicionais MOSFET e bipolares. Entre estes já existem os dispositivos de bloqueio Coulombiano, entre outros dispositivos de um único elétron. São propostos também os dispositivos quânticos, onde se controla o estado do elétron de um átomo (hidrogênio por

exemplo). Estruturas de nano-tubos de carbono é outra idéia proposta. São tubos de 1.4 nm de diâmetro e de 10 μm de comprimento que contituem canais de corrente e que permitem realizar circuitos tipo moleculares. Chaveamento a freqüência de 10 THz é previsto. Certamente não chegamos no final do túnel da evolução.

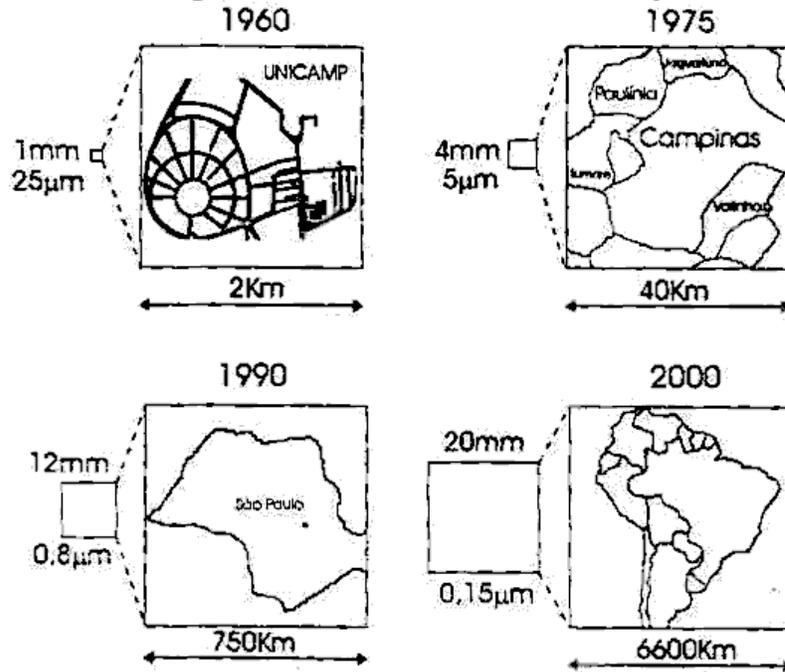


Fig. 9.58 Ilustração de mapas desenhados, contendo detalhes de todas as ruas, em áreas de chips nas diversas fases tecnológicas.

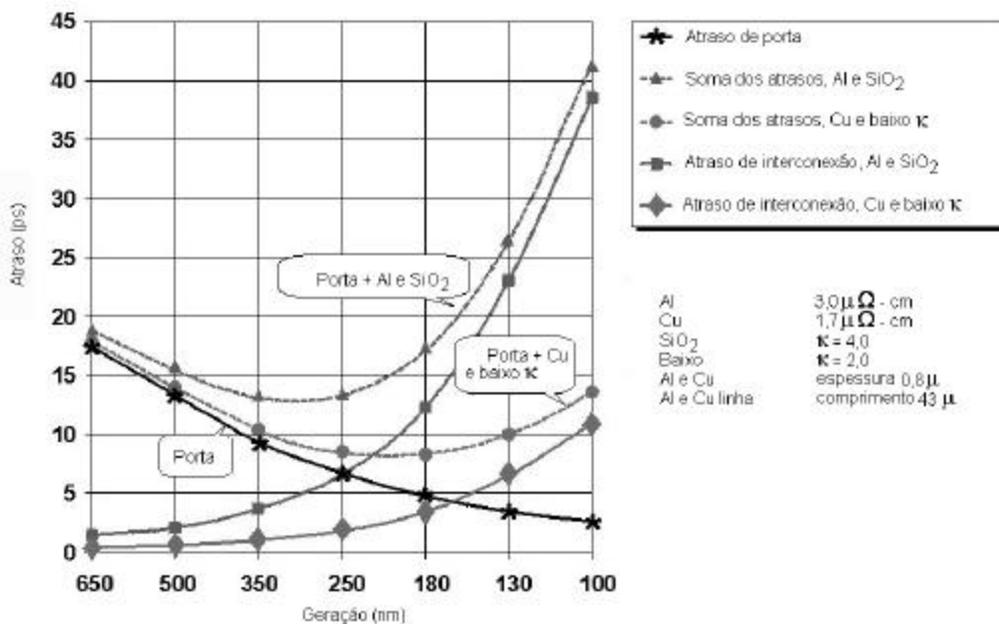


Fig. 9.59 Tempos de atrasos de propagação de sinal através de portas e de linhas de inteconexões, considerando linhas de Al e de Cu e dois tipos de dielétricos (SiO₂ e outro de baixa constante dielétrica).

Tabela 9.5 Dados de previsão de evolução extraídos do relatório da SIA de 1997.

Dado\Ano	1997	1999	2001	2003	2006	2009	2012
L_{MIN} (nm)	250	180	150	130	100	70	50
DRAM (bits)	256M	1G	-	4G	16G	64G	256G
Área chip DRAM (mm ²)	280	400	480	560	790	1120	1580
Diâmetro / lâmina (mm)	200	300	300	300	300	450	450
Níveis de metal (lógica)	6	6-7	7	7	7-8	8-9	9
Compr. metal (lógica) (m)	820	1480	2160	2840	5140	10000	24000
V_{DD} (V)	2.5	1.8	1.5	1.5	1.2	0.9	0.6
F_{MAX} de relógio (MHz)	750	1250	1500	2100	3500	6000	10000
Número máscaras	22	23	23	24	25	26	28
Defeitos (m ⁻²) ^{***}	2080	1455	1310	1040	735	520	370
Custo/bit DRAM inicial (μc)	120	60	30	15	5.3	1.9	0.66

Nota: ^{***} para rendimento inicial de 60% e memória DRAM.

9.7 Outras Aplicações das Técnicas de Microfabricação

As técnicas de microfabricação foram desenvolvidas para a microeletrônica, para a fabricação de dispositivos eletrônicos discretos e circuitos integrados, como apresentamos nos itens anteriores. Porém, as mesmas técnicas encontraram campo fértil também em outras áreas. Duas destas já mencionamos, ou seja, a fabricação de dispositivos optoeletrônicos e sensores (ver tabela 9.4). Podemos citar as seguintes aplicações para as técnicas de microfabricação, fora da microeletrônica:

- Dispositivos optoeletrônicos
- Dispositivos e estruturas fotônicos (ver capítulo 12)
- Sensores e atuadores
- Micromecânica
- Estruturas para biologia e medicina
- Fabricação de placas de circuitos impressos e suas evoluções.

Um subconjunto destes dispositivos formam o universo novo chamado MEMS (Micro-Electro-Mechanical Systems). Este universo inclui a integração de microsensores e atuadores, além de sistemas micromecânicos. Os sensores e atuadores são dispositivos que realizam alguma forma de conversão de energia ou de sinal. Entre estes temos: radiação eletromagnética, campo elétrico, campo magnético, potencial eletroquímicos, elementos químicos, força mecânica, pressão, temperatura e outros. Normalmente deseja-se a conversão de uma destas grandezas em sinal elétrico ou vice-versa. Assim, podemos processar o sinal por meio de um circuito eletrônico. Os produtos MEMS comerciais mais comuns atualmente são o acelerômetro (sensor de pressão) incluído no sistema “airbag”, cabeças de impressoras tipo jato de tinta (“inkjet”) e microespelhos eletrostáticos para “displays” de projeção. O mercado anual de produtos MEMS é da ordem US\$ 13 bilhões (1998) e deverá ser da ordem de US\$ 34 bilhões no ano 2002. A co-integração de dispositivos MEMS com o circuito eletrônico, forma o que

chamamos de MEMS inteligentes. MEMS inteligentes formam sistema capazes de detectar sinais, processar a informação, atuar e comunicar-se.

Outras aplicações importantes para MEMS incluem: o nariz eletrônico, para detectar cheiros ou elementos químicos e processar sinais, para inúmeras situações; o laboratório no chip, para realizar uma série de exames clínicos de forma rápida e simples; micro-motores, micro-bombas e micro-válvulas para medicina e outras áreas; cabeças leitoras para discos magnéticos e ópticos; pontas de prova de cabeça de microscópio de força atômica ou de tunelamento. Como ilustração de alguns destes dispositivos, apresentamos algumas fotografias nas Figuras 9.60 a 9.63.

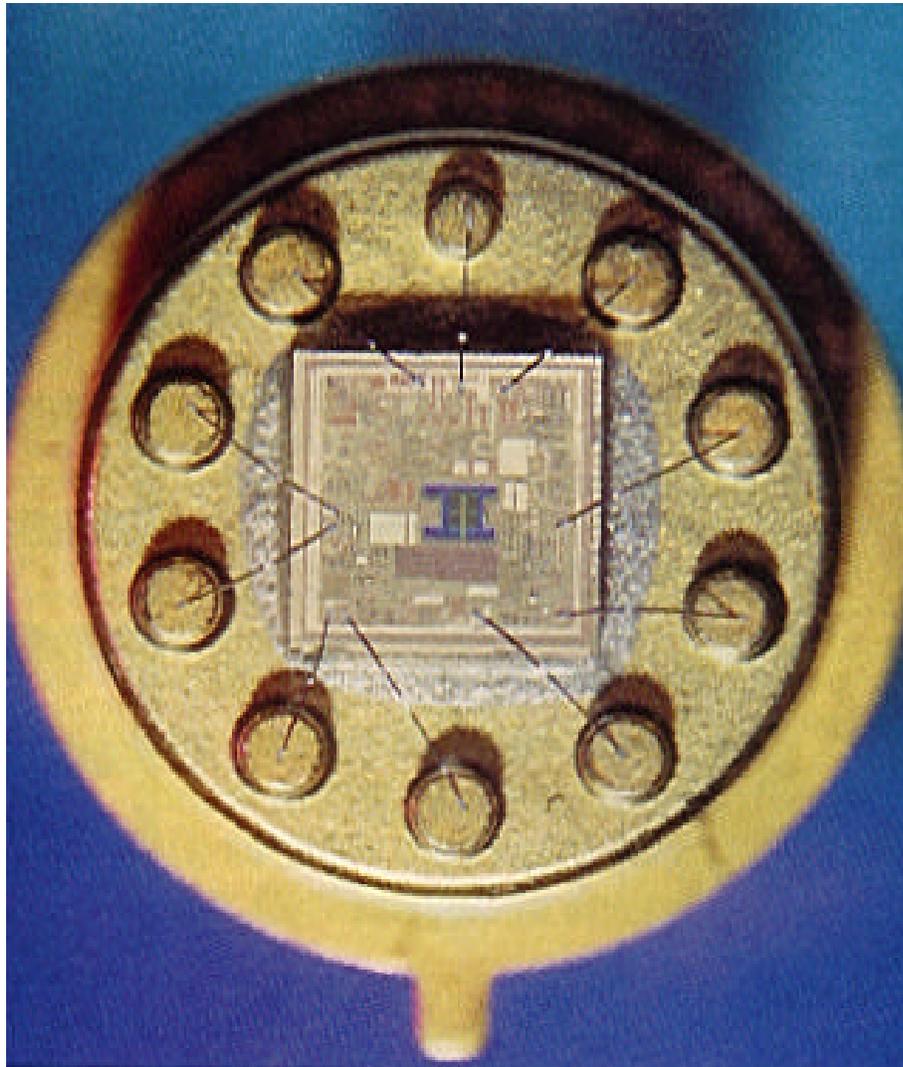


Fig. 9.60 Fotografia do acelerômetro inteligente usado em sistema “airbag”.

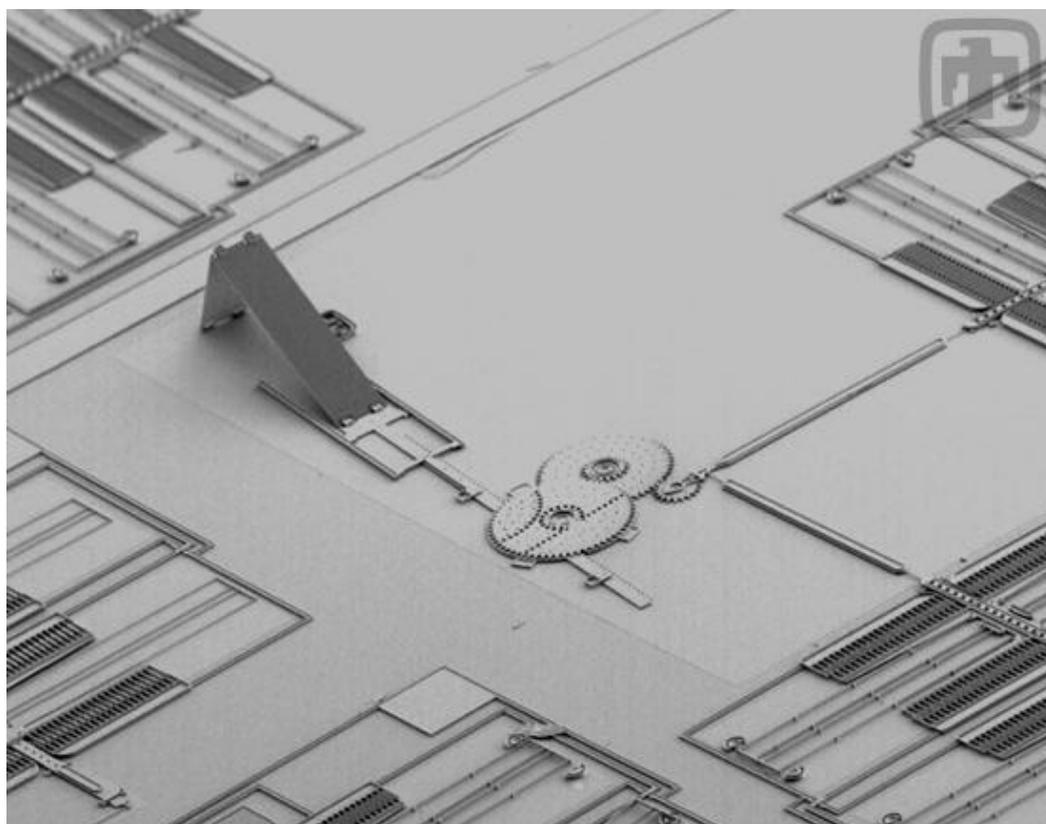
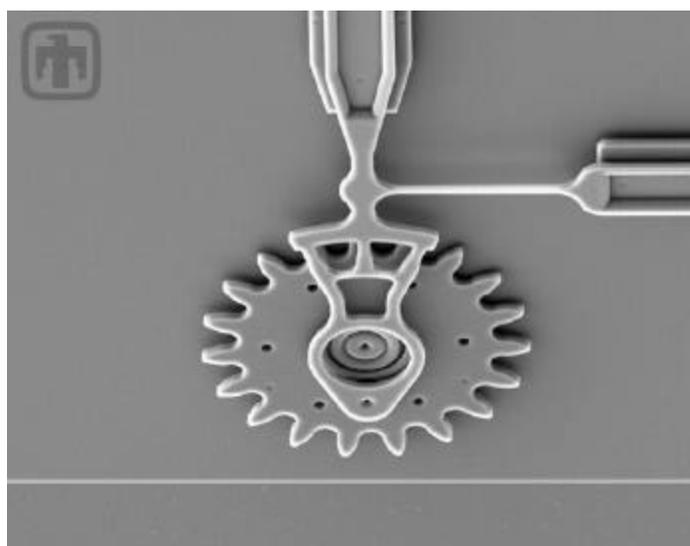
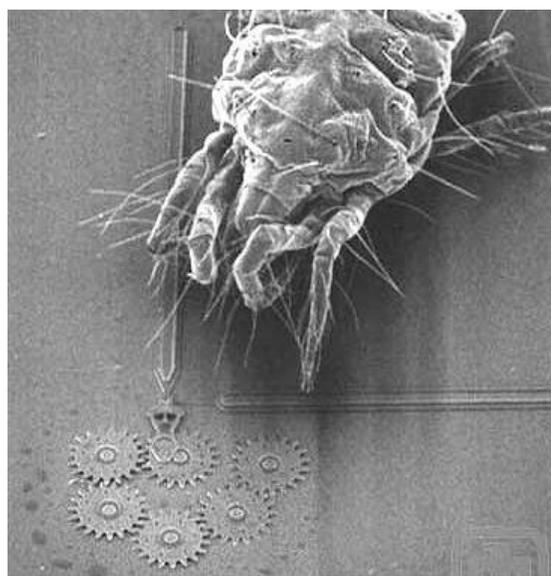


Fig. 9.61 Fotografia de um circuito com espelho óptico de Si e sistema de acionamento eletro-mecânico.



a)



b)

Fig. 9.62. a)Fotografia de detalhe de uma engrenagem mecânica e b) Fotografia sistema de engrenagens com uma formiginha (<http://mems.sandia.gov>).

Exercícios

- 9.1 Descreva o processo de crescimento epitaxial.
- 9.2 O que significa heteroepitaxia
- 9.3 Cite alguns dos gases usados para epitaxia de Si.
- 9.4 O que é a técnica de MBE e quais as suas vantagens?
- 9.5 O que e como é realizada a etapa de difusão de dopantes?
- 9.6 Quais são os 2 mecanismos principais de difusão?
- 9.7 Quais são as duas leis de Fick?
- 9.10 Como varia o coeficiente de difusão com a temperatura?
- 9.11 Descreva a técnica de dopagem por implantação iônica?
- 9.12 Quais são os fatores que determinam o alcance médio dos íons na implantação de íons?
- 9.13 Porque necessitamos recozer o semiconductor após a implantação de íons?
- 9.14 Qual a motivação do desenvolvimento da tecnologia planar?
- 9.15 Como é realizada a oxidação térmica?
- 9.16 Defina a técnica de CVD para deposição de filmes?
- 9.17 Que gases são usados para depositar filme de SiO_2 por CVD?
- 9.18 Que gases são usados para depositar filme de Si_3N_4 por CVD?
- 9.19 Quais são as aplicações de filmes de SiO_2 na fabricação de CIs?
- 9.20 Como fabrica-se máscaras usados na fabricação de CIs ?
- 9.21 Descreva o processo de fotogração.
- 9.22 O que vem a ser um diagrama de fase?
- 9.23 O que é um ponto eutético? Exemplifique como isto facilita a solda entre o chip de Si e metal coberto por Au.
- 9.24 O diagrama de fase Si - Al, informa que na faixa de temperatura de sinterização do contato Al/Si (450 - 500 °C), Si é solúvel em Al até concentração de 0.5 a 1 %. Que efeitos causa isto na formação do contato?
- 9.25 Como são formados filmes finos de silicetos em contatos?
- 9.26 Porque o Al é o metal comumente escolhido para metal de interconexão em CIs?
- 9.27 Descreva o fenômeno de eletromigração (possível falha de linhas metálicas).
- 9.28 Qual a motivação para uso de multiníveis de interconexões?
- 9.29 Desenhe a estrutura de um transistor bipolar e de um transistor MOS.
- 9.30 Qual a tecnologia mais empregada atualmente na fabricação de CIs e para que tipos de aplicações escolha-se preferencialmente a tecnologia CMOS e a bipolar?
- 9.31 Quais as forças propulsoras para a tendência de se usar dimensões menores e áreas de chip cada vez maior?