

Centro de Componentes Semicondutores

**Projetos
de
Circuitos Integrados**

Luiz Carlos Moreira

Sumário

1 TÉCNICAS DE PROJETOS DE CI'S

- 1.1 *Introdução*
- 1.2 *Especificações do projeto do CI*

2 MODELO SPICE DE TRANSISTOR MOS

- 2.1 *Transistor MOS (Metal Oxide Silicon)*
 - 2.1.1 *Capacitâncias MOS*
 - 2.1.2 *Estudo da região de depleção*
 - 2.1.3 *Características I x V do MOS*
- 2.2 *Modelamento do MOS no simulador SPICE nível 1*

3 CIRCUITO INVERSOR PROCESSO nMOS

- 3.1 *Circuito Inversor nMOS como carga integrada*
- 3.2 *Tipos de carga*
- 3.3 *Características Estáticas do Inversor*

4 CIRCUITO INVERSOR PROCESSO CMOS

- 4.1 *Fluxo de Corrente x Dissipação de Potência para o processo CMOS*
- 4.2 *Operação Dinâmica do Inversor*

5 PORTAS LÓGICAS

- 5.1 *Porta NAND*
- 5.2 *Porta NOR*

6 AIMSPICE - TEORIA

- 6.1 *Análise DC do (Ponto de Operação)*
- 6.2 *Análise DC (Curva de Transferência)*
- 6.3 *Análise DC (Varredura da Temperatura)*
- 6.4 *Análise de Transiente*
- 6.5 *Análise da da função de Transferência do Inversor*
- 6.6 *Análise de Ruído 38*
- 6.7 *Processador Gráfico AIM POST PROCESSOR*

7 AIMSPICE - PRÁTICA 40

- 7.1 *Experiencia -1 Transistor nMOS*
- 7.2 *Experiência - 2 Transistor pMOS*
- 7.3 *Experiência - 3 Circuito Inversor pMOS*
- 7.4 *Experiência -4 Circuito Inversor pMOS com capacitância na saída*
- 7.5 *Experiência -5 Circuito VCO (Voltage Control Oscillator) com transistores pMOS*
- 7.6 *Experiência -6 Circuito Flip-Flop RS com transistores pMOS*

8 EDITOR DE LAYOUT MICROWIND

- 8.1 *Simulador Elétrico do MICROWIND*
- 8.2 *Projeto de um circuito Inversor no processo CMOS*
- 8.3 *Visualização 3D do Inversor*

9 REFERÊNCIAS BIBLIOGRÁFICAS

Projetos de Circuitos Integrados

1 Técnicas de projetos de CI's

1.1 Introdução

Atualmente há um grande avanço na área da indústria eletrônica de Telecomunicações e Computação como: Sistemas de Comunicação sem Fio, GPS-Global Positioning System, Sistemas de TVs a cabo, Microprocessadores e Memórias. Estes avanços foram possibilitados devido à capacidade tecnológica da microeletrônica que permitiu a integração de milhões de transistores em um único circuito integrado e de uma forma resumida temos as seguintes vantagens:

- Aumento da velocidade de operação do CI;
- Capacidade de realizar tarefas complexas;
- Maior confiabilidade;
- Maior segurança de projeto;
- Redução de Custos;
- Menor tamanho físico.

Para atender estas vantagens hoje temos diversas tecnologias comercialmente que são:

- Bipolares em Si;
- Unipolares utilizando a tecnologia MOS em Si;
- Semicondutores compostos tipo III-V como: (GaAS, InP, etc.).

Cada uma destas tecnologias apresenta vantagens e desvantagens em relação às outras em função da aplicação específica. Uma das tecnologias que tem se destacado muito no mercado é a tecnologia MOS (Metal Oxide Silicon) devido as seguintes vantagens:

- Baixo consumo de potência ;
- Facilidade de integração.

Devido as estas vantagens foram desenvolvidos técnicas de projetos de circuitos integrados de aplicações específicas (ASICs) como:

- **PLD's** (Dispositivos Lógicos Programáveis) - É um circuito monolítico com fusível , anti-fusível, ou lógica baseada em célula de memória, que pode ser programado.
 - **FPGA (Field Programable Gate Array)** - É um circuito composto de uma matriz de transistores MOS, sendo possível a programação do circuito através de softwares especializados como o MAXPLUS da Altera.
 - **Gate Array** - O circuito integrado monolítico composto de linhas e colunas de transistores.
 - **Standard Cell** - É um circuito monolítico que é personalizado em todas as camadas utilizando uma biblioteca que incorpora estruturas de circuitos pré caracterizadas.
-

Teoria do MOS (Metal Oxide Silicon)

- **Full Custom** - É um circuito monolítico que pode ser projetado "manualmente" , desde o início.

Estes circuitos integrados podem ser classificados como:

- Circuito Integrado Dedicado - É um CI onde todas as camadas (máscaras) são personalizadas.
- Circuito Integrado Semi-Dedicado - É um CI onde algumas camadas (máscaras) são personalizadas.

Para entender melhor as vantagens e desvantagens dos ASICs convém estudar o diagrama da figura-1 que mostra os tipos de ASICs em função:

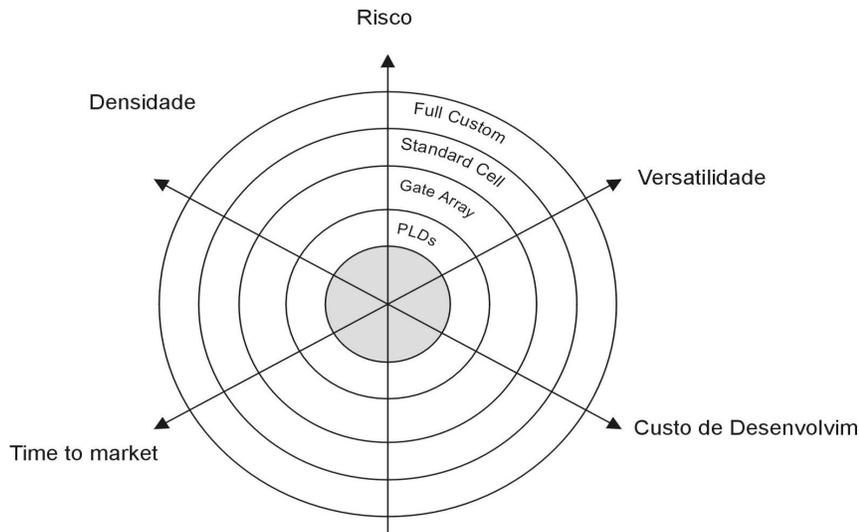


Figura 1 O Universo dos ASICs

Donde podemos concluir que o tipo de ASIC mais versátil e com maior capacidade de integração (Densidade) é o Full-Custom, mas também tem um elevado custo de desenvolvimento, demora muito tempo para chegar até o mercado e risco de não funcionar corretamente devido a sua complexidade (Imagine um μ processador com 9 milhões de transistores). Como podemos ver temos vários modos de projetar um circuito integrado.

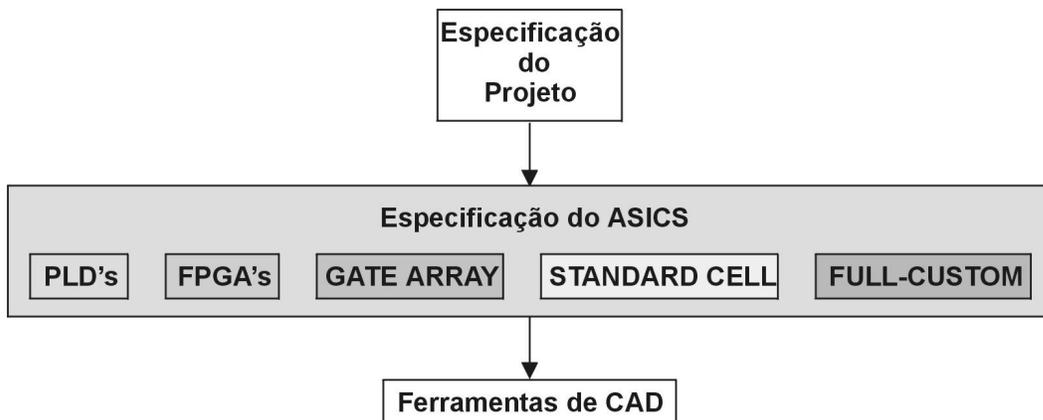


Figura 2 Seqüência de projeto do ASICs.

Teoria do MOS (Metal Oxide Silicon)

Para projetar de circuitos integrados devemos primeiramente especificar o projeto a ser executado conforme mostra a figura-2. Com base nas especificações do projeto devemos escolher qual o tipo de ASIC's atende melhor as especificações do projeto. E finalmente, a ferramentas de CAD apropriadas.

1.2 Especificações do projeto do CI

Nesta etapa, o engenheiro de desenvolvimento deve conhecer todas as especificações do circuito a ser projetado. Assim, nesta etapa pode ser considerada o nível físico, ou seja deve-se conhecer todos os níveis de tensão e corrente do projeto, para abstrair o topologia do circuito a nível de capacitores, resistores e transistores.

ASICs

Com bases nas especificações do projeto o engenheiro de desenvolvimento ou projetista de circuito integrado pode definir qual o tipo de ASICs deve ser utilizado. Por exemplo: Temos que projetar um circuito PLL (Phase Locked Loops) para operar com uma frequência de 2GHz. Primeiramente, devemos saber qual tecnologia trabalha com está frequência. Depois devemos verificar se existe Gate Array, PLD's, FPGA ou se devemos utilizar Full-Custom. Com estas bases podemos passar para a etapa seguinte.

Ferramentas de CAD

Após a especificação do tipo de ASICs a ser utilizado devemos verificar se a ferramentas de CAD estão disponíveis para o desenvolvimento do projeto tanto a nível de simulação como a nível de layout. Por exemplo, no circuito concluímos que podemos utilizar Full Custom para projetar o CI utilizando no processo CMOS 0.18 μ m. Para isso, diversas empresas de projetos de circuitos integrados oferecem sua ferramentas como:

- Mentor Graphics
- Cadence
- Tanner
- Synops

Na maioria deste pacotes existem simuladores elétricos baseados na filosofia SPICE. No software Mentor temos o Eldo como simulador elétrico.

2 MODELO SPICE DE TRANSISTOR MOS

2.1 Transistor MOS (Metal Oxide Silicon)

Nesta etapa discutiremos primeiramente o modo de operação do MOS (Metal Oxide Silicon). Para começar mostraremos a sua simbologia de canal N e canal P conforme mostra a figura-3. Onde podemos verificar que o MOS é composto de quatro terminais: Fonte, Dreno, Porta e Bulk.

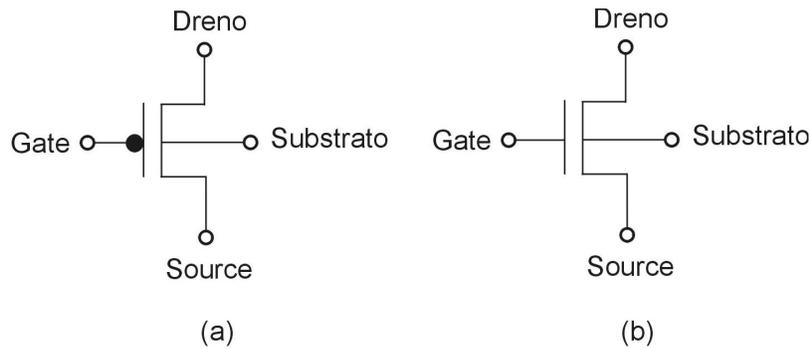


Figura 3 Simbologia do transistor MOS.

2.1.1 Capacitâncias MOS

Para entender melhor o funcionamento de transistores MOS devemos primeiramente estudar as capacitâncias MOS.

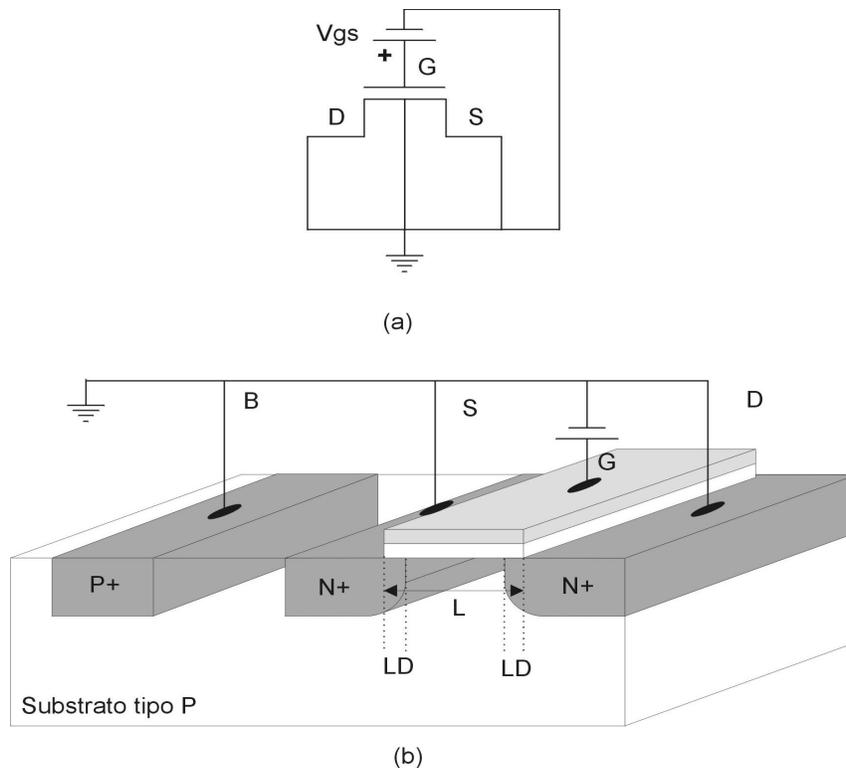


Figura 4 Modelo utilizado para calcular as capacitâncias.

Considere a figura-4 com uma seção transversal de um transistor MOS com as regiões de: dreno, fonte e substrato. Aplicando uma tensão V_{gs} na porta do transistor e colocando a

Projetos de Circuitos Integrados

fonte, dreno e bulk para terra formaremos um capacitor MOS. Deste modo, verificaremos três tipos de capacitância MOS em função da tensão V_{gs} na porta do transistor:

- Acumulação;
- Depleção;
- Inversão.

Acumulação:

Considere a tensão $V_{gs} < 0$ conforme mostra a figura-5. Nesta condição as lacunas se concentram junto ao óxido de porta. A espessura do óxido no modelo SPICE MOS é chamado de TOX (Thickness Oxide).

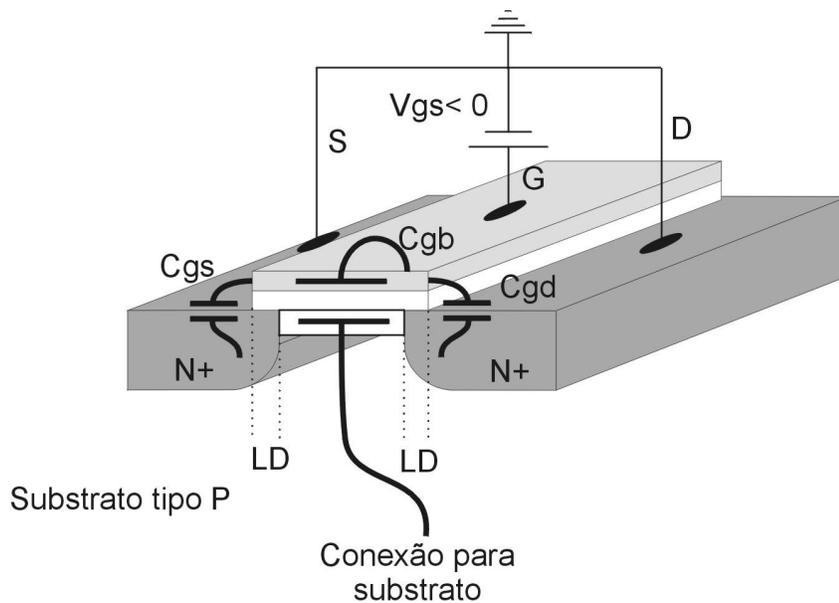


Figura 5 Transistor MOS em acumulação.

Depleção

Considere a figura-4 com uma tensão V_{gs} não suficiente negativa para ter uma alta concentração de lacunas ou uma tensão V_{gs} não suficiente positiva para ter uma alta concentração de elétrons. Nesta condições teremos uma superfície embaixo da porta do transistor depletada. Assim, temos duas condições:

- Quando a tensão V_{gs} torna-se mais negativa ($\ll 0$) temos um acúmulo de lacunas em embaixo da porta do transistor.
- Quando a tensão V_{gs} torna-se mais positiva ($\gg 0$) temos um acúmulo de elétrons embaixo da porta do transistor.

Projetos de Circuitos Integrados

Logo, com o aumento da tensão V_{gs} será formada uma capacitância embaixo da porta do transistor conforme mostra a figura-5 esta capacitância será chamada de "capacitância de depleção" conforme mostra a figura-6.

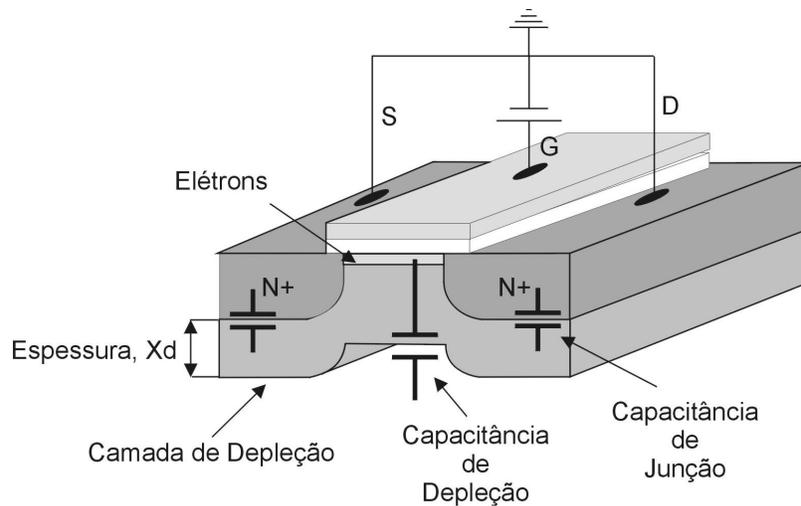


Figura 6 Transistor MOS em depleção.

Inversão

Quando a tensão V_{gs} é maior do que a tensão de limiar V_t ($V_{gs} > V_t$) temos uma grande concentração de elétrons na superfície do Si junto ao óxido de porta conforme mostra a figura-6.

Na figura-7 podemos verificar a variação da capacitância de óxido C'_{ox} do transistor MOS. Podemos observar as 3 condições de capacitância de óxido.

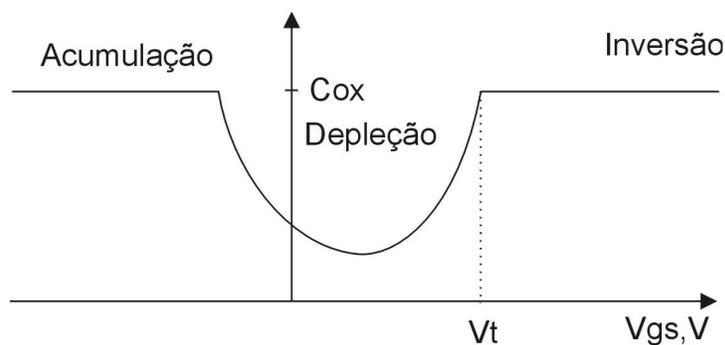


Figura 7 Gráfico da configuração da figura-2.

Existem outras capacitâncias envolvidas no transistor MOS conforme mostra a figura-6. As capacitâncias envolvidas são:

- C_{gd} - Capacitância entre porta e dreno;
- C_{gs} - Capacitância entre porta e fonte;
- C_{db} - Capacitância entre dreno e bulk,
- C_{sb} - Capacitância entre fonte e bulk.

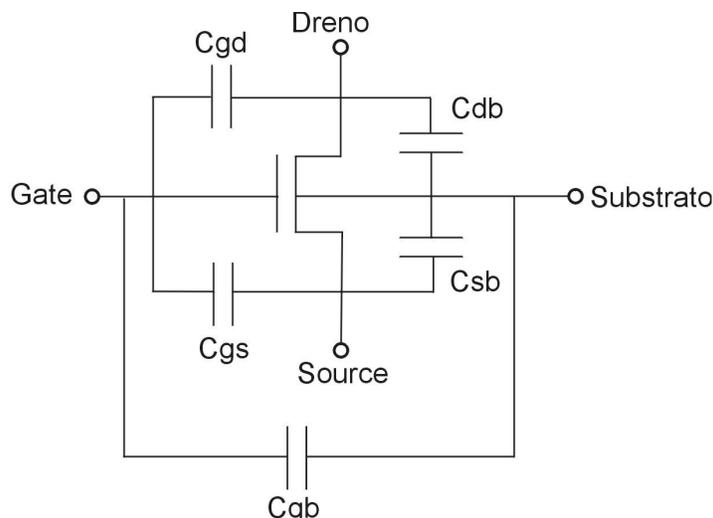


Figura 8 Capacitâncias MOS.

A capacitância entre porta e bulk é dada pela equação-1.

$$C_{gb} = \frac{\epsilon_{ox} \cdot \overbrace{(L - 2LD)}^{Leff} \cdot W}{Tox} \quad (1)$$

Onde, ϵ_{ox} é a constante dielétrica do óxido, W é a largura do transistor, Tox é a espessura do óxido do transistor e $Leff$ ($L - 2LD$) o comprimento efetivo do canal do transistor.

A capacitância entre porta e dreno, fonte é dada pela equação-2.

$$C_{gd,s} = \frac{\epsilon_{ox} \cdot LD \cdot W}{Tox} \quad (2)$$

No simulador SPICE as capacitâncias da equação-2 são chamadas de capacitâncias de "overlap" de dreno e fonte CGDO - (Capacitance Gate Dreno Overlap) e CGSO - (Capacitance Gate Source Overlap). Na equação-3 temos o cálculo de capacitância entre porta e dreno utilizando o parâmetro CGDO e na equação-4 temos o cálculo da capacitância entre porta e fonte utilizando parâmetro CGSO.

$$C_{gd} = CGDO \cdot W = \frac{\epsilon_{ox} \cdot LD}{Tox} \cdot W \quad (3)$$

$$e$$

$$C_{gs} = CGSO \cdot W \quad (4)$$

A capacitância total, normalizada independente da largura e comprimento do canal do transistor MOS, entre o porta e terra no circuito da figura-4 é a soma de C_{gs} , C_{gd} e C_{gb} conforme a equação-7.

$$C'_{ox} = \frac{\epsilon_{ox}}{Tox} \quad (5)$$

O termo C'_{ox} é chamado capacitância de óxido para um determinado processo. Por exemplo da foundry MOSIS (CN20) temos um C'_{ox} de $800 \frac{aF}{\mu m^2}$ conhecendo o L e W do transistor podemos calcular a capacitância de óxido total do circuito conforme a equação-6.

$$C_{ox} = C'_{ox} \cdot W \cdot L \quad (6)$$

Projetos de Circuitos Integrados

Na tabela-1 temos um sumário das capacitância envolvidas no transistor MOS em diversos tipos de operação.

Tabela 1 Capacitâncias MOS.

Nome	Região de Corte	Região Linear	Região de Saturação
C_{gd}	CGDO.W	$\frac{1}{2}.W.L.C'_{ox}$	CGDO.W
C_{db}	C_{jdep}	C_{jdep}	C_{jdep}
C_{qb}	$C'_{ox}.W.L_{eff} + CGBOL$	CGBOL	CGBOL
C_{gs}	CGSO.W	$\frac{1}{2}.W.L.C'_{ox}$	$\frac{2}{3}.W.L.C'_{ox}$
C_{sb}	C_{jdep}	C_{jdep}	C_{jdep}

2.1.2 Estudo da região de depleção

Na figura-6 verificamos a existência de uma região de depleção e podemos verificar que há uma inversão quando $V_{gs} > V_t$ (Tensão de Limiar). Nestas condições existe uma região de Depleção entre o canal invertido e o substrato e a espessura da depleção é dada pela equação-7.

$$X_d = \sqrt{\frac{2 \cdot \epsilon_{si} \cdot \phi}{q \cdot N_A}} = \sqrt{\frac{2 \epsilon_{si} |\phi_s - \phi_F|}{q \cdot N_A}} \quad (7)$$

Onde, N_A é o numero de átomos aceitador no substrato, ϕ_s é o potencial eletrostático na interface óxido-silício. O potencial eletrostático do substrato tipo P é dado por:

$$\phi_F = -\frac{K.T}{q} \ln \frac{N_A}{n_i} \quad (8)$$

Onde, n_i é a concentração intrínseca do silício = $1.45 \times 10^{10} \text{ cm}^{-3}$.

Na região de depleção não existem carga móveis no material semiconductor tipo P e a carga concentrada na porta do transistor é dada pela equação-9.

$$Q'b = q \cdot N_A \cdot X_d = \sqrt{2 \cdot \epsilon_{si} \cdot q \cdot N_A \cdot |\phi_s - \phi_F|} \Rightarrow \text{Acumulação} \Rightarrow (\phi_s = \phi_F) \Rightarrow Q'b = 0 \quad (9)$$

Na condição de tensão de limiar, $V_g = V_t$, temos $\phi_s = -\phi_F$. Nesta situação a carga de depleção é dada por:

$$Q'bo = \sqrt{2 \cdot \epsilon_{si} \cdot q \cdot N_A \cdot |-2\phi_F|} \quad (10)$$

Acima temos o substrato e fonte ligados para terra. Se a fonte tem um potencial maior que o substrato, temos uma diferença de potencial chamada de "Vsb". Neste caso a carga negativa na região de depleção é dada pela equação-11.

$$Q'bo = \sqrt{2 \cdot \epsilon_{si} \cdot q \cdot N_A \cdot |-2\phi_F + V_{sb}|} \quad (11)$$

Exemplos - 1

Para fixar os conceitos expostos acima temos o seguinte exercício:

Dados:

- Dopagem de substrato de $10^{15} \frac{\text{atoms}}{\text{cm}^3}$
- $V_{gs} = V_t$ e $V_{sb} = 0$

Pergunta:

1) Qual o potencial eletrostático na região do substrato ?

$$R: \phi_F = -\frac{K.T}{q} \ln \frac{N_A}{n_i} = -26\text{mV} \cdot \ln \frac{10^{15}}{14.5 \times 10^9} = -290\text{mV}$$

2) Qual a largura da camada de depleção ?

Projetos de Circuitos Integrados

$$R: X_d = \sqrt{\frac{2 \cdot \epsilon_{si} |\phi_s - \phi_F|}{q \cdot N_A}} = \sqrt{\frac{2 \cdot (11,7) \cdot (8,85 \times 10^{-14} \text{ F/Cm}) \cdot (2 \cdot 0,29 \text{ V})}{\left(1,6 \times 10^{-19} \frac{\text{C}}{\text{atom}}\right) \cdot \left(10^{15} \frac{\text{Atoms}}{\text{cm}^3}\right)}} = (0,866 \mu\text{m})$$

3) Qual a carga contida na região de depleção debaixo do porta do transistor na região de depleção

$$R: Q'_{bo} = q \cdot N_A \cdot X_D = \left(1,6 \times 10^{-19} \frac{\text{C}}{\text{Atom}}\right) \left(10^{15} \frac{\text{Atoms}}{\text{cm}^3}\right) \left(\frac{\text{cm}^3}{10^{12} \text{ m}^3}\right) (0,866 \mu\text{m}) = 139 \frac{\text{aC}}{\mu\text{m}^2}$$

Considere o circuito onde a tensão $V_{gs} = V_t$ e de acordo com a figura-9. A tensão entre A e B será V_{BC} :

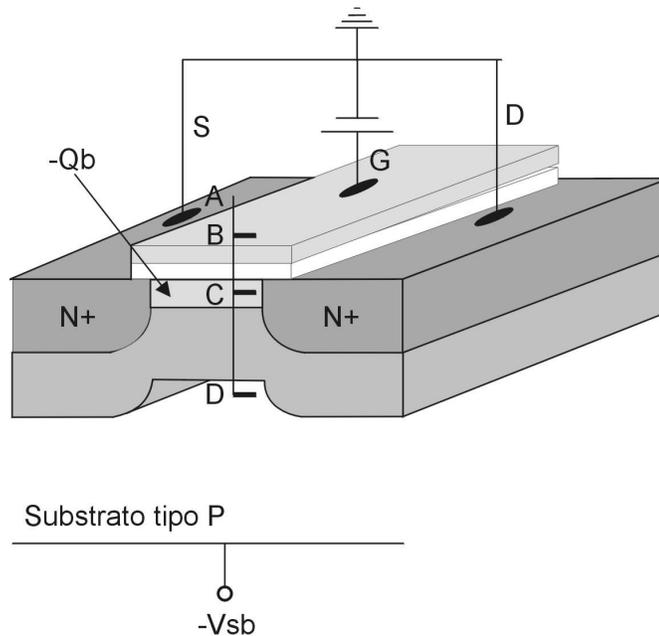


Figura 9 Cálculo da tensão de Limiar.

Podemos verificar através da figura-9 que há uma capacitância de óxido C'_{ox} cujo isolante é um óxido e a diferença de potencial é dada pela equação-12.

$$V_{BC} = \frac{Q'_{b}}{C'_{ox}} \quad (12)$$

O potencial de superfície necessário é dado pela equação-13.

$$V_B = \frac{Q'_{b}}{C'_{ox}} - 2\phi_F \quad (13)$$

Cargas positivas existem na interface óxido-silício devido a imperfeições da superfície ou pelo uso de implantação de íons para ajustar a tensão de limiar dos MOS. Estas cargas positivas são chamadas de Q'_{ss} com a unidade de coulombs/área. Assim, a equação-13 pode ser reescrita conforme equação-14.

$$V_B = \frac{Q'_{b} - Q'_{ss}}{C'_{ox}} - 2\phi_F \quad (14)$$

A tensão de limiar é o potencial entre o ponto D (bulk) e o ponto A (Material) conforme mostra a figura-8. A diferença de potencial entre o porta e bulk (substrato tipo P) pode ser determinada pela somatória de potenciais entre diferentes materiais do MOS conforme mostra a figura-10. Somando potenciais de contato entre bulk e porta poly n+ com uma concentração de $N_{D, Poly}$ temos a equação-15.

$$\phi_{ms} = \phi_G - \phi_F = \left[\frac{K.T}{q} \ln \frac{N_{D,Polí}}{n_i} \right] + \left[\frac{K.T}{q} \ln \frac{N_A}{n_i} \right] \quad (15)$$

Assim a tensão de limiar V_t será dado pelas equações (16-18).

$$V_t = \frac{Q'b - Q'ss}{C'ox} - 2\phi_F - 2\phi_{ms} \quad (16)$$

$$= -\phi_{ms} - 2\phi_F + \frac{Q'bo - Q'ss}{C'ox} - \frac{Q'bo - Q'b}{C'ox} \quad (17)$$

$$= -\phi_{ms} - 2\phi_F + \frac{Q'bo - Q'ss}{C'ox} + \sqrt{\frac{2 \cdot q \cdot \epsilon_{si} \cdot N_A}{C'ox}} \left[\sqrt{|2\phi_F + V_{sb}|} - \sqrt{|2\phi_F|} \right] \quad (18)$$

Quando a fonte esta em curto em relação ao substrato $V_{sb}=0$.

$$V_{tNO} = -\phi_{ms} - 2\phi_F + \frac{Q'bo - Q'ss}{C'ox} \quad (19)$$

O coeficiente do efeito de corpo ou fator de corpo é dado pela equação-20.

$$\gamma = \sqrt{\frac{2 \cdot q \cdot \epsilon_{si} \cdot N_A}{C'ox}} \quad (20)$$

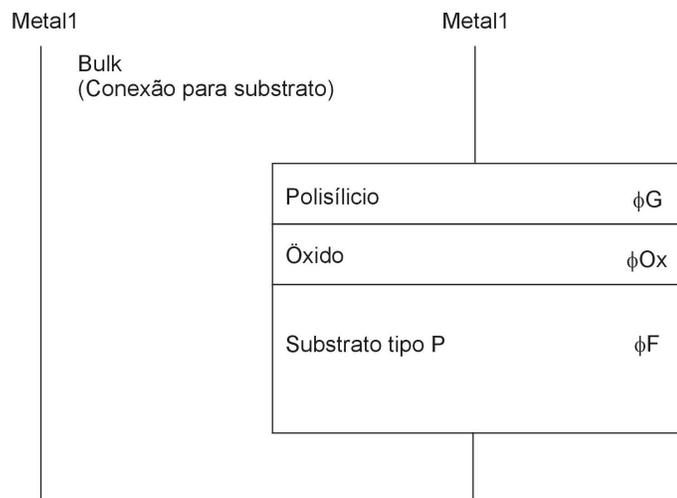


Figura 10 Determinação do potencial de contato entre poly e substrato.

A equação-18 agora pode ser rescrita como:

$$V_{tN} = V_{tNO} + \gamma \cdot \left[\sqrt{|2\phi_F + V_{sb}|} - \sqrt{|2\phi_F|} \right] \quad (21)$$

A tensão de Banda Plana é dada pela equação-22.

$$V_{FB} = -\phi_{ms} - \frac{Q'ss}{C'ox} \quad (22)$$

A tensão de limiar zero-bias pode ser escrita em termos da tensão de banda plana.

$$V_{TNO} = V_{FB} - 2\phi_F + \frac{Q'bo}{C'ox} \quad (23)$$

Exemplo - 2:

Dados:

- $NA = 10^{15} \frac{\text{aF}}{\mu\text{m}^2}$
- $C'ox = 800 \frac{\text{aF}}{\mu\text{m}^2}$ conforme parâmetros da Foundry MOSIS.

Pergunta:

Estime o γ (GAMMA)

$$R: \quad \gamma = \sqrt{\frac{2 \cdot \left(1.6 \times 10^{-19} \frac{\text{col}}{\text{atom}} \right) (11.7) \left(8.85 \frac{\text{aF}}{\mu\text{m}} \right) \left(10^{15} \frac{\text{atoms cm}^3}{\text{cm}^3 \mu\text{m}^3} \right)}{800 \frac{\text{aF}}{\mu\text{m}^2}}} = 0,228 \text{V}^{\frac{1}{2}}$$

Exemplo - 3:

Estime a tensão de limiar zero-bias do MOS do exemplo-1

Dados:

- Nível de dopagem do poly $10^{20} \frac{\text{atoms}}{\text{cm}^3}$

Pergunta:

O que acontece com a tensão de limiar quando a uma contaminação de sódio causa uma impureza de $40 \frac{\text{aC}}{\mu\text{m}^2}$ na interface óxido-semicondutor ?

R:

$$\phi_{ms} = \phi_F - \phi_G = -290\text{mV} - 26\text{mV} \cdot \ln \frac{10^{20}}{1.45 \times 10^9} = 879\text{mV}$$

$$-2\phi_F = 580\text{mV}$$

$$\frac{Q'_{bo}}{C'_{ox}} = \frac{139 \frac{\text{aC}}{\mu\text{m}^2}}{800 \frac{\text{aF}}{\mu\text{m}^2}} = 173\text{mV}$$

$$\frac{Q'_{ss}}{C'_{ox}} = 50\text{mV}$$

A tensão de limiar da equação-19 sem a contaminação é de -126mV, com a contaminação do sódio a tensão de limiar é de -176mV. Para compensar ou ajustar a tensão de limiar pode ser implantado íons p+.

Este íons efetivamente aumentam o valor da tensão de limiar por $\frac{Q'c}{C'ox}$, onde $Q'c$ é a densidade de carga pela unidade de área devido a implantação.

Se N_i é a dose de implantação iônica em atoms/Unidade de área. Assim, podemos escrever a seguinte equação:

$$Q'c = qN_i$$

e a tensão de limiar será:

$$(24)$$

$$V_{tNO} = -\phi_{ms} - 2\phi_F + \frac{Q'_{bo} - Q'_{ss} + Q'c}{C'_{ox}}$$

$$(25)$$

2.1.3 Características I x V do MOS

Após familiarização com os parâmetros de capacitância e tensão de limiar do transistor MOS. Agora verificaremos as funções características de operação do transistor em função da corrente e tensão do transistor nas regiões de Corte, Triodo e Saturação conforme mostra a figura-11

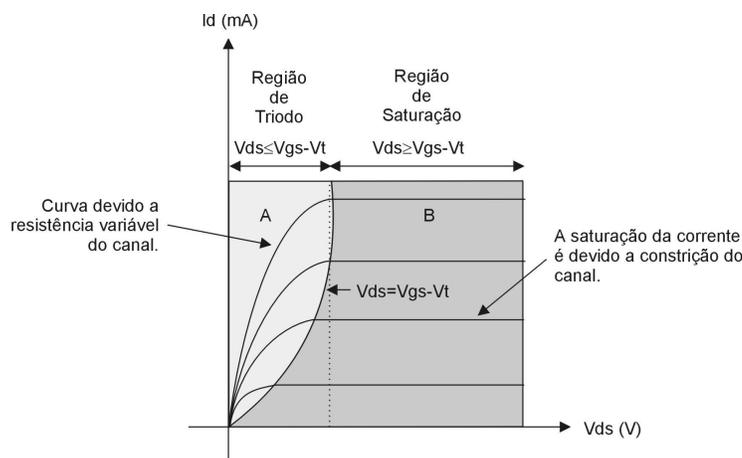


Figura 11 Gráfico das regiões de operação do MOS

Região de Corte

Na região de corte do transistor nMOS com uma tensão de porta $V_{gs}=0$ a corrente entre dreno e fonte será = "0" (na verdade ela pode ser da ordem de pA ou nA).

Região de Triodo

Quando $V_{gs} > V_t$ forma um canal invertido em baixo da porta do transistor e com uma tensão $V_{ds} > 0$, temos um fluxo de corrente entre fonte e dreno conforme mostra a figura-12. Inicialmente as cargas são armazenadas sobre a capacitância de óxido C'_{ox} . O potencial entre o eletrodo de porta e o canal é $V_{gs}-V(y)$, a carga da camada de inversão será dada pela equação-26.

$$Q'_{ch} = C'_{ox} \cdot [V_{gs} - V(y)] \quad (26)$$

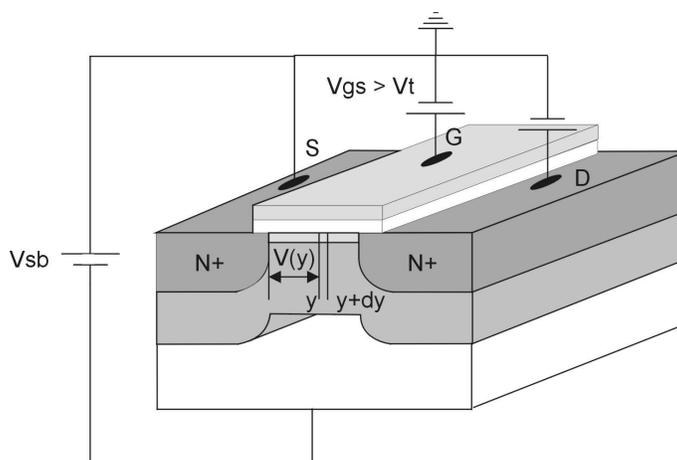


Figura 12 Comportamento do MOS na região de triodo.

Como Q'_{b} está presente na camada de depleção do MOS devido a tensão V_t conforme mostra a equação-27.

$$Q'_{b} = C'_{ox} \cdot V_{t_N} \quad (27)$$

A carga total útil no canal para a condução de corrente entre fonte e dreno é dado pela diferença entre a equação 26 e 27 conforme mostra a equação-28.

$$Q'_{i}(y) = C'_{ox} \cdot (V_{gs} - V(y) - V_{t_N}) \quad (28)$$

Projetos de Circuitos Integrados

A variação da resistência de canal em função do comprimento dy e da largura W e dado pela equação -29.

$$dR = \frac{1}{\mu_n \cdot Q'(y)} \cdot \frac{dy}{W} \quad (29)$$

Onde, μ_n é a média da mobilidade de elétrons através do canal com a unidade de $\text{cm}^2/\text{V}\cdot\text{sec}$.

A queda de tensão na resistência variável é dada pela equação-31.

$$dV(y) = I_D \cdot \frac{1}{W \cdot \mu_n \cdot Q'(y)} \cdot dy \quad (30)$$

Substituindo a equação-28 em 30 temos:

$$I_D \cdot dy = W \cdot \mu_n \cdot C'_{ox} (V_{gs} - V(y) - V_{tN}) dV(y) \quad (31)$$

Deste modo, teremos a *Transcondutância* do transistor nMOS conforme mostra a equação-32.

$$K_{pN} = \mu_n \cdot C'_{ox} = \mu_n \frac{\epsilon_{ox}}{T_{ox}} \quad (32)$$

O transistor pMOS será representado pela equação-33.

$$K_{pP} = \mu_p \cdot C'_{ox} = \mu_p \frac{\epsilon_{ox}}{T_{ox}} \quad (33)$$

A corrente do I_D será obtida pela integração do lado esquerdo da equação-31. Os limites de integração da equação-34 são em função do comprimento de canal (0 a L) e da tensão entre dreno e fonte conforme mostra a equação-34.

$$I_D \int_0^L dy = W \cdot K_{pN} \int_0^{V_{ds}} (V_{gs} - V(y) - V_{tN}) dV(y) \quad (34)$$

ou

$$I_D = K_{pN} \cdot \frac{W}{L} \left[(V_{gs} - V_{tN}) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (35)$$

Entretanto, descreveremos a equação-35 em função do parâmetro da transcondutância conforme mostra a equação-36.

$$\beta = K_{pN} \cdot \frac{W}{L} \quad (36)$$

ou

$$I_D = \beta \left[(V_{gs} - V_{tN}) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (37)$$

A equação-38 descreve a corrente i_D para o transistor pMOS.

$$I_D = K_{pP} \cdot \frac{W}{L} \left[(V_{gs} - V_{tN}) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (38)$$

Região de Saturação

Quando o transistor MOS opera em pinched-off temos $V_{ds} \geq V_{gs} - V_t$ e $V_{gs} > V_t$ logo estará na região de saturação. Substituindo $V_{ds,sat}$ dentro da equação-35 temos a equação-39.

$$I_D = \frac{K_{pN}}{2} \cdot \frac{W}{L} [(V_{gs} - V_{tN})^2] = \frac{\beta}{2} (V_{gs} - V_{tN})^2 \quad (39)$$

Desprezando a difusão lateral de fonte e dreno, podemos considerar como comprimento de canal, a diferença entre L e o comprimento da região de depleção junto ao dreno, como mostra a figura-13

$$L_{elc} = L_{draw} - X_{DI} \quad (40)$$

Projetos de Circuitos Integrados

Substituindo a equação-40 em 39 temos a representação da corrente de dreno na equação-41.

$$I_d = \frac{K P_N}{2} \cdot \frac{W}{L_{elec}} (V_{gs} - V_{t_N})^2 \quad (41)$$

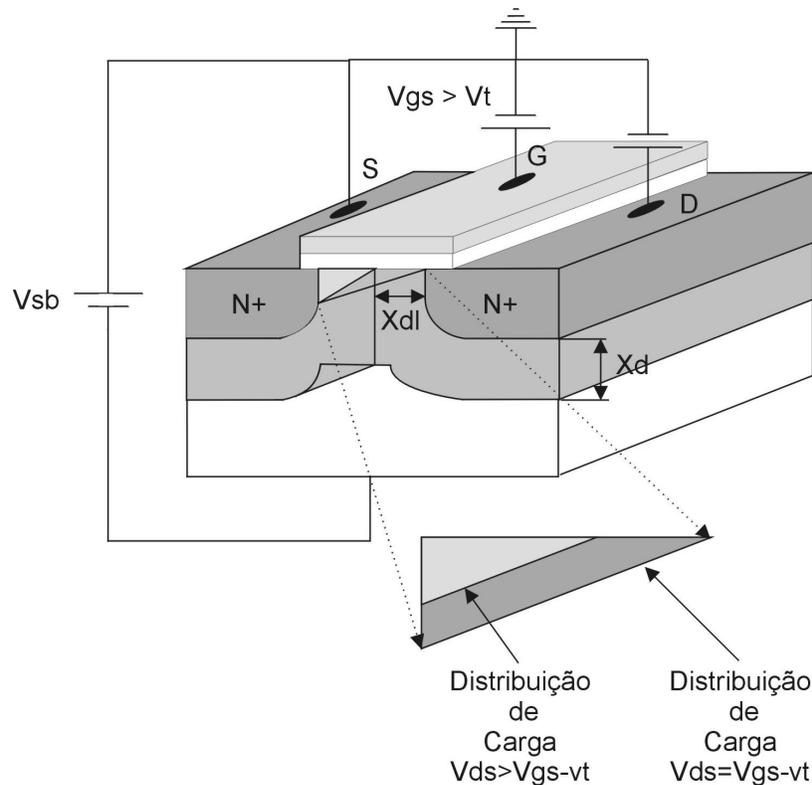


Figura 13 Comportamento do MOS na região de saturação.

Qualitativamente reduzindo o valor L_{elec} e aumentando a corrente I_D que a largura da camada de depleção aumenta com o incremento da tensão V_{ds} . Este efeito é chamado de *channel length modulation*. Para determinar a alteração da corrente de saída entre dreno e fonte devemos derivar a equação-41 em função da tensão V_{ds} conforme mostra a equação-42.

$$\frac{\partial I_d}{\partial V_{ds}} = \frac{K P_N}{2} \cdot \frac{W}{L_{elec}^2} (V_{gs} - V_{t_N})^2 \cdot \frac{dL_{elec}}{dV_{ds}} = I_d \left[\frac{1}{L_{elec}} \cdot \frac{dX_{dl}}{dV_{ds}} \right] \quad (42)$$

ou seja,

$$\lambda = \frac{1}{L_{elec}} \cdot \frac{dX_{dl}}{dV_{ds}} \quad (43)$$

O λ é o parâmetro do comprimento da modulação de canal: é maior que 0.1 para dispositivos de canal curto e para dispositivos de canal longo é maior que 0.01. Podemos rescrever a equação-43 dentro da equação 41 e temos como resultado a equação-44.

$$I_d = \frac{K P_N}{2} \cdot \frac{W}{L} (V_{gs} - V_{t_N})^2 \cdot [1 + \lambda_C (V_{ds} - V_{ds, sat})] \quad (44)$$

2.2 Modelamento do MOS no simulador SPICE nível 1

Através dos cálculos na seção 6 podemos montar um arquivo de parâmetros de modelos para o simular elétrico AIMSPICE.

Nível 1 Parâmetros do modelo para V_{t_N} :

Os seguintes parâmetros são relatados para calcular o V_{t_N} no SPICE.

Projetos de Circuitos Integrados

Símbolo	Nome	Descrição	Default	Típico	Unidade
V_{tNO}	VTO	Zero-bias threshold voltage	1.0	0.8	Volts
γ	GAMMA	Body-effect parameter	0	0.4	$V^{1/2}$
$2 \phi_F $	PHI	Surface to bulk potential	0.65	0.58	V
NA	NSUB	Substrate doping	0	1E15	cm^{-3}
Q'_{ss}/q	NSS	Surface state density	0	1E10	cm^{-2}
	TPG	Type of gate material	1	1	-

Os seguintes parâmetros são relatados para calcular o V_{tN} no SPICE.

Símbolo	Nome	Descrição	Default	Típico	Unidade
KP	KP	Transcondutance parameter	20E-6	50E-6	Volts
Tox	TOX	Gate-oxide thickness	1E-7	40E-9	m
λ	PHI	Channel-length modulation	0	0.01	V^{-1}
LD	NSUB	Lateral diffusion	0	2.5E-7	m
$\mu_{n,p}$	UO	Surface mobility	600	580	cm^2/Vs

Modelos do SPICE para fonte e dreno implantados.

Símbolo	Descrição	Default	Típico	Unidade
RD	Drain contact resistance	0	40	Ω
RS	Source contact resistance	0	40	Ω
RSH	Source/Drain sheet resistance	0	50	$\Omega/sq.$
CGBO	Gate-bulk overlap capacitance	0	4E-10	F/m
CGDO	Gate-drain overlap capacitance	0	4E-10	F/m
CGSO	Gate-source overlap capacitance	0	4E-10	F/m
PB , PBSW	Bottom, sidewall built-in potential	0.8	0.8	V
MJ , MJSW	Bottom, sidewall grading coefficient	0.5	0.5	-
CJ	Bottom zero-bias depletion capacitance	0	3E-4	F/m^2
CJSW	Sidewall zero-bias depletion capacitance	0	2.5E-10	F/m
IS	Bulk-junction saturation current density	1E-14	1E-14	A
JS	Bulk-junction saturation current density	0	1E-8	A/m^2
FC	Bulk-junction forward bias coefficient	0.5	0.5	-

Modelos mais completos e mais precisos são:

Nível 2 e 3.

BSIM 1,2 e 3.

Circuito Inversor e Portas Lógicas

Projetos de Circuitos Integrados

3 Circuito Inversor no processo nMOS

Circuitos inversores são utilizados principalmente em circuitos digitais e sua função é inverter o sinal de saída em relação ao sinal de entrada. Inversores que fazem uso da tecnologia MOS (Metal Oxide Silicon) podem ser projetados em diversos processos como mostra a tabela-2.

Tabela 2 Diversas implementações com transistores MOS.

Processo	Carga
pMOS	Depleção
	Enriquecimento
nMOS	Depleção
	Enriquecimento
CMOS	

Neste trabalho, mostraremos circuitos inversores em dois processos um no processo CMOS e outro no processo nMOS com carga em Enriquecimento.

3.1 Circuito Inversor nMOS como carga integrada

O inversor nMOS usa invariavelmente um dispositivo MOS funcionando como resistência de carga. O tamanho reduzido do MOS é motivo básico de seu uso como tal. Enquanto um MOS de carga de $100K\Omega$ ocupa aproximadamente ^{6.66} ou seja, $25 \times 25 \mu m^2$, uma resistência do mesmo valor exigiria $7,5\mu m \times 7,5 mm$. Outra vantagem importante do uso do MOS como dispositivo de carga resulta quando se controla sua porta, o qual permite que o dispositivo de carga conduza apenas em determinados intervalos. É o caso de circuitos de lógica dinâmica, que apresentam reduzidos níveis de potência.

Como vimos, um inversor é constituído por um transistor de comando Q_D , e por um inversor de carga Q_L . Em princípio, podemos Ter diferentes combinações na constituição dos inversores levando em conta o tipo de dispositivo (Depleção ou Enriquecimento) polaridade do canal (N ou P) e região de operação (Triodo ou Saturação).

Os inversores com MOS utilizam sempre transistores de comando operando em modo de enriquecimento. Desta forma as tensões de polarização de dreno e porta são de mesma polaridade, o que oferece compatibilidade circuital para estágios de acoplamento direto. Particularizando para canal N, podemos fazer uma lista de combinações obtendo a tabela-3.

Tabela 3 Inversores com diferentes cargas.

Comando QD	Carga QL	Designação
nMOS, enriquecimento(Triodo)	nMOS, enriquecimento(Triodo)	NELT
nMOS, enriquecimento(Triodo)	nMOS, enriquecimento(Saturação)	NELS
nMOS, enriquecimento(Triodo)	nMOS, depleção (Saturação)	NDLS

3.2 Tipos de carga:

Carga saturada

A figura-14 mostra este tipo de inversor. Pode-se notar que a porta do transistor de carga está ligada ao dreno; desta forma $V_{gs}=V_{ds}$ e por conseguinte $V_{ds} > V'_{ds}$ (Tensão de saturação). Assim, o transistor de carga operará na região de saturação.

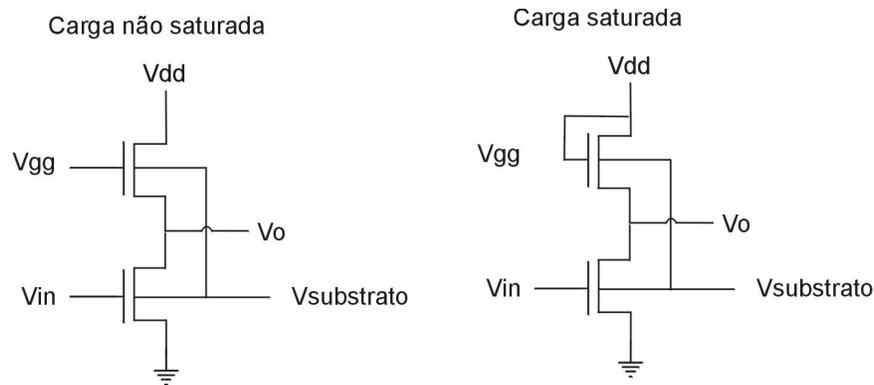


Figura 14 Inversor básico nMOS.

Carga não saturada

Se a porta do nMOS de carga se liga a uma fonte de alimentação V_{gg} de um valor tal que $V_{ds} < V'_{ds}$ o transistor trabalhará na região triodo. A condição para conseguir isto é :

$$V_{gg} - V_t > V_{dd} \quad (45)$$

Esta condição é fácil de se verificar; de acordo com a figura - 14 se tem:

$$V_{ds} = V_{gs} - (V_{gg} - V_{dd})$$

Se impormos a condição que:

$$V_{ds} < V_{gs} - V_t$$

Assumindo que

$$V'_{ds} = V_{gs} - V_t'$$

Concluimos que o dispositivo de carga está operando na região de triodo.

3.3 Características Estáticas do Inversor

Em seguida, descreveremos as principais características de corrente contínua do inversor, que servirão como base de projeto do mesmo. A análise será simplificada, tendendo a expressões práticas.

Nível Lógico 1 (Superior)

Usaremos durante todo o desenvolvimento, lógica positiva, ou seja, em nosso caso, nível lógico "1" = + Volts e nível lógico "0" dado por 0 Volts. A seguir calcularemos a tensão do nível lógico "1" à saída do inversor.

Carga saturada - Referindo-se à figura-14, quando $V_{in}=0V$, o nMOS de comando estará cortado e a corrente que flui pelo transistor de carga será devida à fuga da região difundida que forma o dreno do transistor de comando, Q_D e a fonte da carga, assumindo que $(V_{gi})_D > 0$. O nMOS de carga para permitir esta passagem de corrente deve ter $V_{gs} > V_{gi}$ (V_{bs}); como é difícil de prever esta corrente alguns autores aproximam V_{gs} ao valor V_t (V_{bs}). Desta forma, a tensão de saída, V_o , de nível lógico "1" será:

Projetos de Circuitos Integrados

$$V_o \approx V_{dd} - V_t(V_{bs}) \quad (46)$$

onde, $V_t(V_{bs})$ é a tensão de limiar dependente da tensão substrato-fonte, V_{bs} . Com o substrato polarizado.

$$V_{bs} = V_{bg}(\text{tensão de substrato}) - V_o \quad (47)$$

b) Carga não saturada - Quando a expressão $(V_{gg} - V_t(V_{bs})) > V_{dd}$ é obedecida, o nMOS está operando na região de triodo. Pode-se desenhar as curvas $V_{gg} - V_{dd} = V_{gs} - V_{ds}$ sobre as características de dreno do nMOS de carga, para mostrar que quando $V_{gg} - V_{dd} > V_t(V_{bs})$, o transistor de carga somente apresenta corrente quando $V_{ds} > 0$. Desta forma concluímos que a tensão nível lógico "1" será:

$$V_o \approx V_{dd} \quad (48)$$

A figura-15 mostra as curvas experimentais de transferência para dois tipos de carga.

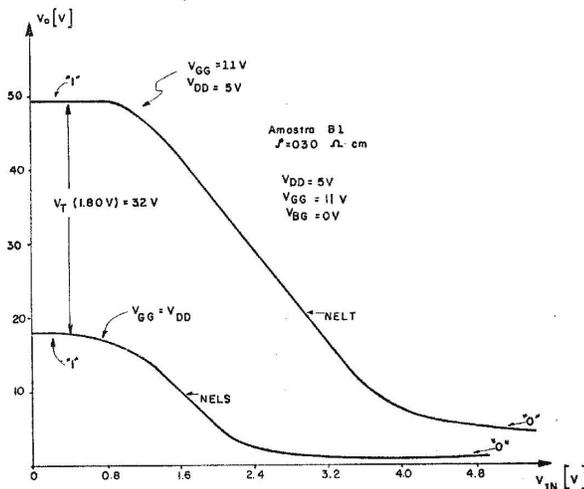


Figura 15 Curva de transferência dos inversores.

Nível lógico "0" (Inferior)

O inversor está no estado de condução quando a sua entrada está no nível lógico superior. O transistor de comando conduz e, como tem maior β que o nMOS de carga, é capaz de levar a tensão de saída a um valor pequeno. Propomos nos agora a calcular este valor.

Carga saturada - Para o cálculo do nível lógico inferior que $V_{tD} = -V_{tL}$ posto que $(V_{bs})_L = V_{bg} - V_o$ e como $V_o \rightarrow 0$, resulta que $(V_{bs})_L = (V_{bs})_D$.

Como nível lógico superior, $V_{dd} - V_{tL}$ deve excitar adequadamente o estágio seguinte, assumiremos que $V_{in} = V_{dd} - V_{tL}$.

Posto que V_o deve tender a zero Volts, usaremos as seguintes expressões:

$$\text{Para } Q_D, I_d = \beta_D \cdot (V_{gs} - V_t) \cdot V_{ds} \quad (49)$$

$$\text{Para } Q_L, I_d = \frac{\beta_D}{2} \cdot (V_{gs} - V_t) \cdot V_{ds} \quad (50)$$

Assim:

$$\beta_D \cdot (V_{dd} - 2 \cdot V_t) \cdot V_o = \frac{\beta_D}{2} \cdot (V_{dd} - V_o - V_t)^2$$

Desprezando V_o^2 ,

$$V_o = \frac{(V_{dd} - V_t)^2}{2 \cdot [(V_{dd} - 2 \cdot V_t) \cdot (\beta_R + 1) + V_t]} \quad (51)$$

onde

$$\beta_R = \frac{\beta_R}{\beta_L} = \frac{\left(\frac{W}{L}\right)_D}{\left(\frac{W}{L}\right)_L} \quad (52)$$

b) Carga não saturada - Levando se em conta as aproximações anteriores e com $V_{in}=V_{dd}$ resulta,

$$\beta_D \cdot (V_{dd} - V_t) \cdot V_o = \beta_L \left[(V_{gg} - V_o - V_t) \cdot (V_{dd} - V_o) - \frac{1}{2} (V_{dd} - V_o)^2 \right] \quad (53)$$

Desprezando V_o^2 ,

$$V_o = \frac{(V_{gg} - V_t) \cdot V_{dd} - \frac{1}{2} V_{dd}^2}{(V_{dd} - V_t) \cdot (\beta_R + 1) + V_{gg} - V_{dd}} \quad (54)$$

4 Circuito Inversor processo CMOS

O circuito inversor é formado de dois tipos de transistores MOS um tipo N e outro tipo P no processo CMOS conforme mostra a figura-16. Um modo ideal para explicar o funcionamento do inversor é através de chaves. Ou seja, quando a chave está fechada o transistor esta conduzindo e quando a chave esta aberta o transistor está cortado.

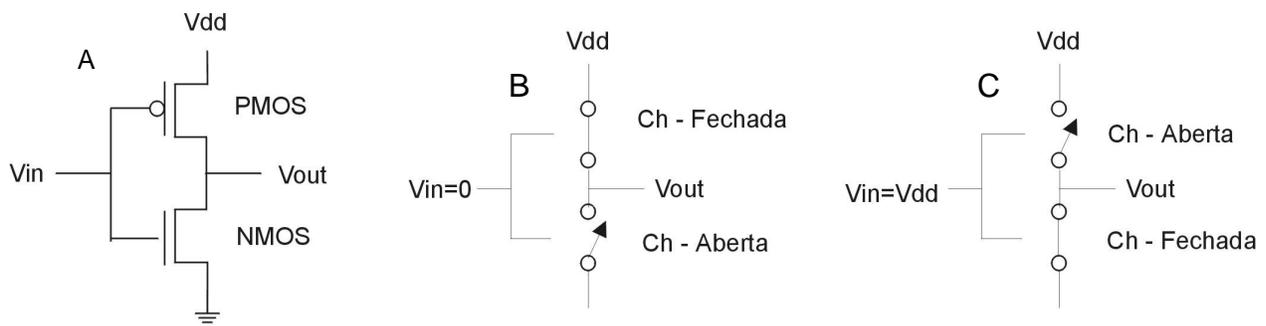


Figura 16 Circuito Inversor.

Considere uma tensão de entrada V_{in} igual a $=0V$ na entrada do inversor. Isto faz com que o transistor pMOS entre em estado de condução e conseqüentemente a chave ch esta fechada. No transistor nMOS temos uma situação contrária, ou seja, ele está cortado e conseqüentemente a chave ch está aberta conforme mostra a figura-16 B. Assim, a tensão de saída V_{out} é igual a V_{dd} . Considere agora uma tensão de entrada no

Projetos de Circuitos Integrados

inversor $V_{in} = V_{dd}(5v, \text{normalmente})$ conforme mostra a figura-16 C, teremos uma situação contrária, ou seja, o transistor pMOS está cortado e o transistor nMOS está conduzindo. Assim, a tensão de saída V_{out} do inversor é aterrada. Deste modo, teremos na saída do inversor uma tensão inversa da entrada. Aprendemos anteriormente que o transistor MOS trabalha nas regiões de Corte, Saturação e Triodo e que o inversor tem uma tensão de entrada V_{in} e tensão de saída V_{out} . Logo podemos levantar a sua curva de transferência $V_{in} \times V_{out}$ conforme mostra a figura-17.

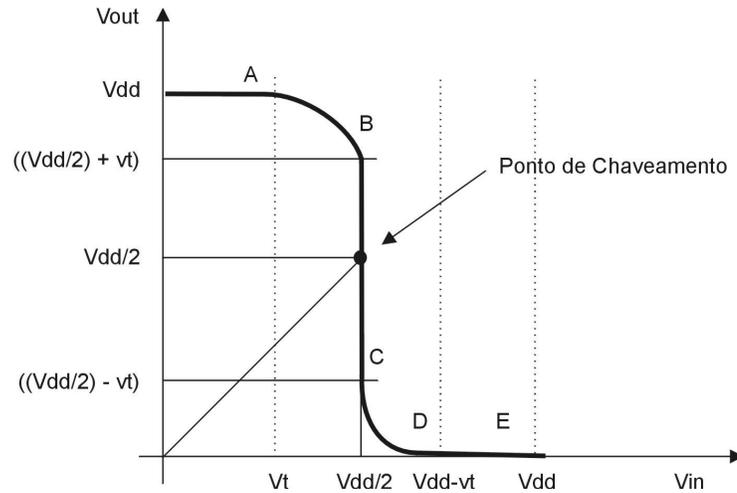


Figura 17 Curva de transferência do Circuito Inversor .

Esta curva é composta de 5 regiões de operações que são chamadas de A,B,C,D e F. Na região (A) temos o transistor pMOS conduzindo na condição de Triodo e o transistor nMOS cortado, pois a tensão de entrada está abaixo da tensão de limiar (V_t) conforme mostra a figura-17. Na região (B) temos a transistor pMOS em Triodo e o transistor nMOS na Saturação. Na região (C) temos ambos transistores em Saturação. Na região (D) o transistor pMOS está saturado e o transistor n MOS está em Triodo e na região (E) o transistor pMOS está cortado e o nMOS está em Triodo. Após o estabelecimento das condições de operação do inversor podemos formular as equações dos transistor "p" e "n" MOS para a região de saturação e triodo temos as seguintes equações:

Para a condição de Triodo do transistor nMOS temos:

$$I_{DN} = K_N \cdot [2 \cdot (V_{in} - V_{tN}) \cdot V_{out} - V_{out}^2] \quad \text{para} \quad V_{out} \leq V_{in} - V_{tN} \quad (45)$$

$$\text{Onde: } K_N = \frac{1}{2} \mu_N \cdot C_{ox} \left(\frac{W}{L} \right)$$

Para a condição de Saturação temos:

$$I_{DN} = K_N \cdot (V_{in} - V_{tN})^2 \quad \text{para} \quad V_{out} \geq V_{in} - V_{tN} \quad (46)$$

Para a condição de Triodo do transistor pMOS temos:

$$I_{DP} = K_P \cdot [2 \cdot (V_{dd} - V_{in} - |V_{tp}|) \cdot (V_{dd} - V_{out}) - (V_{dd} - V_{out})^2] \quad \text{para} \quad V_{out} \geq V_{in} + |V_{tp}| \quad (47)$$

$$\text{Onde: } K_P = \frac{1}{2} \mu_p \cdot C_{ox} \left(\frac{W}{L} \right)$$

Para a condição de Saturação temos:

Projetos de Circuitos Integrados

$$I_{DP} = K_P \cdot (V_{dd} - V_{in} - |V_{tP}|)^2 \quad V_{out} \leq V_{in} - |V_{tP}| \quad (48)$$

Na região C temos o chamado ponto de chaveamento do inversor (Inverter Switching Point) onde a tensão de saída é igual tensão de entrada ($v_{dd}/2 = V_{sp}$) e ambos transistores estão na saturação.

Considerando, $K_{N,P} = \frac{\mu_N \cdot C_{ox} \left(\frac{W}{L}\right)}{2} = \frac{\beta_{N,P}}{2}$ temos a seguinte equação-49:

$$\frac{\beta_N}{2} (V_{sp} - V_{tN})^2 = \frac{\beta_P}{2} (V_{dd} - V_{sp} - V_{tN})^2 \quad (49)$$

Resolvendo temos:

$$V_{sp} = \frac{\sqrt{\frac{\beta_N}{\beta_P}} \cdot V_{tN} + (V_{dd} - V_{tP})}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (50)$$

4.1 Fluxo de Corrente x Dissipação de Potência para o processo CMOS

Conforme mostrado anteriormente o inversor CMOS apresenta dois transistores em série chaveados ao mesmo tempo. A figura-18 mostra que a máxima corrente no inversor ocorre quando a tensão de entrada é igual a $v_{dd}/2$ este aumento de corrente influencia na dissipação de potência do circuito.

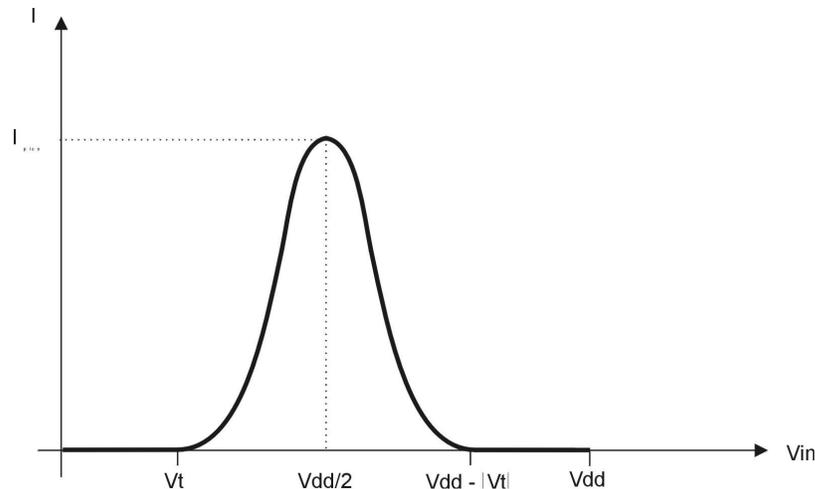


Figura 18 Curva de potência do inversor MOS.

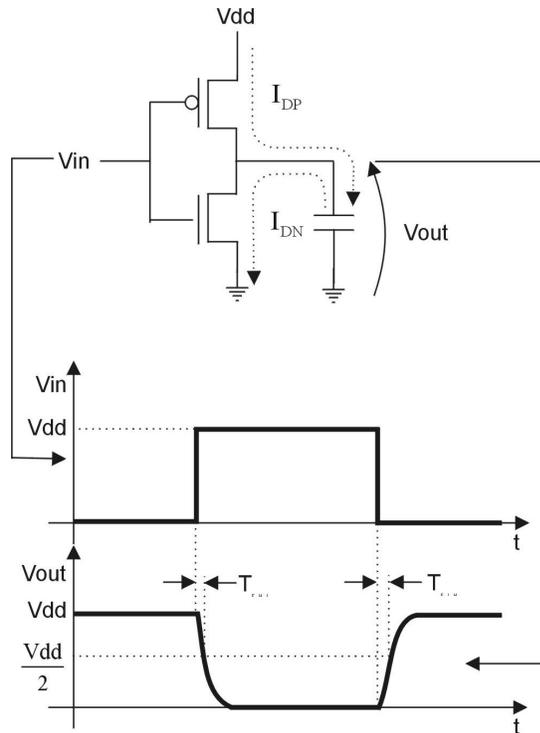
4.2 Operação Dinâmica do Inversor

Quando projetamos um circuito inversor dentro do circuito integrado temos que levar em consideração a capacitância de saída conforme mostra a figura-19. Esta capacitância pode ser de metal-1 para substrato. Geralmente a capacitância de saída do inversor é da ordem de 10^{-15} F. Mas dependendo da frequência de operação, corrente de carga do inversor e quantidade de interligações com outros circuitos esta capacitância pode ser significativa. Em função deste problemas apresentados, o sinal na saída do inversor pode sofrer distorções fazendo com que o circuito seguinte não interprete

Projetos de Circuitos Integrados

corretamente o sinal. Para isso, necessitamos calcular o tempo de carga e o tempo de descarga do sinal. Na figura-19 temos um circuito inversor com uma capacitância ligada na saída V_{out} . Assim, podemos verificar o tempo de carga e descarga em função dos transistores pMOS e nMOS. O transistor pMOS tem a função de carregar o capacitor e o transistor nMOS tem a função de descarregar o capacitor na saída do inversor. Logo, podemos concluir que o tempo de fase de descarga T_{PHL} é diferente do tempo fase de carga T_{PLH} . Isto deve se à diferença de mobilidade das cargas nos transistores, ou seja, a mobilidade no transistor nMOS é maior que a do transistor pMOS.

Figura 19 Circuito Inversor com carga capacitiva na saída.



Na figura-20 temos representado a descarga do capacitor através do transistor nMOS, onde a tensão V_{gs} do transistor nMOS é igual a V_{DD} , conseqüente a corrente será máxima. O tempo de fase do nível alto para baixo T_{FHL} (Tempo de Atraso) pode ser descrito matematicamente de acordo com a equação-51.

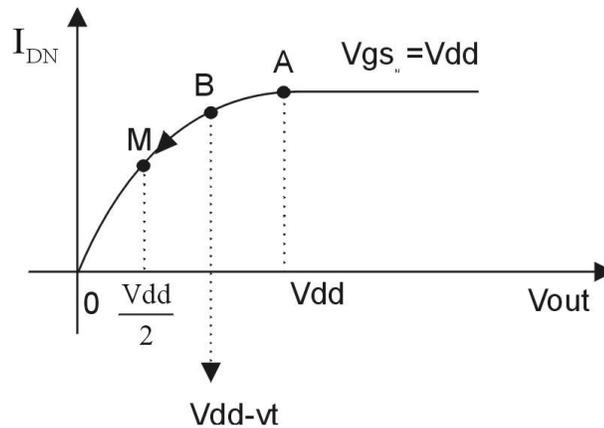


Figura 20 Trajetória do pontos de descarga do capacitor.

Projetos de Circuitos Integrados

$$T_{FHL1} = \frac{C \cdot [V_{dd} - (V_{dd} - V_t)]}{K_N (V_{dd} - V_t)^2} = \frac{C \cdot V_t}{K_N (V_{dd} - V_t)^2} = \text{Tempo de } A \rightarrow B \quad (51)$$

No ponto B da figura-19 o transistor está operando na região de triodo de acordo com a equação (45). E o tempo de descarga do capacitor pode descrito com a equação-52.

$$I_{DN} \cdot dt = -C \cdot dV_{out} \quad (52)$$

Substituindo a equação 45 em 52 temos:

$$\frac{K_N}{C} \cdot dt = -\frac{1}{2(V_{dd} - V_t)} \cdot \frac{dV_{out}}{\frac{1}{2(V_{dd} - V_t)} V_{out}^2 - V_{out}} \quad (53)$$

Para encontrar o tempo atraso de $V_{dd} - V_t$ até $V_{dd}/2$ devemos integrar ambos os lados da equação-53. Denotando a componente de atraso de T_{FHL2} temos:

$$\frac{K_N}{C} \cdot T_{FHL2} = -\frac{1}{2(V_{dd} - V_t)} \int_{V_{out}=V_{dd}-V_t}^{V_{out}=\frac{V_{dd}}{2}} \frac{1}{\frac{1}{2(V_{dd} - V_t)} V_{out}^2 - V_{out}} dV_{out} \quad (54)$$

Usando o fato que:

$$\int \frac{dx}{ax^2 - x} = \ln\left(1 - \frac{1}{ax}\right) \quad (55)$$

Resolvendo a equação-54 temos:

$$T_{PHL2} = -\frac{C}{2 \cdot K_N \cdot (V_{dd} - V_t)} \frac{1}{2} \ln\left(\frac{3V_{dd} - 4V_t}{V_{dd}}\right) \quad (56)$$

O componente da equação-51 e 56 podem ser somados para obter a equação-57.

$$T_{PHL2} = -\frac{C}{K_N \cdot (V_{dd} - V_t)} \left[\frac{V_t}{V_{dd} - V_t} + \frac{1}{2} \ln\left(\frac{3V_{dd} - 4V_t}{V_{dd}}\right) \right] \quad (56)$$

Fazendo, $V_t \approx 0.2 V_{dd}$ temos:

$$T_{PHL} = \frac{0.8 \cdot C}{K_N \cdot V_{dd}} \quad (57)$$

Para calcular T_{PLH} devemos utilizar um processo semelhante a partir da equação-56 e no lugar de K_N devemos colocar K_P .

5 Portas Lógicas

Nesta etapa faremos estudo de portas lógicas NAND e NOR utilizando o processo CMOS. Para entender melhor o funcionamento, primeiramente devemos fazer as seguintes considerações para os transistores:

Projetos de Circuitos Integrados

- Transistor nMOS - Quando aplicado uma tensão 5V na porta, o transistor conduz e quando aplicado 0V, o transistor corta.
- Transistor pMOS - Quando aplicado uma tensão 5V na porta, o transistor corta e quando aplicado 0V, o transistor conduz.

Devemos fazer outra consideração, com relação aos níveis lógicos "0" e "1" onde a nível "1" entende-se como 5V e para nível "0" entende-se como 0V.

5.1 Porta NAND

Na figura-21 temos uma porta NAND com duas entradas denominadas de "A" e "B", saída "S" e uma fonte de alimentação de 5V. Com N entradas temos 2^N condições, onde N é o número de entradas. Conforme tabela-4, para 2 entradas temos 4 condições.

Tabela 4 Tabela verdade da porta NAND.

Condição	A	B	S
1	0	0	1
2	0	1	1
3	1	0	1
4	1	1	0

Na primeira condição da tabela verdade temos as entradas "A" e "B" com nível lógico "0", logo os transistores pMOS estarão no estado de condução e os transistores nMOS estarão cortados e conseqüentemente a saída "S" estará em $V_{dd}=5V \Rightarrow$ nível lógico "1".

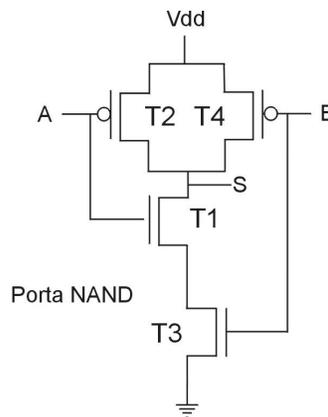


Figura 21 Porta lógica NAND.

Na segunda condição da tabela verdade temos as entradas A com nível lógico "0" e a entrada B com nível lógico "1", logo um transistores pMOS esta no estado de condução e o outro em estado de corte. Para os transistores nMOS teremos a mesma situação um conduzindo e o outro cortado. Como os transistores nMOS estão em série e um dos transistor esta cortado então teremos na saída a tensão $V_{dd}=5V \Rightarrow$ nível lógico "1". Na terceira condição teremos uma situação semelhante, mas usando outros transistores. Na Quarta condição as entradas "A" e "B" estão em nível lógico "1". Desta forma os transistores pMOS estão cortados e os transistores nMOS estão conduzindo. Deste modo teremos na saída "S" uma tensão de 0V nível lógico "0". Considerando a) $U_N = 2 \cdot \mu_P$ b) N

transistores em série apresentam uma impedância equivalente "N" vezes maior, c) desejamos uma impedância equivalente para a carga (Transistores pMOS) do nó de saída, a relação entre as dimensões dos transistores deve seguir a relação:

$$\left(\frac{W}{L}\right)_N = \frac{N}{2} \cdot \left(\frac{W}{L}\right)_P \quad (58)$$

5.2 Porta NOR

Na figura-22 temos uma porta NOR com duas entradas onde os transistores funcionam de forma semelhante ao da porta NAND, mas a sua arquitetura é diferente em relação a porta NAND. Na porta NAND temos dois transistores pMOS ligados em paralelo e dois nMOS ligados em série, e na porta NOR temos uma situação contrária, ou seja temos dois transistores pMOS ligados em série e dois nMOS ligados em paralelo. Deste modo, podemos dizer que os transistores T1 e T3 nMOS da porta NOR trabalham em Pull-Down e os transistores T2 e T4 trabalham em Pull-Up.

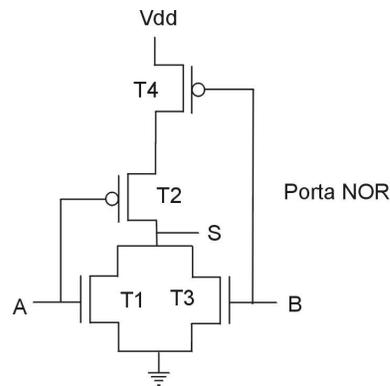


Figura 22 Porta lógica NOR.

Analogamente ao caso da porta NAND devemos seguir a seguinte relação para transistores de porta NOR: conforme mostra a equação-57.

$$\left(\frac{W}{L}\right)_P = 2 \cdot N \cdot \left(\frac{W}{L}\right)_N \quad (57)$$

**Simulações Elétricas
com o
AIMSPICE**

6 AIMSPICE - TEORIA

6.1 Análise DC do (Ponto de Operação)

6.2 Análise DC (Curva de Transferência)

6.3 Análise DC (Varredura da Temperatura)

6.4 Análise de Transiente

6.5 Análise da função de Transferência do Inversor

6.6 Análise de Ruído

6.7 Processador Gráfico AIM POST PROCESSOR

7 AIMSPICE - PRÁTICA

7.1 Experiência -1 Transistor nMOS

Objetivo:

Verificar o comportamento do transistor nMOS através de simulações com o AIMSPICE.

Procedimento:

Montar o circuito da figura-23 com os seguintes dados: $W=$, $L=$

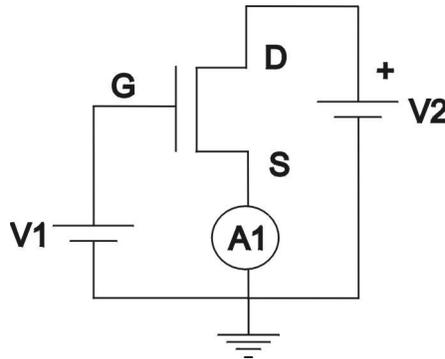


Figura 23 Transistor nMOS.

Faça as etapas abaixo:

- 1) $V1=0v$, $V2=5v$ - Meça a corrente de dreno através do amperímetro (A) e Tensão entre VDS.
- 2) $V1=5v$, $V2=5v$ - Meça a corrente de dreno através do amperímetro (A) e Tensão entre VDS.
- 3) Utilizando a fonte PWL do AIMSPICE. Faça uma fonte V1 de (0-5)V e meça com passos de 0.5v e anote na tabela-5 abaixo.

Tabela 5

V1	0	0.5	1	1.5	2	2.5	3	3.5	4	4.5	5
I_{ds}											
V_{ds}											

- 4) Determine a tensão de limiar do transistor nMOS.
- 5) Utilizando a fonte de tensão PULSE do AIMSPICE determine a máxima frequência de operação do transistor nMOS.

7.2 Experiência - 2 Transistor pMOS

Objetivo:

Verificar o comportamento do transistor pMOS através de simulações com o AIMSPICE.

Procedimento:

Montar o circuito da figura-24 com os seguintes dados: $W=10\mu\text{m}$, $L=10\mu\text{m}$, $VDD=5\text{V}$.

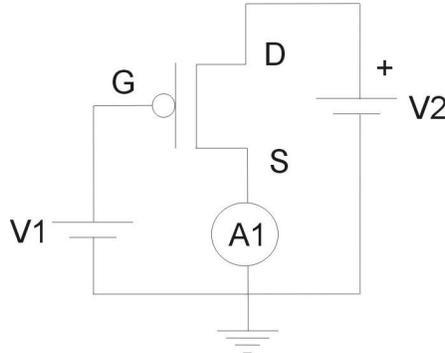


Figura 24 Transistor pMOS.

Faça as etapas abaixo:

- 1) $V1=0\text{v}$, $V2=5\text{v}$ - Meça a corrente de dreno através do amperímetro (A) e Tensão entre VDS.
- 2) $V1=5\text{v}$, $V2=5\text{v}$ - Meça a corrente de dreno através do amperímetro (A) e Tensão entre VDS.
- 3) Utilizando a fonte PWL do AIMSPICE. Faça uma fonte V1 de (0-5)V com passos de 0.5v e anote na tabela-6 abaixo.

Tabela 6

V1	0	0.5	1	1.5	2	2.5	3	3.5	4	4.5	5
Ids											
Vds											

- 4) Determine a tensão de limiar do transistor pMOS.
- 5) Utilizando a fonte de tensão PULSE do AIMSPICE determine a máxima frequência de operação do transistor pMOS.

7.3 Experiência - 3 Circuito Inversor pMOS

Objetivo:

Verificar o comportamento de um inversor pMOS através de simulações com o AIMSPICE.

Procedimento:

Montar o circuito da figura-25 com os seguintes dados: $W_1=10\mu\text{m}$, $L_1=10\mu\text{m}$, $W_2=10\mu\text{m}$, $L_2=10\mu\text{m}$, $V_{DD}=5\text{V}$.

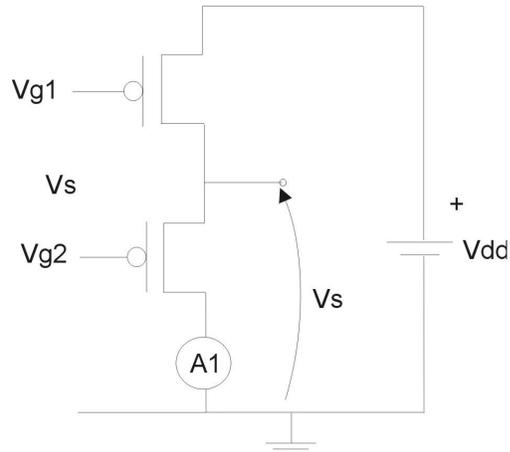


Figura 25 Circuito Inversor com transistor pMOS.

Faça as etapas abaixo:

- 1) Para uma tensão v_{g1} constante coloque uma tensão v_{g2} utilizando a fonte de tensão PWL (0v a 5v) do AIMSPICE com passos de 0.5v. Meça a tensão de saída V_s e a corrente I_{ds} e anote na tabela 7.

Tabela 7

Vgs1	Vgs2 (0 - 5)V	
	I _{ds}	V _s
0		
0.5		
1.0		
1.5		
2.0		
2.5		
3.0		
3.5		
4.0		
4.5		
5.0		

- 2) Deixando a tensão V_{gs1} em 1V, 2,5V e 5V coloque uma fonte de tensão de (0 - 5)V PWL do AIMSPICE na entrada v_{gs2} . E trace a curva v_{gs2} X V_s .

Projetos de Circuitos Integrados

7.4 Experiência -4 Circuito Inversor pMOS com capacitância na saída.

Objetivo:

Verificar o tempo de subida do sinal de saída do transistor com diferentes capacitâncias através de simulações com o AIMSICE.

Procedimento:

Montar o circuito da figura-1 com os seguintes dados: $W_1=10\mu\text{m}$, $L_1=10\mu\text{m}$, $W_2=10\mu\text{m}$, $L_2=10\mu\text{m}$, $V_{DD}=5\text{V}$.

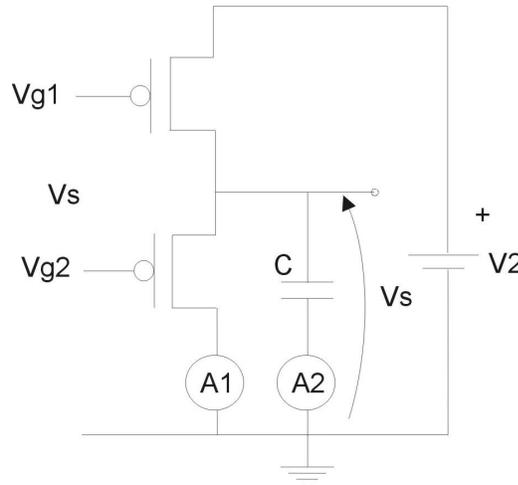


Figura 26 Circuito Inversor com transistor pMOS.

Faça a etapa abaixo:

- 1) Para uma tensão v_{g1} constante de 2.5V aplique uma frequência conforme mostra a tabela-4. Anote o tempo de subida (TR) e o tempo de descida da tensão (TF) de saída V_s pulso de saída.

Tabela 8

Frequência	100KHz		500KHz		1MHz		10MHz		100MHz		1GHz	
Capacitância	TR	TF	TR	TF	TR	TF	TR	TF	TR	TF	TR	TF
100pF												
500pF												
1nF												
10nF												
100nF												
200nF												
500nF												
1uF												

- 2) Faça comentários sobre o tempo de subida e de descida do pulso de entrada em relação ao pulso de saída.

Projetos de Circuitos Integrados

7.5 Experiência -5 Circuito VCO (Voltage Control Oscillator) com transistores pMOS

Objetivo:

Verificar a variação da frequência de oscilação do circuito VCO em função da tensão V_g do oscilador.

Procedimento:

Montar o circuito VCO com 5 inversores em série as dimensões dos inversores são $W=10\mu\text{m}$, $L=10\mu\text{m}$ conforme mostra a figura-5.

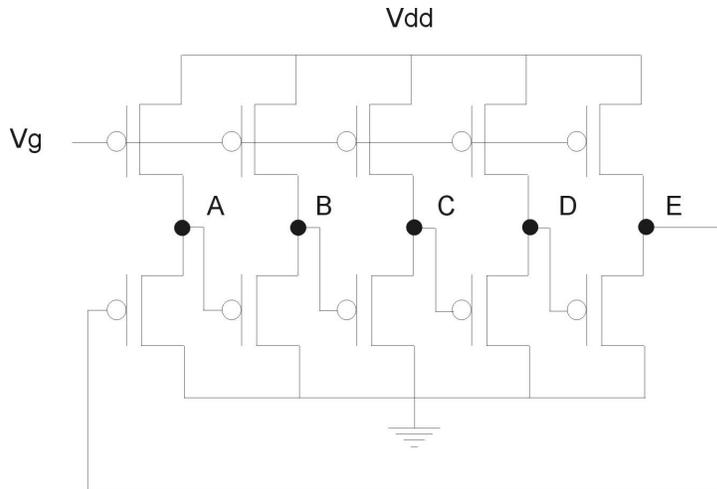


Figura 27 Circuito VCO com transistor pMOS.

Faça a etapa abaixo:

- 1) Varie a tensão v_{g1} com passos de 0.5V de 0V até 5V e meça a frequência de oscilação para cada tensão v_g na tabela-5.

Tabela 9

V_g	0	0.5	1	1.5	2	2.5	3	3.5	4	4.5	5
Frequência											

- 2) Aumente o W do circuito inversor três vezes e execute os passos da etapa 1 e calcule a frequência de oscilação na tabela-6.

Tabela 10

V_g	0	0.5	1	1.5	2	2.5	3	3.5	4	4.5	5
Frequência											

- 3) Comente sobre a variação de frequência.

7.6 Experiência -6 Circuito Flip-Flop RS com transistores pMOS.

Objetivo:

Comprovar os valores dos resultados simulados com os valores dos resultados medidos do circuito Flip-Flop RS Didático.

Procedimento:

Montar o circuito Flip-Flop conforme mostra a figura-6 no AIMSPICE.

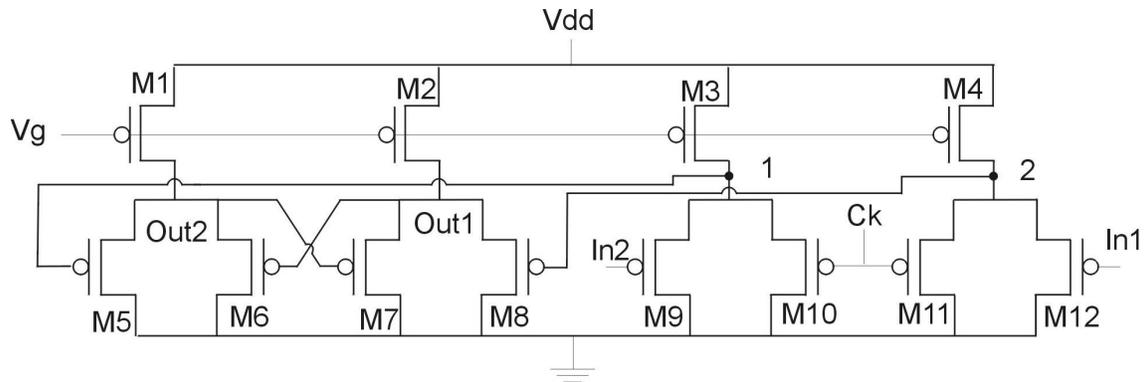


Figura 28 Circuito VCO com transistor pMOS.

Faça as etapas abaixo:

1. Meça a máxima freqüência de operação do circuito Flip-Flop.
2. Compare com os valores medidos com os simulados.
3. Qual a máxima freqüência de operação do Flip-Flop RS.

**Editor
de
Layout
de
Circuito Integrado**

8.1 Simulador Elétrico do MICROWIND

8.2 Projeto de um circuito Inversor no processo CMOS

8.3 Visualização 3D do Inversor

9 Referências Bibliográficas

CMOS Circuit Design, Layout, and Simulation

R. Jacob Baker, Harry W. Li and David E. Boyce
IEEE Press Series on Microelectronics Systems

Microelectronic Circuits

Adel S. Sedra and Kenneth C. Smith
Saunders College Publishing

Automatic Integrated Circuit Modeling Spice (AIM-Spice) is based on Berkeley Spice version 3.E1, the popular analog circuit simulator developed at the University of California, at Berkeley. [http:// www.aimspice.com](http://www.aimspice.com).

Edgar Charry Rodrigues - Desenvolvimento e aplicações de uma tecnologia MOS canal N de porta metálica. Tese de Doutorado - 1974.