

DESCRIÇÃO DO CHIP DIDÁTICO – CCS 02

1. Introdução

Esse "chip" foi concebido para ser usado tanto para processo PMOS quanto para NMOS. Possui diversas estruturas de caracterização de processo e também alguns circuitos básicos digitais. É possível fabricar dispositivos MOS de enriquecimento e também de depleção e também transistores bipolares, mas não simultaneamente, pois esse jogo de máscaras (de cinco níveis) foi desenhado de forma a se optar uma sequência ou outra de processos.

2. Descrição

Com área total de 2483 X 3104 micra é composto de marcas de alinhamento (duas), estrutura de medida de resistividade Berger, estrutura tipo Kelvin (uma para camada de metal e outra para camada de dopagem de boro/fósforo), cadeia de contatos entre metal e camada dopada (boro ou fósforo), vernier para estimar erro de alinhamento litográfico e estruturas para caracterizar "under e over etch" entre todos os níveis. Tem também capacitor com anel de guarda, de óxido fino (de "gate") e de óxido de campo, transistores MOS de diversos tamanhos de porta, de depleção e enriquecimento, e transistor com óxido de campo. Os diodos são de 3 tipos: "área pequena", "área grande", e interdigital.

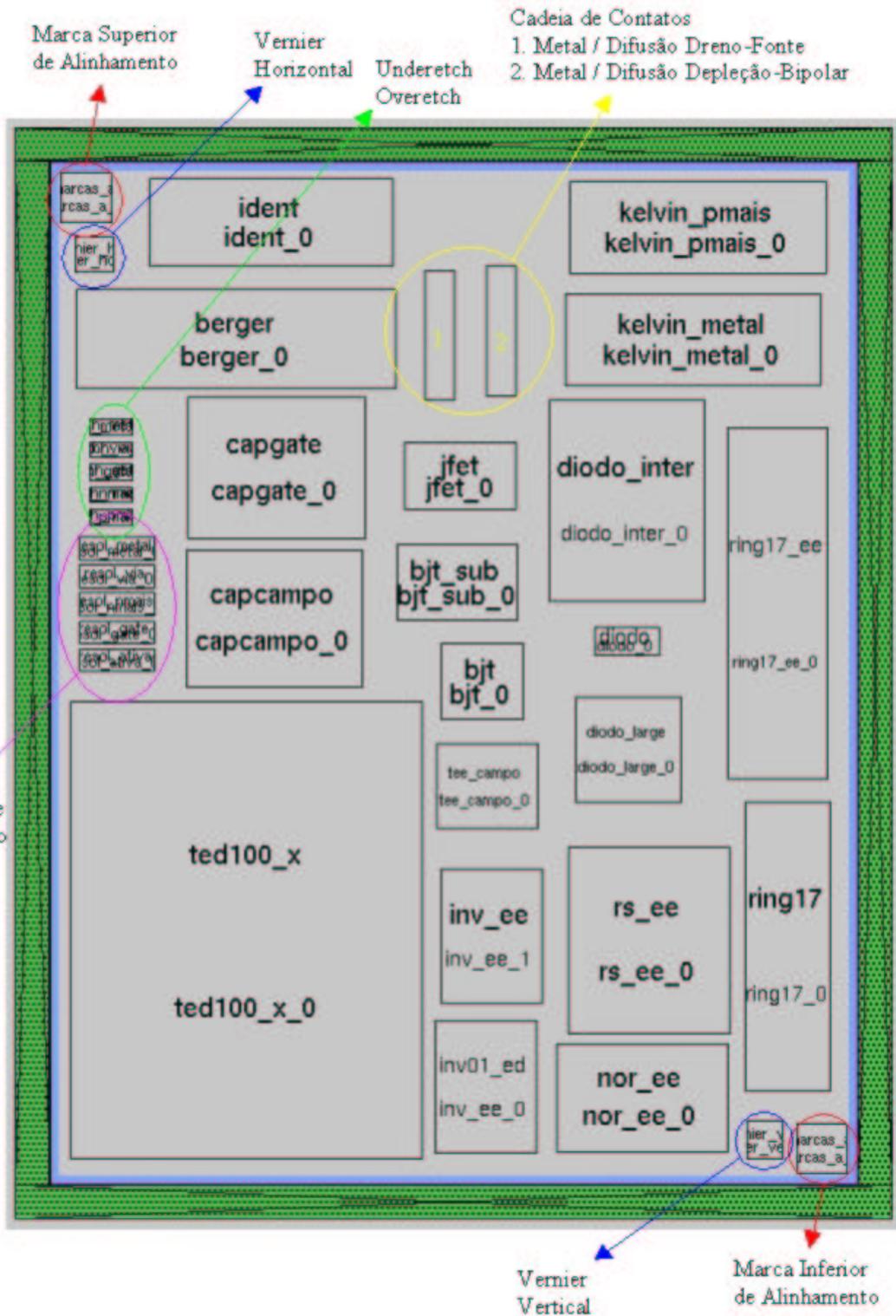
Os transistores bipolares são do tipo lateral e de substrato. Há também um transistor JFET.

Os circuitos disponíveis são: Flip-flop RS síncrono (com MOS E/E), NOR (MOS E/E), inversor (um com MOS E/E e outro com E/D), oscilador em anel de 17 estágios com saída em "buffer" (um com MOS E/E e outro E/D).

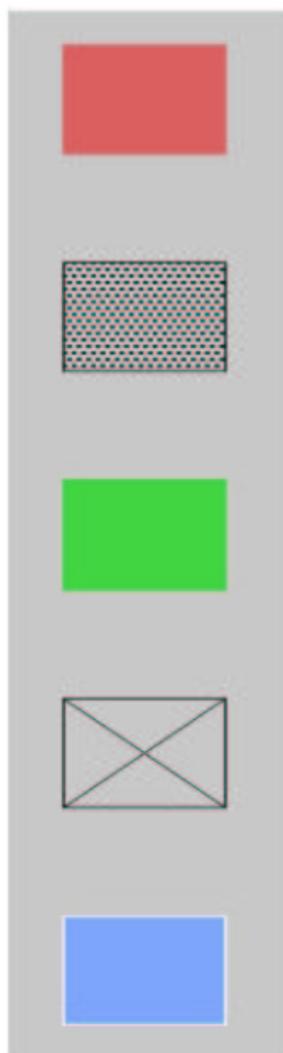
A seguir há a descrição de cada estrutura.

Chip Didático CCS02

Células básicas



Descrição dos Níveis de Máscaras



1º Nível - Difusão de Dreno / Fonte

2º Nível - Abertura de Porta

3º Nível - Difusão de Depleção / Bipolar

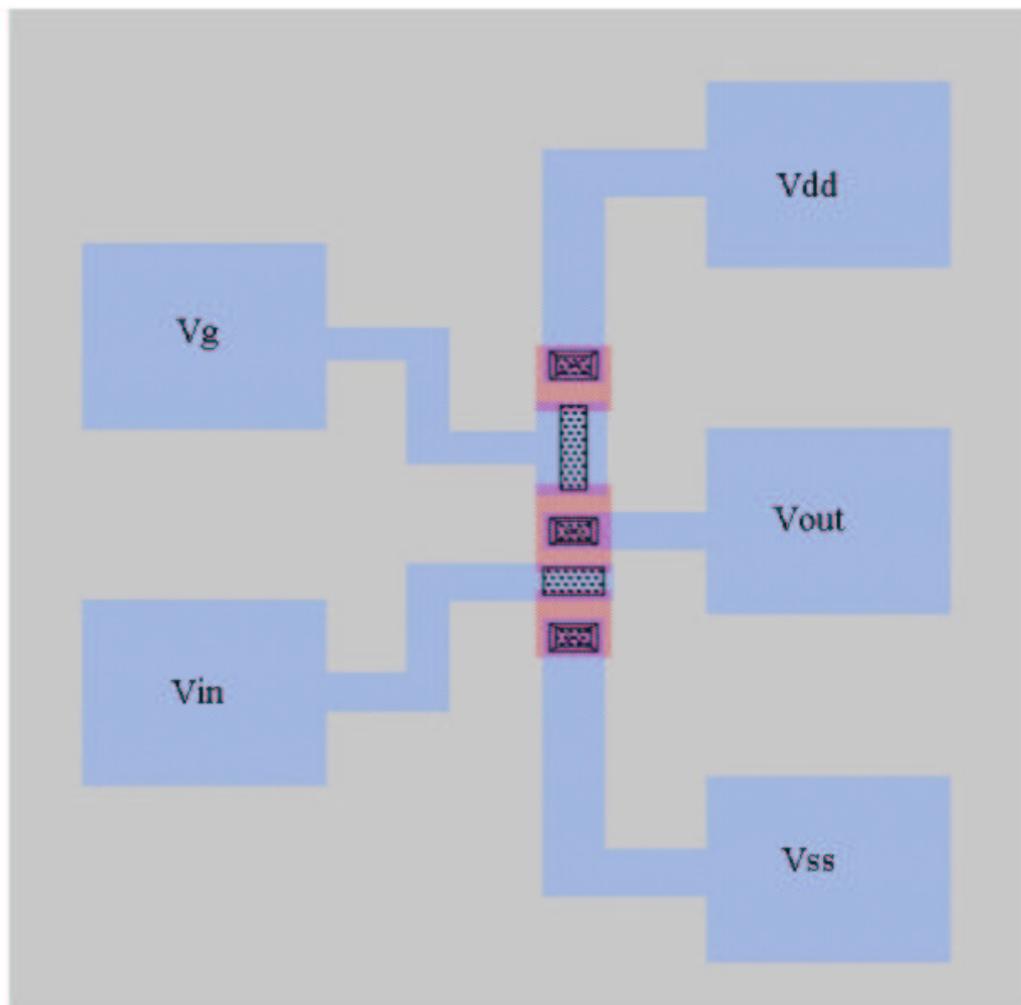
4º Nível - Abertura de Vias

5º Nível - Metalização

Inversor MOS tipo E / E

$$W_1 = 8, L_1 = 32$$

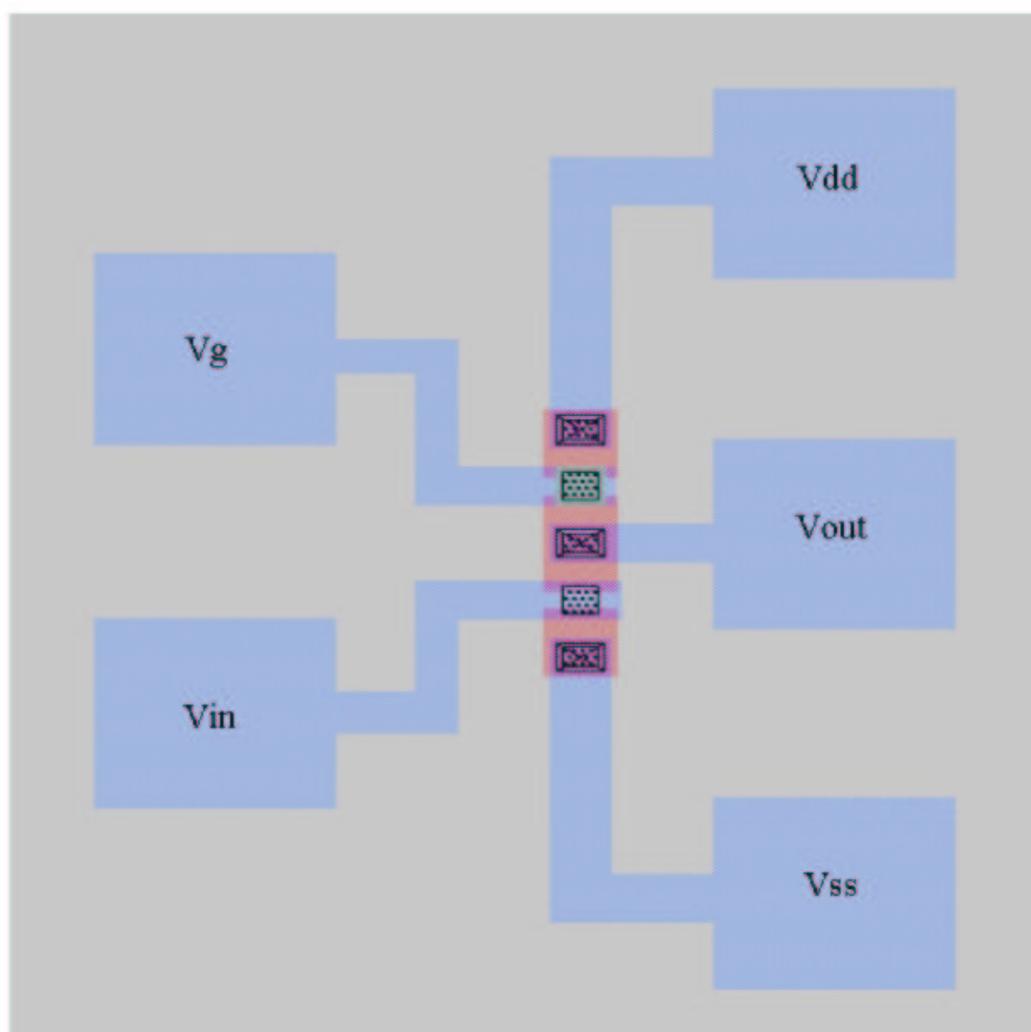
$$W_d = 20, L_d = 8$$



Inversor MOS - tipo E/D

$$W_1 = 12, L_1 = 8$$

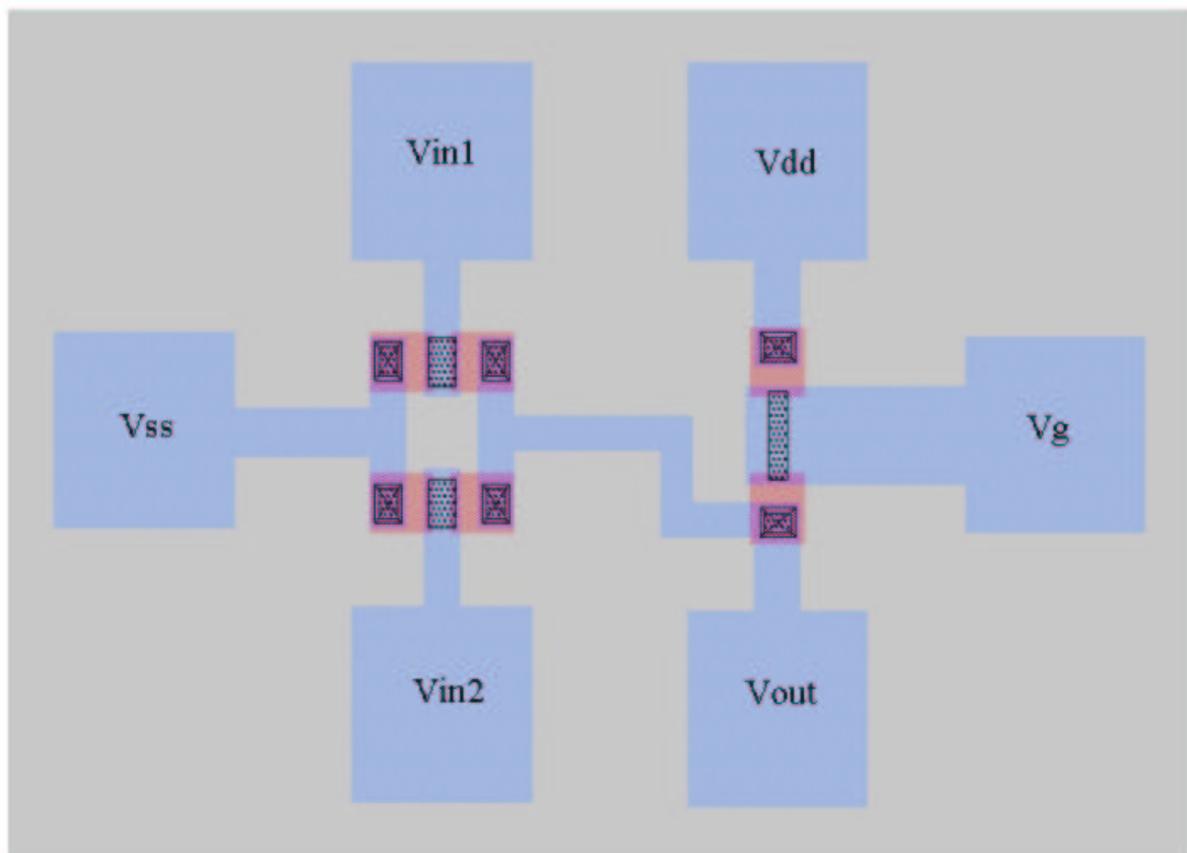
$$W_d = 12, L_d = 8$$



Circuito NOR com transistor MOS tipo E/E

$$W_1 = 20, L_1 = 8$$

$$W_d = 8, L_d = 32$$

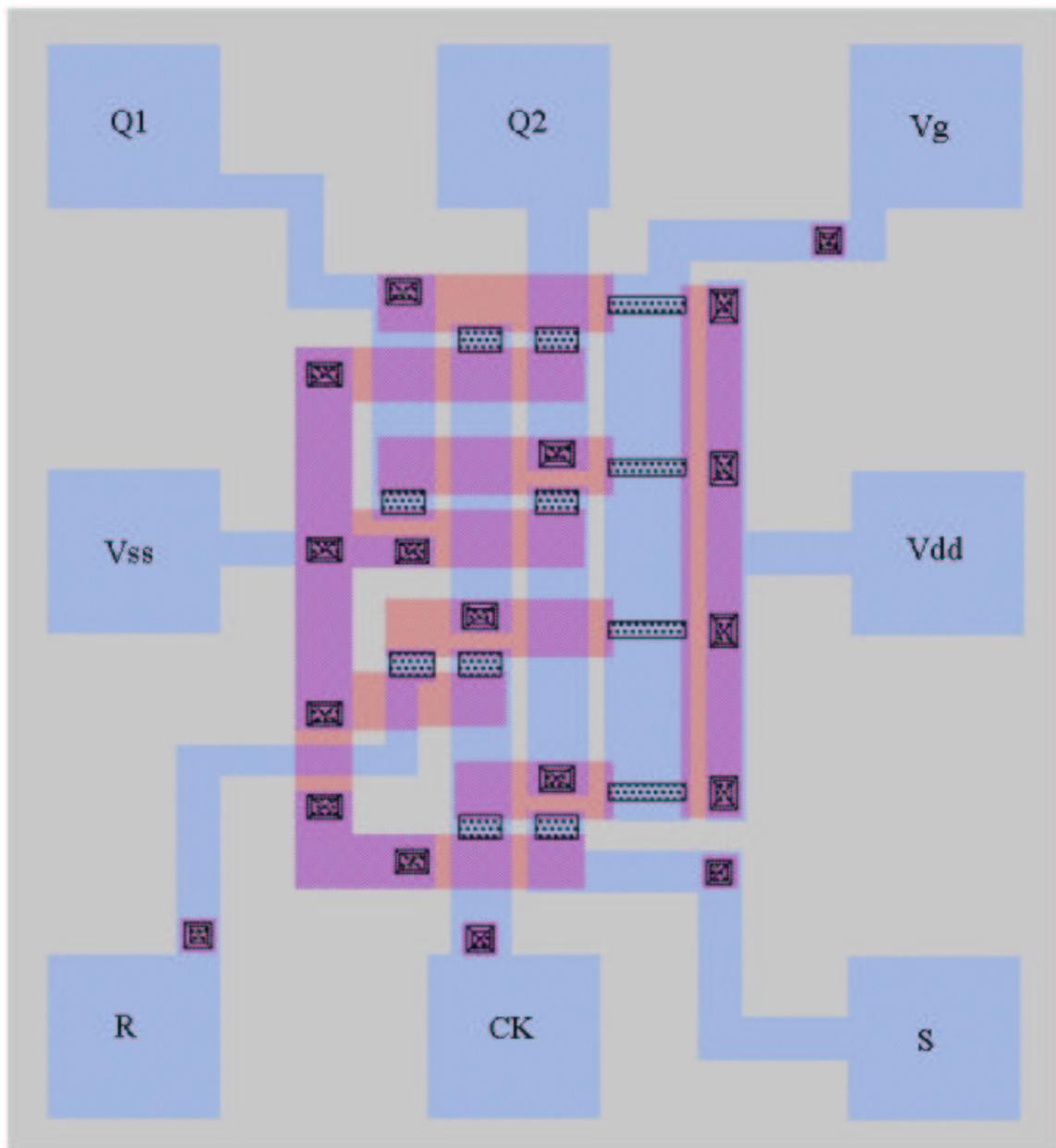


Flip-flop RS síncrono com transístor MOS tipo E/E

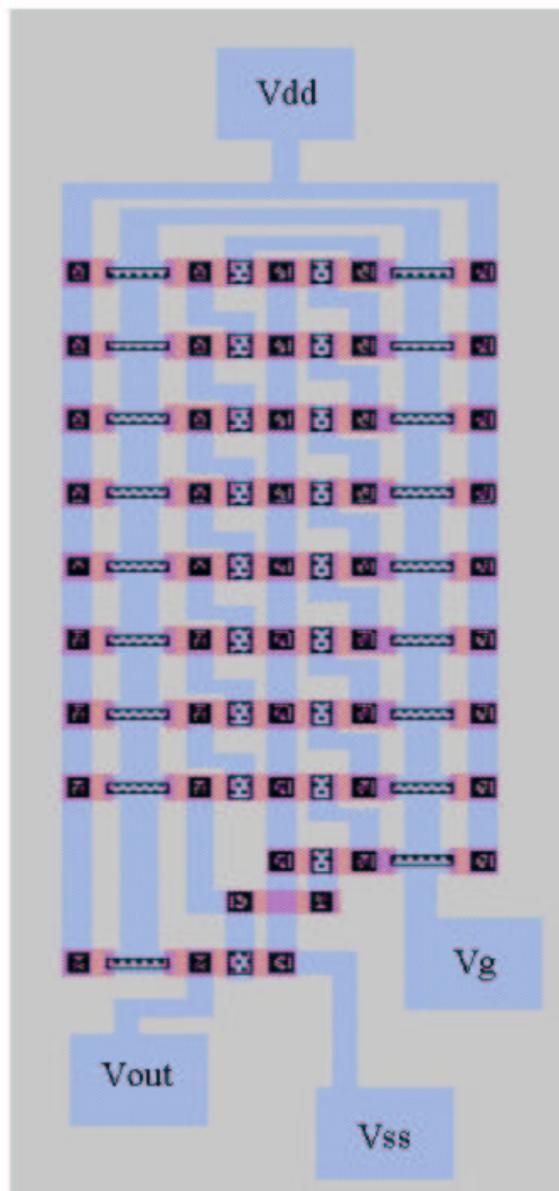
$$W_1 = 8, L_1 = 32$$

$$W_d = 20, L_d = 8$$

Diodo: 12 X 12



Oscilador em anel com 17 estágios e “buffer” na saída
Transístores MOS tipo E / E

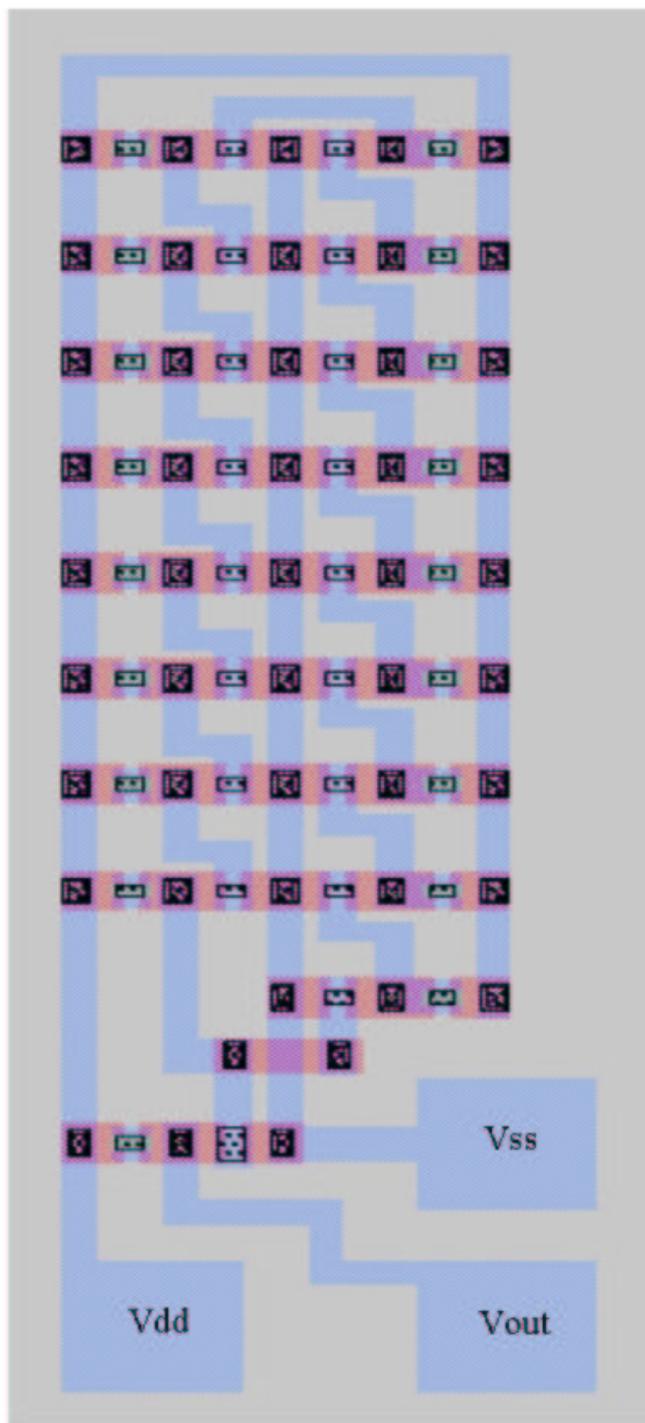


$$W_1 = 8, L_1 = 12$$

$$W_d = 20, L_d = 8$$

“Buffer” ídem

Oscilador em anel com 17 estágios e "buffer" na saída
Transistores MOS tipo E/D



$$W_1 = 8, L_1 = 8$$

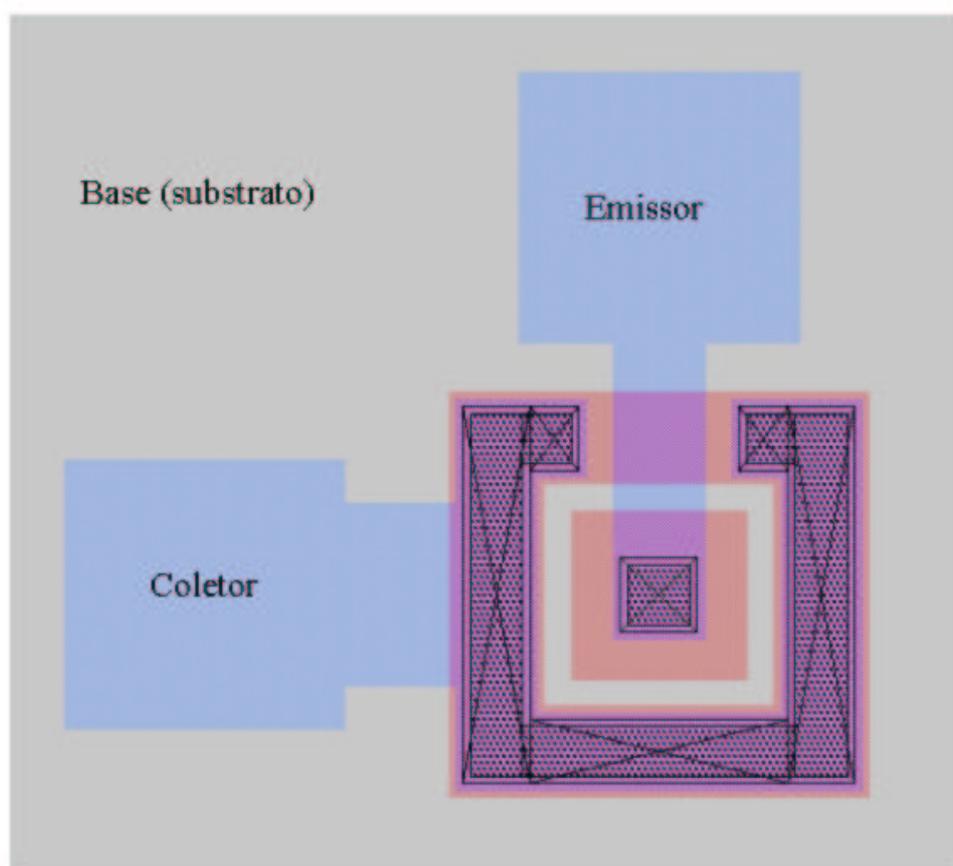
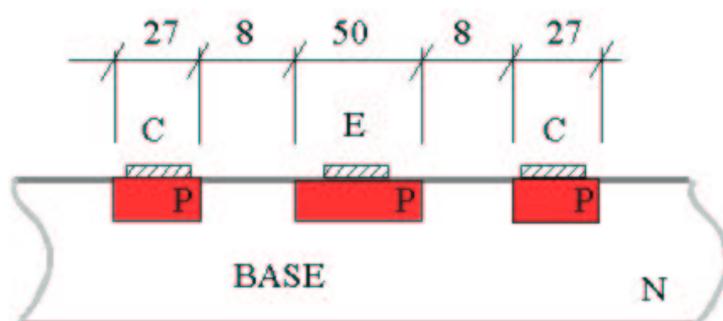
$$W_d = 8, L_d = 8$$

"Buffer":

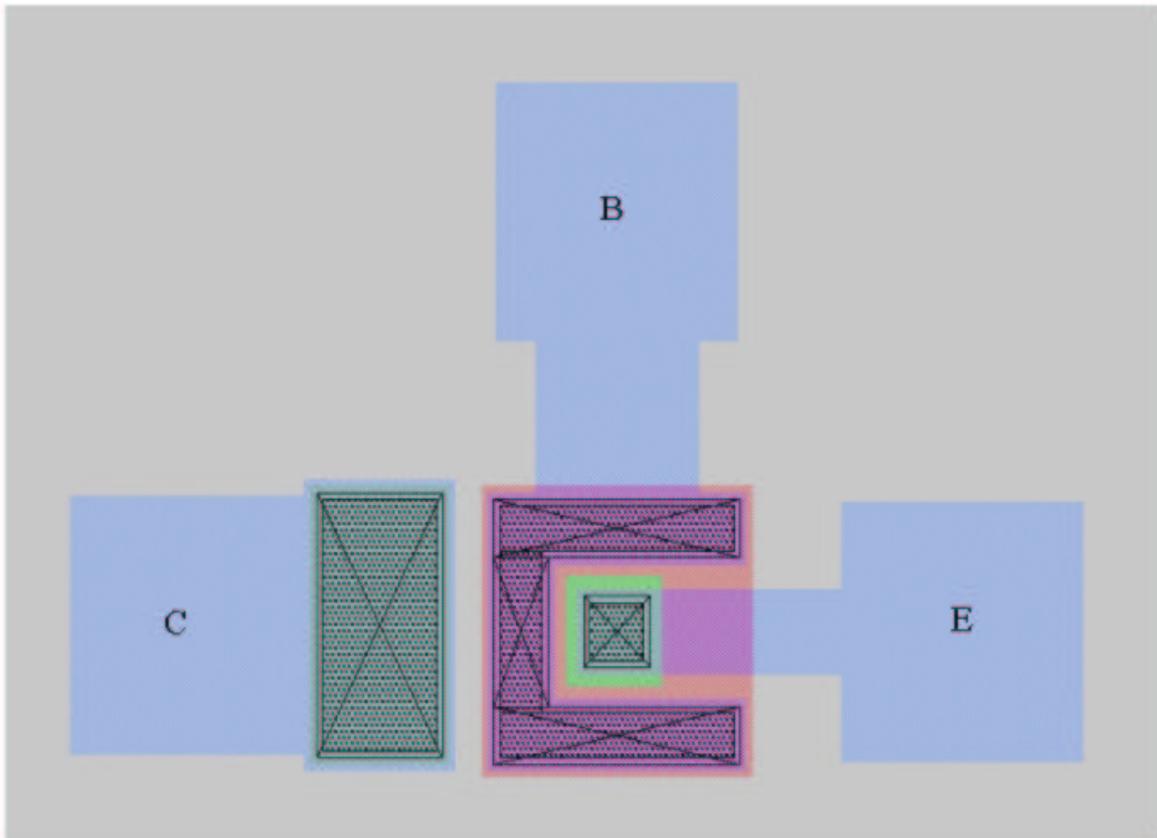
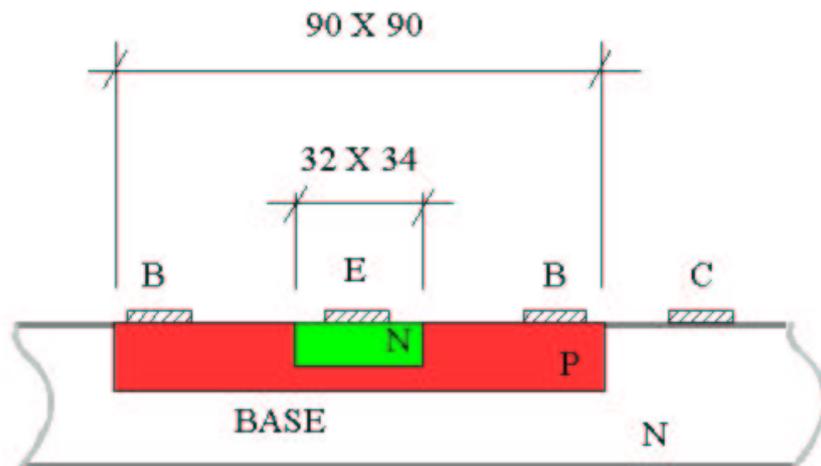
$$W_1 = 8, L_1 = 8$$

$$W_d = 20, L_d = 8$$

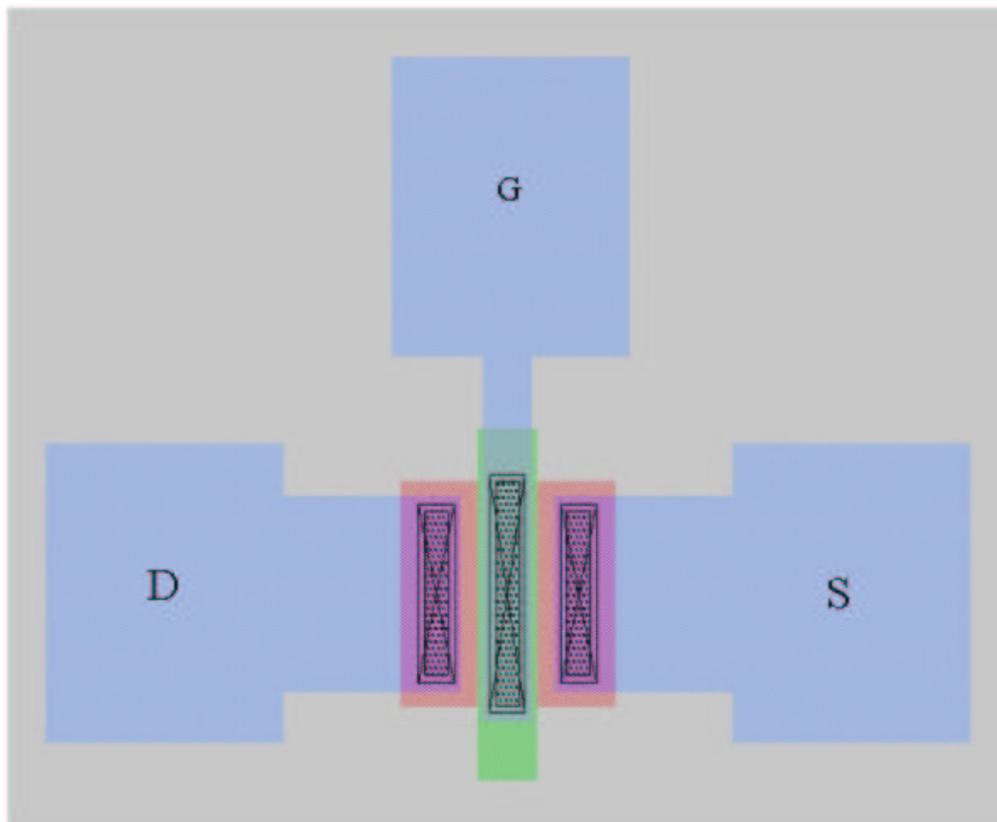
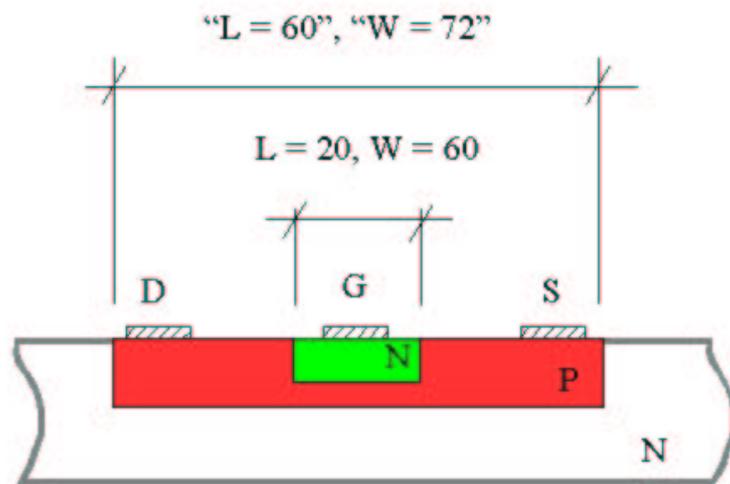
Transistor Bipolar lateral



Transistor Bipolar de Substrato



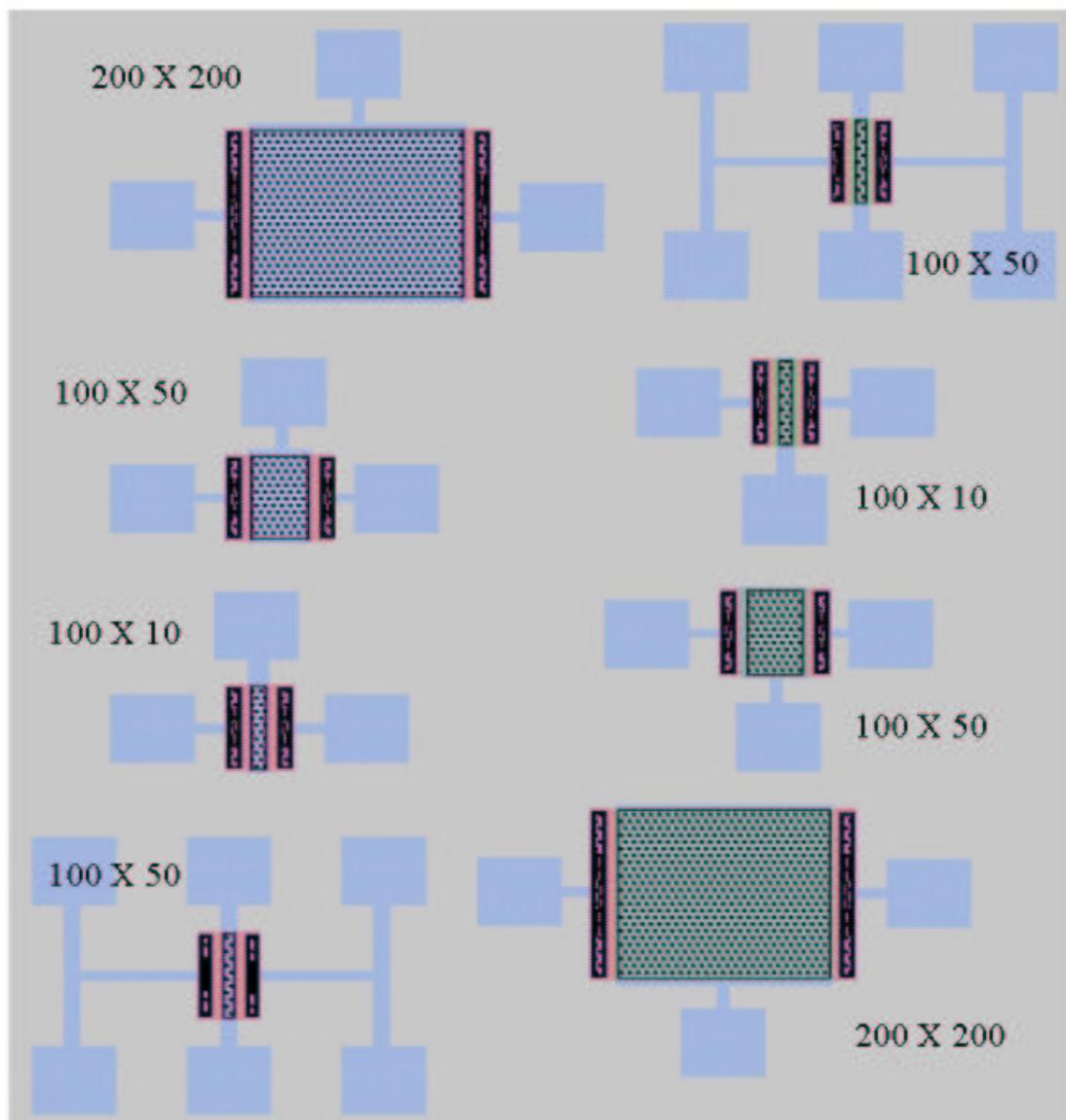
Transistor de Efeito de Campo de Junção



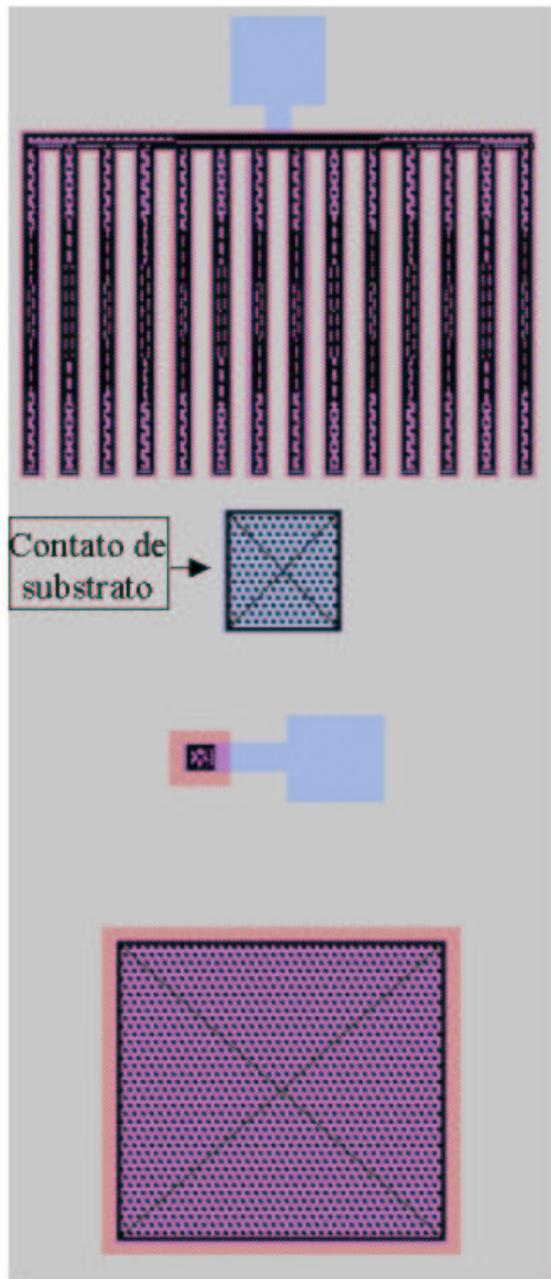
Transístores MOS

Tipo Enriquecimento

Tipo Depleção



Diodos



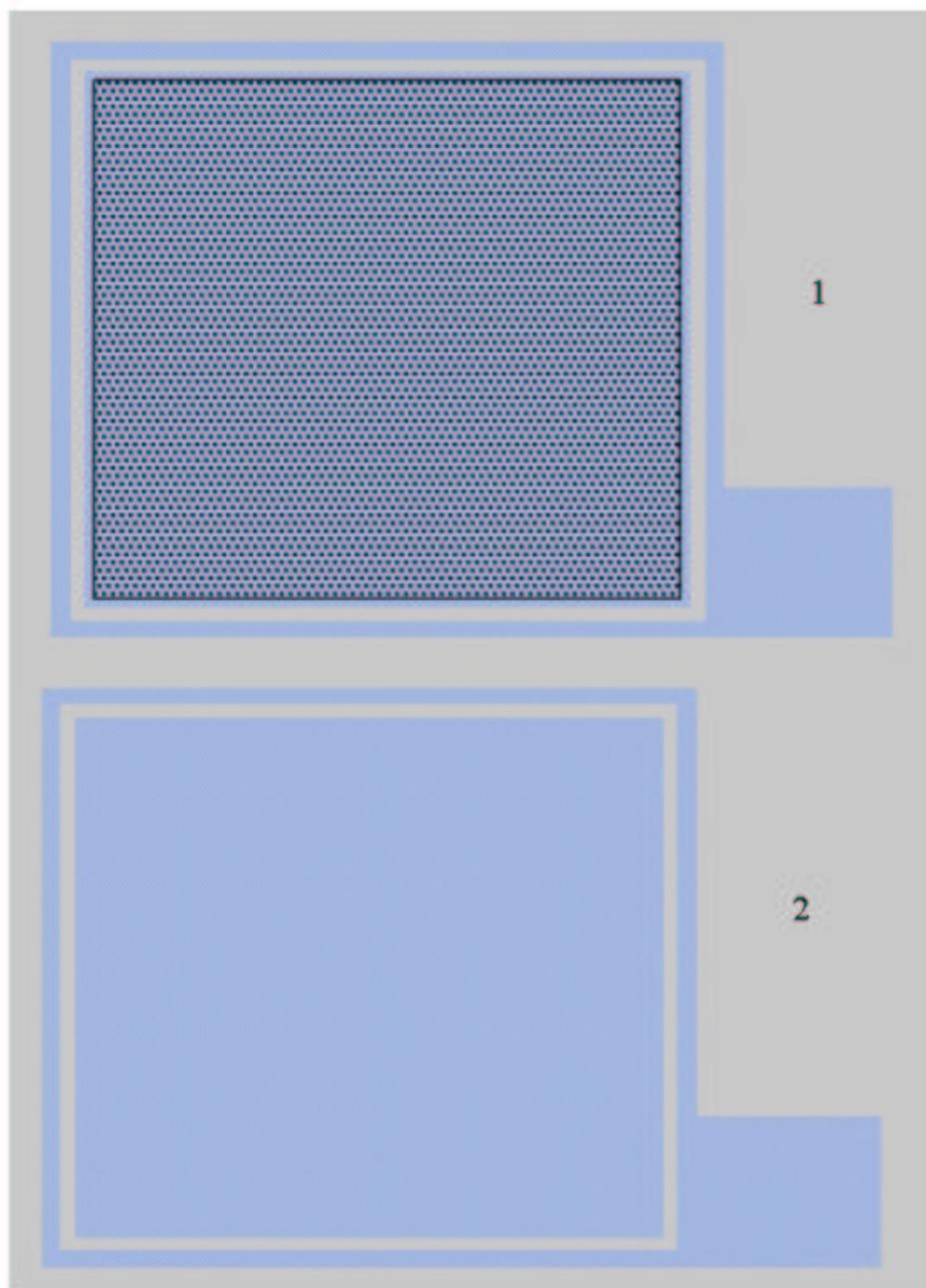
Diodo Interdigital
Área total de $93000 \mu\text{m}^2$
Perímetro: 13072 micra

Diodo de "área pequeña"
Área total de $2500 \mu\text{m}^2$
(50 X 50 micra)
Perímetro 200 micra

Diodo de " área grande"
Área total de $90000 \mu\text{m}^2$
(300 X 300 micra)
Perímetro: 1200 micra

Capacitores com anel de guarda

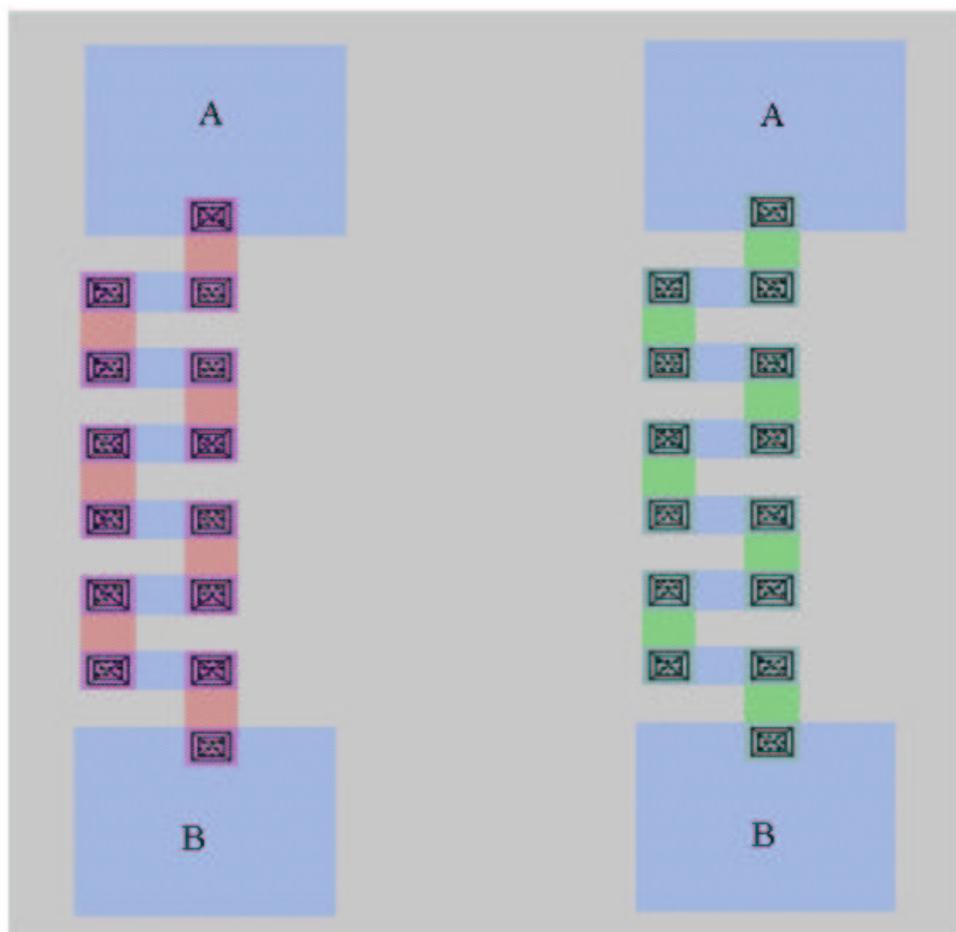
- 1) Óxido de gate - Área de 350 X 350 micra
- 2) Óxido de campo - Área de 350 X 350 micra



Cadeia de contatos
(14 contatos, com área de $12 \times 12 \mu\text{m}^2$)
Área difundida de $48 \times 16 \mu\text{m}^2$)

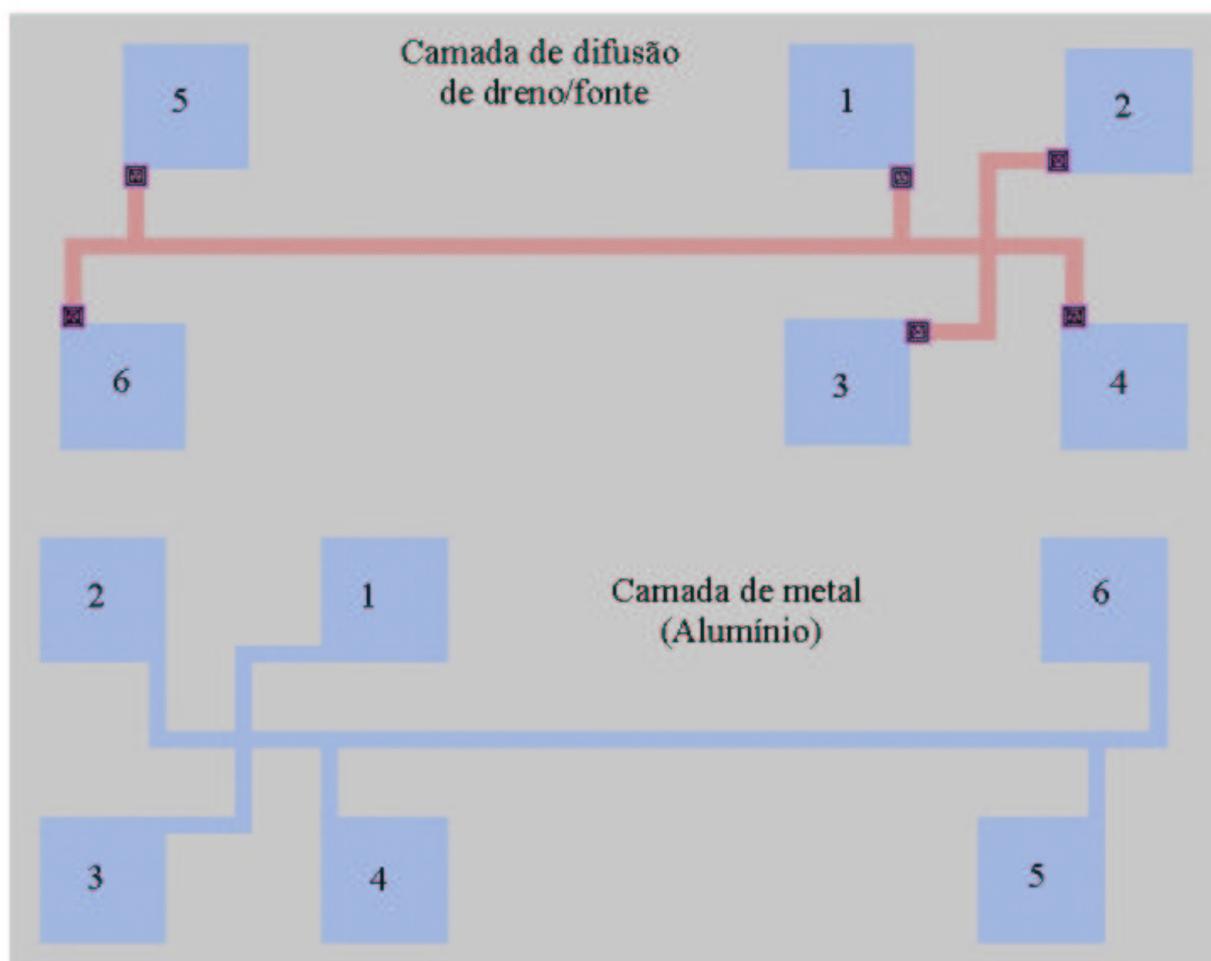
A) Entre metal e região difundida de D/S

B) Entre metal e região difundida depleção / bipolar



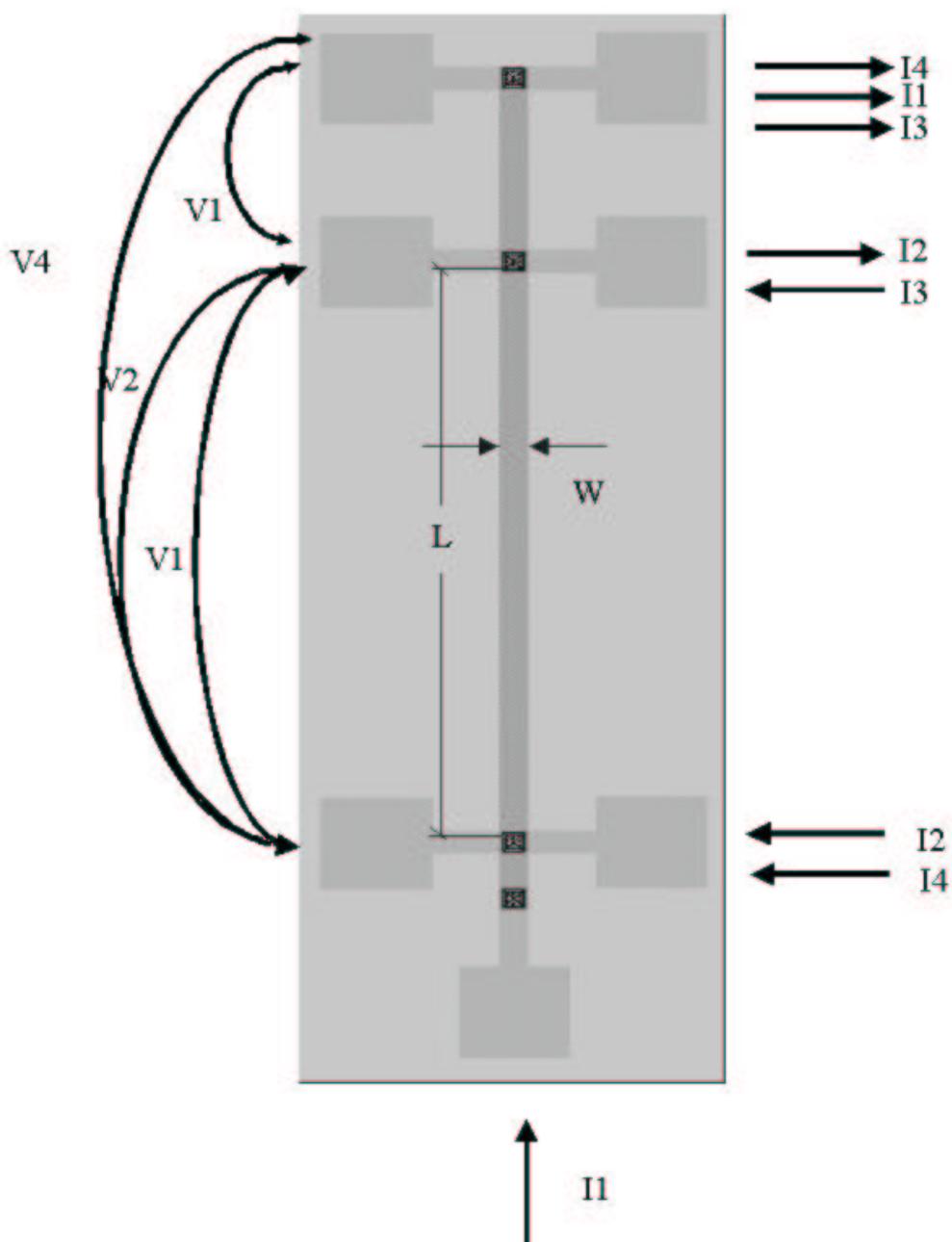
Estrutura de Medida de Resistividade e de Largura de Linha

Largura da linha: 10 micra
Comprimentos da linha: 500 micra

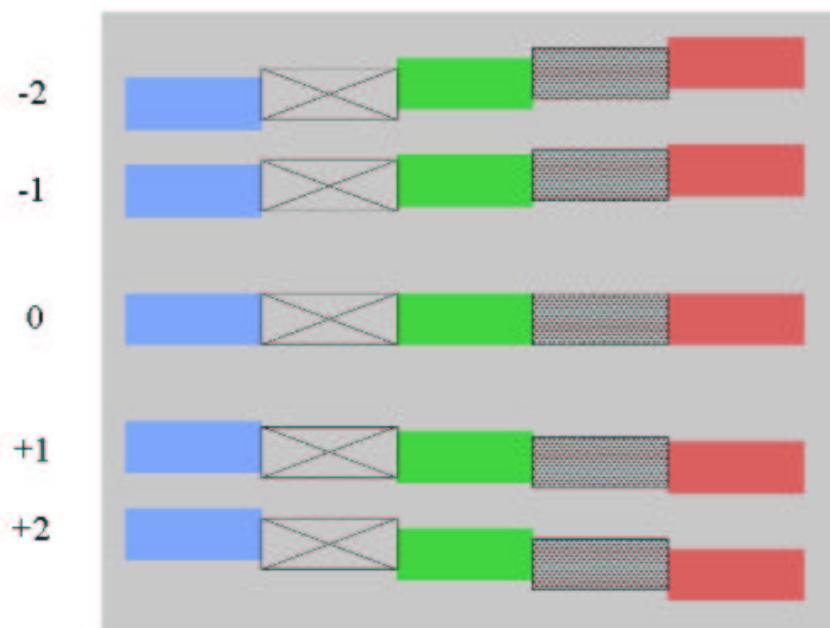
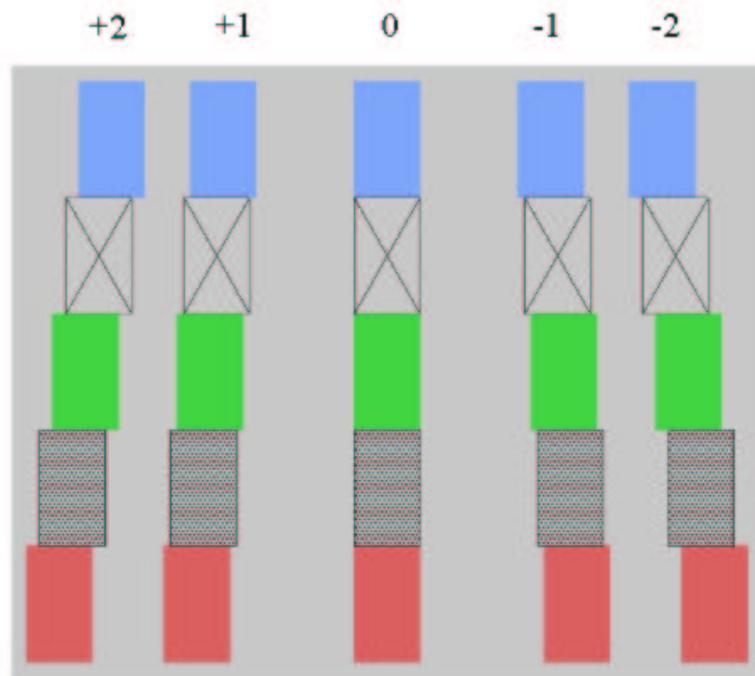


Estrutura Berger (medida de **resistência** de folha e de contato)

$L = 500$ micra
 $W = 20$ micra

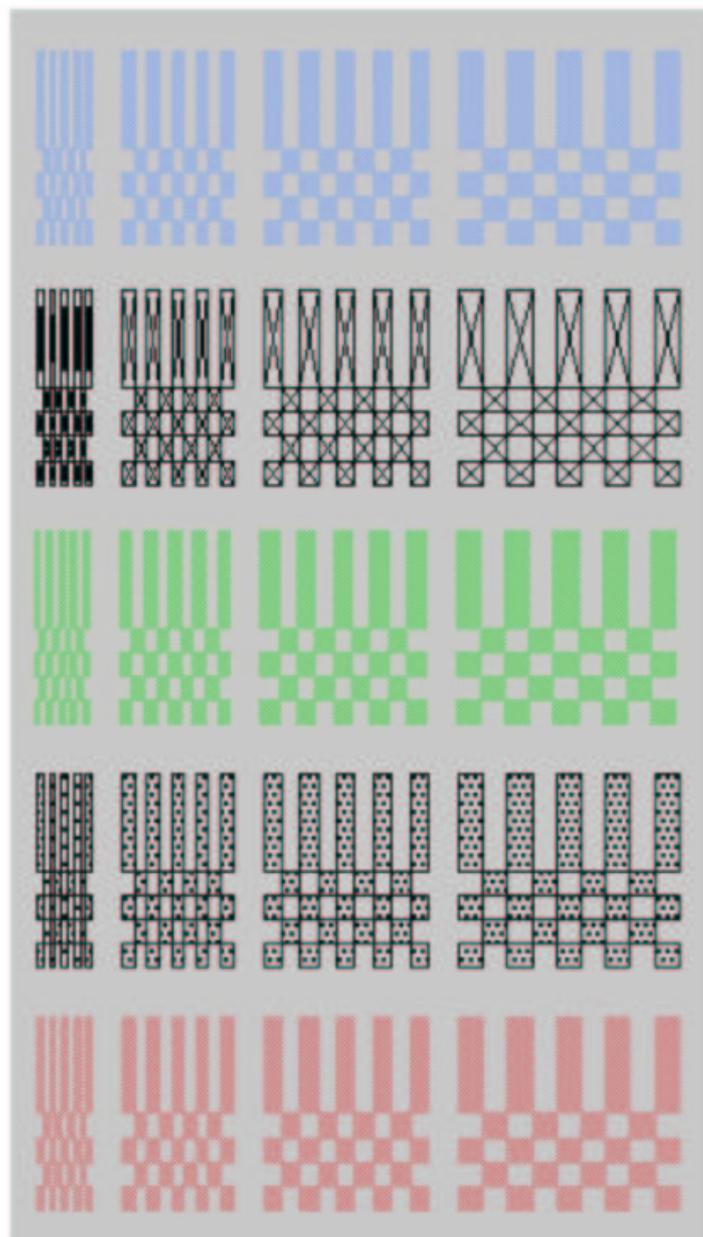


Vernier para Alinhamento (Horizontal e Vertical)



Resolução

Linhas e espaços de 2, 4, 6 e 8 micra



Under / Over Etch

