

Integração de Processos: CMOS em Si

Jacobus W. Swart
CCS e FEEC - UNICAMP

Neste capítulo apresentaremos tecnologias de fabricação de Circuitos Integrados, CI's, por meio da integração de processos. Discutiremos a integração de processos para a tecnologia CMOS, por ser esta a mais importante, ou a mais usada, na fabricação de CI's em Si. No universo de Si, a tecnologia CMOS é a tecnologia dominante, sobretudo em aplicações digitais, e continua cobrindo cada vez maior fatia do mercado de CI's. Discutiremos os vários processos envolvidos, incluindo a formação das regiões p e n de "substrato" dos 2 tipos de transistores, nMOS e pMOS respectivamente, técnicas de isolamento, projeto e fabricação do canal e do isolante de porta, obtenção de eletrodos de porta e metalização de contatos e interconexões. Por fim será apresentada uma breve discussão sobre a evolução da tecnologia.

1. Introdução à Tecnologia CMOS

A tecnologia MOS nasceu na sua versão pMOS, durante os anos 60. A tecnologia nMOS teve uma maior dificuldade tecnológica devido à presença de cargas positivas no sistema $\text{SiO}_2\text{-Si}$, causando a indução de canal tipo n na superfície do Si. Como consequência, surge uma dificuldade para isolar os transistores nMOS um do outro. Com o desenvolvimento de processos mais refinados de oxidação do Si para obtenção de filmes de SiO_2 e de tratamentos térmicos apropriados para reduzir cargas e estados de interface, a tecnologia nMOS pôde ser implementada. Durante os anos 70 e início dos anos 80, a tecnologia nMOS era a tecnologia predominante para CI's digitais, devido às seguintes vantagens: maior mobilidade dos elétrons comparado ao das lacunas no caso pMOS; alta densidade de integração, simplicidade do processo de fabricação e reduzido consumo de potência quando comparado a processos bipolares.

O conceito de tecnologia CMOS foi proposto e demonstrado em 1963 por Wanlass (1). A porta inversora CMOS é composta por transistores nMOS e pMOS em série, como mostra a Fig. 1.1a. O terminal de entrada é ligado às duas portas, de forma que uma tensão positiva coloca em condução o transistor nMOS e corta o pMOS, produzindo uma tensão zero na saída. Uma tensão zero aplicada ao terminal de entrada produz um efeito complementar, produzindo uma tensão na saída igual à tensão de alimentação, V_{DD} . Devido ao emprego dos dois tipos de transistores complementares, a tecnologia foi chamada de CMOS (MOS complementar). Para tanto necessita-se de regiões de "substrato" tipo n e outro tipo p. Isto é possível pela implementação de uma região delimitada com dopagem de tipo oposto ao do substrato e que chamaremos de ilha ou de poço (em inglês, é chamado de "well" ou "tub"). A Fig. 1.1b mostra um desenho esquemático de estrutura física CMOS com uso de substrato tipo n e ilha do tipo p.

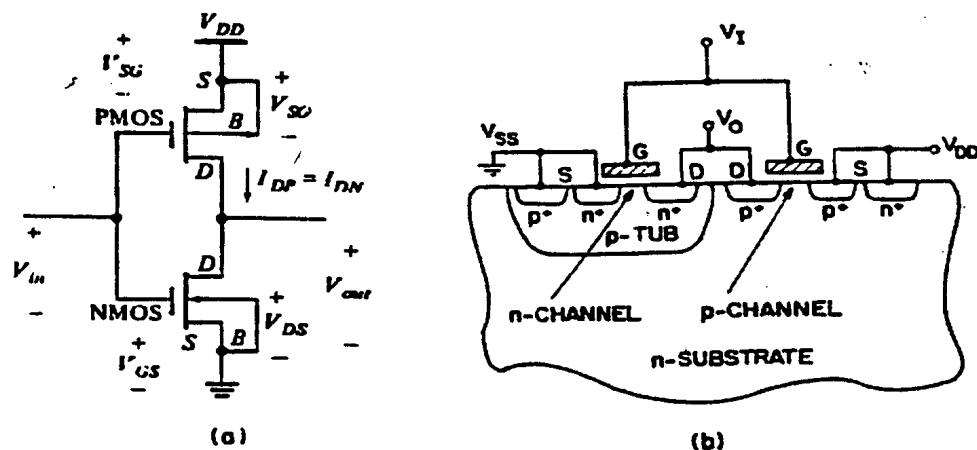


Fig. 1.1 Inversor CMOS: a) circuito esquemático e b) desenho em secção transversal da estrutura.

Uma característica fundamental de portas CMOS é que elas não consomem corrente (potência) durante um estado estático. Apenas durante a transição de um estado a outro temos consumo de corrente

(potência). Esta característica o diferencia fundamentalmente da tecnologia nMOS, bem como da pMOS, onde se tem corrente passando pela porta lógica quando esta estiver em estado “0” na saída. Esta diferença de consumo de potência entre nMOS e CMOS não justificava a opção por CMOS na maioria das aplicações digitais durante os anos 70, dado o número limitado de portas lógicas nos CI’s da época e dado a maior complexidade de integração de processo no caso CMOS. Porém, com o crescimento da densidade de integração dos CI’s, a dissipação de potência tornou-se proibitiva no caso nMOS a partir dos anos 80. Com o intuito de reduzir a potência total do CI, com a conseqüente simplificação das cápsulas (no caso de até 1 a 2 W por cápsula) e sistemas de refrigeração nos equipamentos, a opção pela tecnologia CMOS foi mandatória, apesar da maior complexidade de integração de processo. Durante os anos 60 e 70, a opção CMOS era justificável apenas em aplicações tipo móveis e espaciais, onde se visava poupar as baterias de alimentação.

Como já mencionamos, a maior vantagem e motivação pela tecnologia CMOS é a baixa dissipação de potência. Os CI’s digitais CMOS atuais com dezenas a centenas de milhões de transistores, se incendiariam se fossem feitos com outras tecnologias, tais como nMOS ou ECL bipolar. As vantagens adicionais de CMOS são as seguintes, agrupadas em 3 grupos:

- a) Vantagens de desempenho de circuito e de dispositivo:
 - A menor dissipação de potência resulta em menor temperatura de operação do CI, o que por sua vez se traduz em maior mobilidade de portadores e menores correntes de fuga de junções.
 - Circuitos CMOS apresentam boa densidade de integração, haja vista que as larguras dos 2 tipos de transistores tendem a ser cada vez mais próximas (em transistores submicrométricos, a corrente I_D depende diretamente da velocidade de saturação dos portadores, sendo que esta é praticamente a mesma para elétrons e para lacunas, ao contrário das mobilidades).
 - A área gasta em isolamento entre transistores de polaridades opostas é considerável em CMOS, porém esta pode ser eficientemente ocupada por trilhas de interconexões na pastilha (“chip”), haja vista que as interconexões ocupam uma grande fração da área da mesma em CI’s modernos.
 - No passado CMOS tinha como desvantagem a alta capacitância de entrada (entrada ligada a 2 transistores em paralelo). Esta desvantagem tornou-se negligenciável, tendo em vista que atualmente (transistores submicrométricos) a capacitância predominante é a de interconexão.
 - Circuitos CMOS apresentam maior faixa de tensão de polarização, V_{DD} , e de temperatura de operação permitida.
 - Portas CMOS possuem alta imunidade a ruído, pela grande excursão de saída ($\Delta V_s = V_{DD} - V_{ss}$).
 - Os sistemas eletrônicos resultam mais simples e baratos, tendo em vista que é permitido maior nível de integração, resultando em menor número de chips e como conseqüência menor número de buffers de entrada e de saída.
 - CMOS é um inversor tipo “sem relação”, ou seja, seus níveis lógicos independem da relação entre as dimensões dos 2 transistores, como acontece no caso nMOS. Como conseqüência temos maior facilidade de projeto e maior tolerância a variações de processos.
 - Como grande parte dos transistores localizam-se dentro de regiões de ilhas, os mesmos apresentam menor susceptibilidade a raios α (importante para portas dinâmicas, ex. memórias DRAM).
 - CMOS resulta em chaves de passagem sem perda de sinal, ao contrário do caso nMOS.
 - A característica acima torna o CMOS mais apropriado para aplicações analógicas. Adicionalmente consegue-se implementar amplificadores operacionais CMOS com menor número de transistores e menor área do que no caso nMOS e mesmo bipolar.

- b) Vantagens de confiabilidade:
 - Muitos dos mecanismos de falha em CI’s são acelerados com temperatura. Como circuitos CMOS dissipam menos potência, resulta menor temperatura e como conseqüência, maior confiabilidade.
 - Os circuitos CMOS não carregam corrente estática. Como conseqüência o fenômeno de eletromigração é menos intenso, novamente aumentando a confiabilidade.

- Degradação por elétrons quentes é menos intensa em transistores pMOS que em transistores nMOS. Assim, como em CMOS temos menos transistores nMOS que em tecnologia nMOS, temos como efeito global, menos falhas por este fenômeno. Adicionalmente, ao contrário ao caso de tecnologia nMOS, em circuitos CMOS não há necessidade para o emprego da técnica de “bootstrapping”, para aumentar corrente do transistor de carga nas transições. O uso de “bootstrapping” aumenta o campo elétrico no transistor e como consequência tem-se maior degradação por elétrons quentes.
- c) Vantagens quanto a custo:
- Durante os anos 70 havia uma grande diferença entre o número de etapas necessárias para a fabricação de CI's em CMOS e em nMOS, sendo que o CMOS requeria maior número. Atualmente, pelo aumento da complexidade das duas tecnologias, a diferença de número de etapas ficou marginal, menos que 20% [2]. Esta pequena diferença de custo pelo maior número de etapas de processamento para CMOS é largamente suplantada pela redução do custo de sistemas com CI's CMOS como descrito abaixo.
 - A maior facilidade de projeto em CMOS reduz o custo de projeto e apresenta vantagens comerciais pela redução do tempo para o lançamento de um produto.
 - Devido à baixa dissipação de potência do CI em CMOS, fica permitido o uso de encapsulamento mais simples e barato. Este item representa uma larga fatia do custo do CI e dos sistemas. Pelo mesmo fato podemos usar maior nível de integração com a consequente redução do número de chips e redução do custo de montagem do sistema e aumento na confiabilidade do mesmo.

Apesar das grandes vantagens mencionadas para CMOS, ela também apresenta algumas desvantagens como listamos abaixo:

- CMOS é vulnerável à descarga eletrostática como todas as tecnologias MOS.
- os transistores MOS são susceptíveis a efeitos de canal curto e de elétrons quentes quando o comprimento do canal for menor que aproximadamente $2\ \mu\text{m}$.
- a necessidade de fabricar concomitantemente transistores de boa qualidade tipo nMOS e tipo pMOS resulta em maiores dificuldades de fabricação quando comparado a um processo nMOS.
- há dificuldades no escalamento (redução escalar das dimensões) de transistores pMOS quando o material de porta de Si-poli n^+ produz também a impossibilidade de contato direto de linha desta com uma região p^+ de fonte/dreno de transistor pMOS.
- A necessidade de contatos ôhmicos com as ilhas implica em gasto de área maior do chip, comparado a processo nMOS.
- A formação apropriada da ilha por processo de difusão requer um processo a alta temperatura por tempo longo. Isto representa um alto custo e possibilidade de formação de defeitos em lâminas de grande diâmetro.
- CMOS é susceptível a disparo de ruptura tipo “Latch-up”. Este efeito será analisado no item seguinte e implica em processos de fabricação especiais e em gasto de área para formação de anéis de guarda para suprimir o mesmo.

2. “Latch-up” em CMOS

A estrutura física de inversor CMOS inclui um tiristor embutido, formada pela associação em série das regiões p-n-p-n, como mostrado na Fig. 2.1a. Este tiristor pode ser analisado como formado por 2 transistores bipolares, como ilustrado na Fig.2.1b.

Em condições normais todas as junções estão reversamente polarizadas e os transistores bipolares cortados. Existem no entanto, várias causas que podem momentaneamente polarizar diretamente uma das junções de base-emissor dos 2 transistores. Caso isto ocorra e caso o produto dos betas dos 2 transistores for maior que um ($\beta_n\beta_p > 1$), os 2 transistores manter-se-ão conduzindo, com formação de um caminho de baixa impedância entre a fonte V_{DD} e a linha de terra. Isto causa o mal funcionamento do circuito, e caso, a corrente da fonte não for limitada, um aquecimento excessivo e danificação do componente. A curva característica do disparo da ruptura “latch-up” é mostrada na Fig. 2.2.

A polarização direta de uma das junções base-emissor dos transistores ocorre por correntes espúrias nas regiões resistivas de substrato ou das ilhas. Estes resistores presentes devem ser incluídos no modelo como mostrado na Fig.2.3. Quanto maior estas resistências, maior será a queda ôhmica nas mesmas e mais provável o disparo “latch-up”.

Várias podem ser as origens das correntes através dos resistores que disparam o “latch-up”:

- corrente de fuga (ou de “breakdown”) da junção ilha-substrato.
- corrente de fuga (ou de “breakdown”) das junções de dreno.
- corrente de carga ou descarregamento da capacitância da junção ilha-substrato produzido por transitório da alimentação V_{DD} .
- corrente induzida por radiação
- corrente de substrato gerado por ionização por impacto por portadores quentes nos transistores MOS
- corrente por transistores MOS de campo parasitários nas bordas das ilhas.
- um pulso de tensão de ruído no terminal de entrada do circuito com valor fora do intervalo $(V_{SS} - V_{DD})$.
- um pulso de tensão de ruído no terminal de saída do circuito com valor fora do intervalo $(V_{SS} - V_{DD})$

A partir do conhecimento do fenômeno e das suas origens das correntes resulta que para evitar ou minimizar o disparo “latch-up” devemos:

- a) minimizar as resistências parasitárias entre o “emissor” e o contato do substrato ou da ilha.
- b) reduzir o ganho dos transistores bipolares parasitários.

Estes objetivos podem ser alcançados por vários cuidados de “layout” e/ou do projeto da estrutura física do CMOS e portanto do processo de fabricação, como será visto ao longo dos próximos itens.

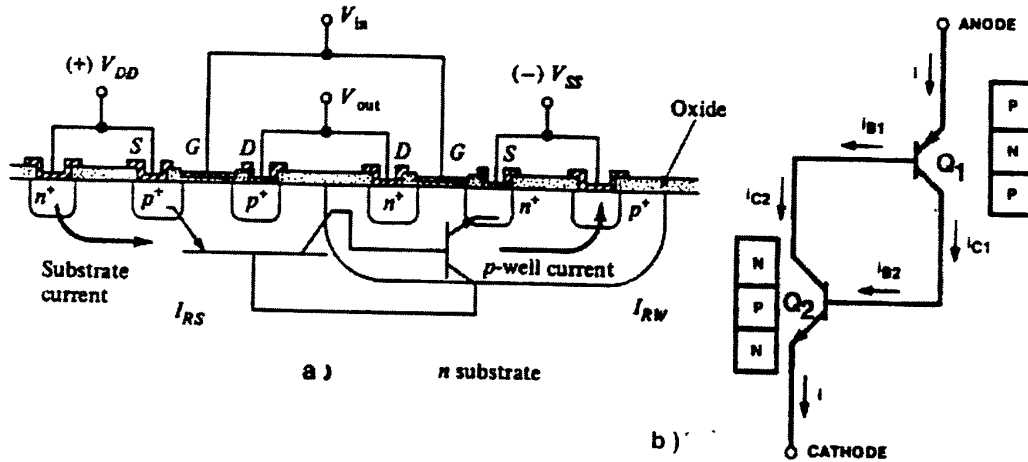


Fig.2.1 a) Desenho em seção transversal de estrutura CMOS com indicação da formação dos transistores bipolares parasitários e b) modelo equivalente ao tiristor embutido.

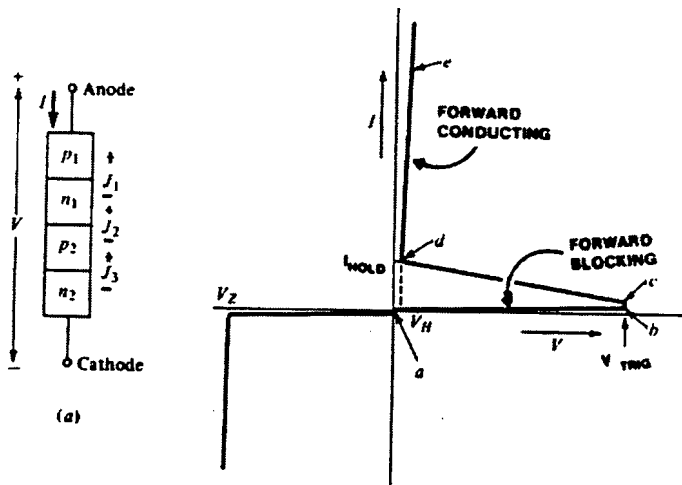


Fig. 2.2 a) Estrutura de um tiristor e b) sua curva característica.

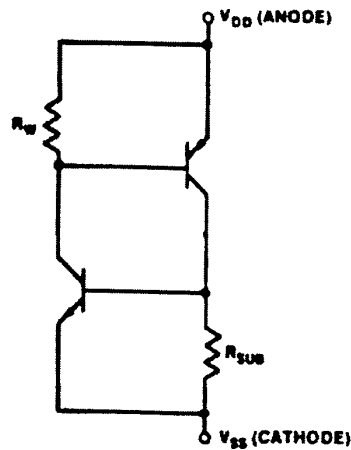


Fig. 2.3 Modelo completo do tiristor parasitário em CMOS com inclusão das resistências de substrato e de ilha.

3. Seqüência de Integração de Processos para CMOS

O projeto da estrutura física CMOS e da sua seqüência de integração de processos é uma tarefa complexa que envolve a consideração de vários compromissos:

- dificuldade e custo de processamento.
- área ocupada ou densidade de integração.
- desempenho dos transistores.

supressão de efeitos de segunda ordem.

Para otimizar o desempenho deveríamos reduzir o efeito de corpo e capacitâncias. Isto implica em reduzir os níveis de dopagem de corpo de substrato e da ilha. Por outro lado, níveis baixos de dopagem afetam adversamente corrente de "punchthrough" (perfuração FET), efeito de canal curto, tensão de limiar das regiões de campo e susceptibilidade a "latch-up". Ou seja, para alta densidade de integração devemos usar mais altos níveis de dopagem, com pagamento de um preço por isto. Imunidade a "latch-up" tem um compromisso com densidade de integração, ou seja, com formação de anéis de guarda de baixa resistência e com maior distância entre os transistores nMOS e pMOS.

A Fig. 3.1 mostra um desenho esquemático de um corte transversal de uma estrutura típica CMOS. Para se obter esta estrutura temos os seguintes processos, que serão descritos nos itens 4 a 9 abaixo:

- formação da(s) ilha(s);
- técnicas de isolamento entre dispositivos;

- obtenção do canal e do isolante de porta;
- obtenção da porta;
- obtenção de regiões de fonte/dreno;
- formação dos contatos e de linhas de interconexões.

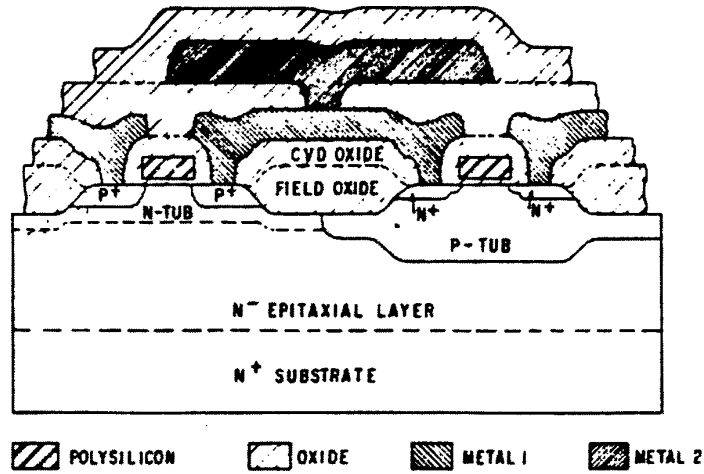


Fig.3.1 Desenho esquemático de secção transversal de estrutura típica CMOS

4. Tipos de Estruturas de Ilhas para CMOS

Existem várias opções de estruturas e de processos de obtenção de ilhas. Citamos as seguintes: ilha p, ilha n, ilha em camada epitaxial, ilhas gêmeas, ilha retrogradual e ilhas completamente isoladas. A Fig. 4.1 ilustra algumas das estruturas CMOS. Analisamos estas opções em seguida.

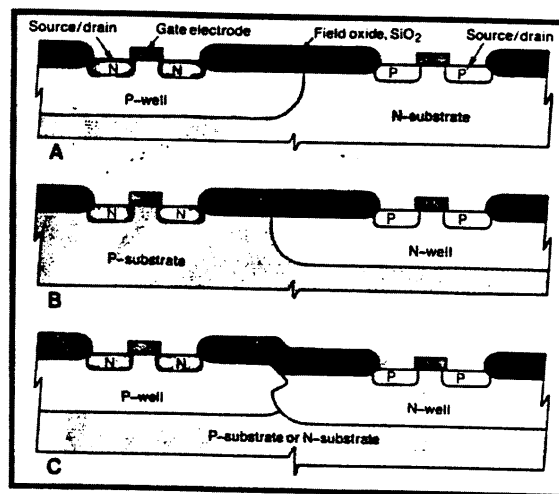


Fig. 4.1 Desenho esquemático de estruturas CMOS tipo a) ilha p, b) ilha n e c) ilhas gêmeas.

a) Ilha p: A estrutura CMOS com ilha p foi a primeira opção proposta junto com a invenção. Ela era a opção natural na época devido aos seguintes fatos:

- deseja-se $V_{TN} \approx |V_{TP}| \approx 1V$.

- os termos V_T associados às cargas de interface e do óxido e à diferença das funções trabalho metal-semicondutor, são negativos.
- os dois fatos acima resultam em necessidade de dopagem N_D (região n) menor que N_A (região p), $N_D/N_A \approx 10$.
- Não existia a técnica de implantação iônica para dopagem e portanto devia-se usar dopagem a partir de processo de difusão, o que obriga a dopagem da ilha ser maior que a do substrato.

Desta forma, o uso de ilha p, com substrato tipo n, era a única opção. Adicionalmente, na época, a tecnologia MOS usada era a pMOS e não a nMOS. Tecnologia pMOS também emprega substratos tipo n.

A obtenção da ilha é tipicamente obtida pela seguinte seqüência de etapas de processos, como ilustrado na Fig. 4.2: uso de lâmina tipo n, orientação (100), resistividade da ordem de $5 \Omega \cdot \text{cm}$; limpeza; oxidação ($\sim 200 \text{ nm}$); fotogração com corrosão parcial do filme de SiO_2 (sem remover o fotorresiste); implantação iônica de $^{11}\text{B}^+$ (valores típicos: $E \sim 80 - 200 \text{ KeV}$, Dose $\sim 2 - 4 \times 10^{12}/\text{cm}^2$); remoção do fotorresiste; recozimento em forno a alta temperatura e tempo longo para difusão do dopante até profundidade apropriada; durante a mesma etapa pode haver uma pequena oxidação da superfície. A profundidade, tipicamente de algumas micra, deve atender ao compromisso de reduzir área (difusão lateral), reduzir temperatura e tempo de processo para reduzir custo e possíveis defeitos mecânicos e cristalográficos na lâmina, ter profundidade suficiente para reduzir e/ou suprimir o efeito “latch-up” e o efeito “punchthrough” da estrutura de transistor bipolar vertical parasitário, formado por região de fonte/dreno – ilha – substrato.

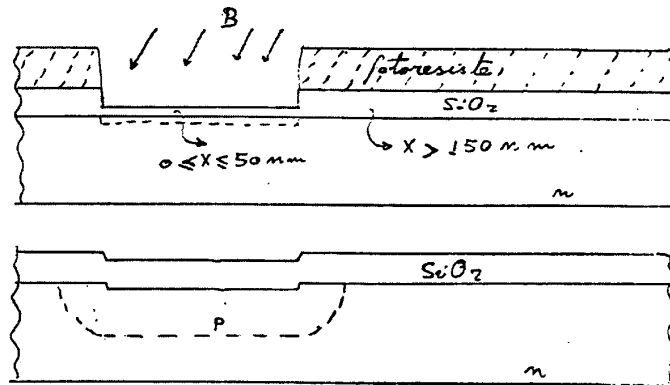


Fig. 4.2 Processo típico de formação de ilha p para CMOS.

- b) Ilha n: A versão CMOS tipo ilha n só foi possível ser desenvolvida com a disponibilidade da técnica de dopagem por implantação iônica, permitindo o ajuste das tensões limiar, V_T , dos transistores independentemente do nível de dopagem da ilha e do substrato. Como motivações para o desenvolvimento desta versão podemos listar:
- é uma opção natural para fabricantes que migraram de tecnologia nMOS para CMOS, pois emprega o mesmo substrato e estrutura do transistor nMOS para ambas as tecnologias.
 - esta versão otimiza mais o transistor nMOS em relação ao pMOS, pois o transistor no substrato (nMOS no caso), apresentará o menor efeito de corpo (variação de V_T com polarização da tensão fonte-substrato). Também as capacitâncias de junção são menores para o transistor fabricado diretamente no substrato. Isto é vantajoso para circuitos que empregam mais transistores nMOS comparado ao de transistores pMOS, como por exemplo em circuitos dinâmicos. Porém, podemos dizer que há um melhor balanceamento entre os transistores no caso de ilha p, já que o transistor pMOS apresenta menor mobilidade. Assim, no caso de circuitos com igual número de transistores nMOS e pMOS, poderia se preferir a opção ilha p.
 - substratos tipo p são mais baratos, de melhor qualidade e menos sensíveis a defeitos induzidos por processamento (3).
 - a difusão de fósforo da ilha n requer um tempo e/ou temperatura um pouco menor que no caso de ilha p de boro.

- fica dispensada uma implantação extra de fósforo nas regiões passivas tipo n, devido ao fenômeno de amontoagem (pile-up) de fósforo na superfície do Si durante a oxidação de campo, causado pela segregação do fósforo pelo óxido de silício.
- transistor nMOS produz mais corrente de substrato por ionização por impacto dos elétrons do canal. Assim a localização deste transistor diretamente no substrato, facilita o escoamento deste componente de corrente.

A seqüência de etapas de processo de ilha é análoga à do caso ilha p, como mostrado na Fig. 4.2, apenas trocando a implantação iônica de $^{11}\text{B}^+$ por implantação iônica de $^{31}\text{P}^+$.

c) ilhas gêmeas: Neste caso, usa-se um substrato tipo n^+ ou p^+ com alto nível de dopagem. Sobre este substrato cresce-se epitaxialmente uma camada de Si não dopada. Em seguida, realiza-se as etapas de formação das duas ilhas p e n, como mostrado na Fig. 4.1. Pode-se formar as duas ilhas de forma auto-alinhada como ilustrado na Fig. 4.3. A seqüência de etapas é como segue:

- oxidação de fina camada de SiO_2 ;
- deposição de filme de Si_3N_4 ;
- fotogração com corrosão do filme de nitreto para definição das regiões de ilhas n;
- implantação iônica de $^{31}\text{P}^+$;
- recozimento e oxidação local do Si, com formação de filme de SiO_2 sobre as ilhas n;
- remoção do filme de nitreto;
- implantação iônica de $^{11}\text{B}^+$;
- recozimento para penetração dos dopantes nas regiões das duas ilhas;
- finalmente retira-se a camada de SiO_2 presente sobre as ilhas n.

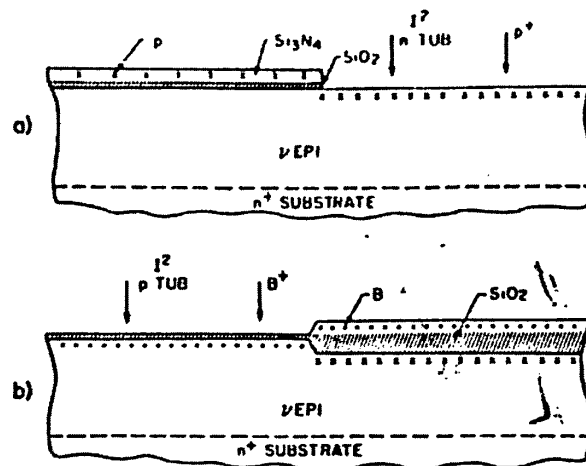


Fig. 4.3 Ilustração das etapas de formação de ilhas gêmeas de forma auto-alinhada

A motivação pela estrutura de ilhas gêmeas para CMOS é que para transistores de pequenas dimensões, o projeto dos perfis de dopagem torna-se bem crítica. Desta forma, é muito vantajoso que cada ilha possa ser formada independentemente, sem relação com o nível de dopagem da outra ilha (lembramos que no caso de ilha p (n) tem-se que $(N_A \geq 10 \times N_D)$ ($N_D \geq 10 \times N_A$)).

Se ao invés de crescer-se uma camada epitaxial não dopada, crescermos uma camada com dopagem típica de uma das ilhas, basta contradopar a região da outra ilha por implantação iônica como no caso da estrutura de ilha p ou ilha n. Neste caso, permanece no entanto, a relação mínima entre as dopagens. O uso de substrato altamente dopado sob a camada epitaxial resulta num alto benefício para o suprimento de “latch-up”, pela redução substancial da resistência de substrato.

d) Ilha Retrogradual: nesta estrutura tem-se um perfil de dopagem da ilha com perfil retrogradual, ou seja, tem-se um perfil com maior concentração de portadores em posição abaixo da superfície. Isto traz um grande benefício na supressão de “latch-up”, podendo-se chegar a uma estrutura totalmente livre de “latch-up”. Isto se dá pelo fato que tal perfil reduz o β do transistor bipolar vertical e também reduz a resistência em série da ilha. A Fig. 4.4 compara os perfis típicos de estrutura ilha p convencional e ilha p

retrogradual. No caso de estrutura de ilha retrogradual, uma implantação iônica a alta energia (400 – 600 keV) é realizada após a formação do óxido de campo de isolamento entre dispositivos, resultando na estrutura de ilha como ilustrado na Fig. 3.1.

Como vantagens adicionais à ilha retrogradual temos a não necessidade de longo recozimento de penetração de dopantes e maior densidade de integração permitida. Esta opção traz no entanto também algumas desvantagens, tais como capacitâncias de junções fonte/dreno e fator de corpo maior.

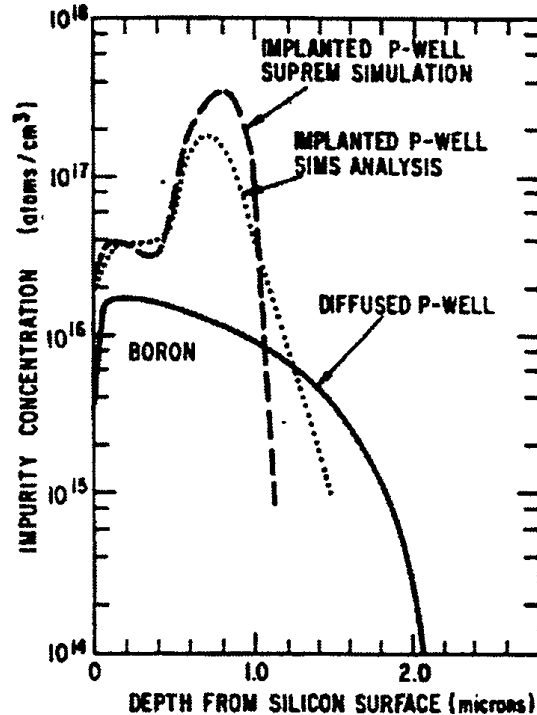


Fig. 4.4 Perfil de dopagem de ilha p convencional e retrogradual.

- e) CMOS com ilhas totalmente isoladas: nesta classe de estrutura CMOS temos CMOS/SOS (Silicon-on-Sapphire) e CMOS/SOI (Silicon-on-Insulator). Já nos anos 60, desenvolveu-se a tecnologia de crescimento epitaxial de filme sobre substrato isolante de safira (lâmina monocristalina de Al_2O_3). Substratos de safira são muito caros e a heteroepitaxia no caso não é sem problemas. A alternativa SOI é mais recente e consta da obtenção de lâminas de Si com filme de SiO_2 enterrado abaixo da superfície, deixando uma fina camada superficial cristalina de Si. Existem algumas técnicas para se obter tal estrutura, entre estas citamos (4):
- 1) processo SIMOX (Separation by Implanted Oxygen). Implanta-se uma alta dose ($\sim 2 \times 10^{18}/\text{cm}^2$) de $^{16}\text{O}^+$ com energias de ~ 150 a 180 keV e com o substrato mantido a temperatura de $\sim 400^\circ\text{C}$ para que se evite a amortização da superfície. Em seguida é feito um recozimento a alta temperatura para formar o filme de SiO_2 enterrado e para recristalizar a camada superficial de Si, com crescimento epitaxial em fase sólida a partir da superfície, até encontrar a camada isolante.
 - 2) Processo ZMR (Zone-Melting Recrystallization). Deposita-se filme de Si-policristalino sobre lâmina de Si oxidada. Em seguida realiza-se uma fusão localizada do filme por meio de uma tira móvel de grafite ou por meio de lâmpada focalizada. A lâmina toda é mantida a alta temperatura (1100 a 1300°C) para evitar tensão mecânica. Fazendo uma varredura da fonte de calor sobre a superfície tem-se a fusão local, seguida por re-cristalização do filme ainda em forma policristalina, porém com grãos de grandes dimensões (20 a $50 \mu\text{m}$).
 - 3) Processo de colagem de lâminas. Inicialmente faz-se uma colagem de duas lâminas oxidadas, com o óxido entre elas sendo o meio químico de colagem. Existem algumas opções de processos para realizar esta colagem, feita a alta temperatura. Após a colagem faz-se o afinamento a partir de uma das superfícies para finalizar com uma fina camada de Si sobre a camada de óxido intermediária.

Após a obtenção da lâmina SOI passa-se à formação das ilhas totalmente isoladas para CMOS como ilustrado na Fig. 4.5.

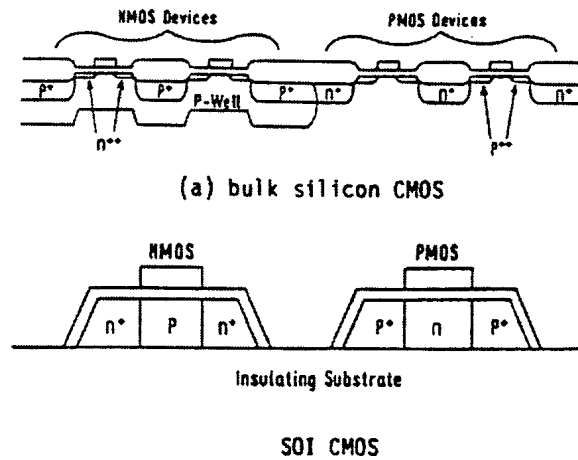


Fig. 4.5 Ilustração de corte transversal de estrutura CMOS/SOI ou CMOS/SOS.

5. Isolação entre Dispositivos.

A isolamento entre dispositivos deve ser tal que o funcionamento do mesmo seja determinado apenas pelos estímulos elétricos aplicados a seus 3 ou 4 terminais, sem interferência de potenciais em dispositivos vizinhos e ausência de correntes elétricas provenientes de outros dispositivos pelo material semiconductor. Em CMOS devemos garantir a isolamento entre dispositivos vizinhos do mesmo tipo bem como entre dispositivos vizinhos complementares. A isolamento entre dispositivos vizinhos do mesmo tipo deve ser feita de forma similar à feita em tecnologia nMOS ou pMOS, ou seja, pelo uso de isolante espesso nas regiões de campo e dopagem superficial suficientemente alta nestas regiões para evitar a indução de canal de inversão da superfície. A isolamento entre dispositivos complementares é crítica em CMOS, tendo em vista sua influência sobre o disparo “latch-up”, em adição aos requisitos gerais de isolamento citados acima.

Um primeiro aspecto da isolamento é passar as superfícies das junções. Isto é comumente feito através da oxidação da superfície que, como é sabido desde os anos 50, reduz a corrente de fuga de junções de um fator 10 a 100 (5). O processo de oxidação seguido por tratamentos térmicos apropriados reduz drasticamente as cargas e a densidade de estados de superfície do Si, reduzindo assim os centros de recombinação de portadores na superfície. Adicionalmente, o óxido formado isola eletricamente as junções impedindo o escoamento de elétrons pela superfície.

Como segundo aspecto da isolamento entre dispositivos temos que evitar que haja inversão da condutividade de superfície, ou seja, que não haja formação de um canal de superfície induzido por cargas no óxido ou por uma linha de interconexão passando por cima do óxido de campo. Isto é equivalente a impor que a tensão de limiar da linha de interconexão seja bem maior que a máxima tensão utilizada na mesma ou no circuito. Pela relação da tensão de limiar de uma estrutura MOS dada abaixo, nota-se que podemos aumentar a mesma pelo aumento da espessura do óxido e pelo aumento do nível de dopagem do semiconductor na superfície.

$$V_{V_T} = -\frac{Q_{SS}}{C_{ox}} + \Phi_{MS} + 2 \cdot \Phi_F + \frac{1}{C_{ox}} \sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N_A (2 \cdot \Phi_F - V_{BS})} \quad (4.1)$$

Onde: Q_{SS} é a carga efetiva na interface SiO_2/Si ; C_{ox} é a capacitância do óxido por unidade de área; Φ_{MS} é a diferença de função trabalho metal-semiconductor; N_A é a dopagem do semiconductor (assumido uniforme); q é carga do elétron; ϵ_{Si} é a constante dielétrica do silício e Φ_F o potencial de Fermi no semiconductor. A fórmula dada é para substrato tipo p. Fórmula similar existe para substrato tipo n.

No desenvolvimento de processos e estruturas de isolamento entre dispositivos deve-se considerar os seguintes compromissos: planaridade da superfície final e distância mínima permitida entre dispositivos versus complexidade do processo e geração de defeitos no cristal. Inúmeros processos e estruturas foram propostos (2). A técnica mais popular inventada foi a chamada de LOCOS (Local Oxidation of Silicon). Esta

técnica processa-se pela seguinte seqüência, como ilustrado na Fig. 5.1, no caso CMOS, após a formação da ilha p:

- remoção de todo óxido da superfície;
- oxidação do Si para obter fina camada de SiO_2 de almofada (pad oxide) para acomodar filme de nitreto;
- deposição de filme de Si_3N_4 por processo CVD;
- fotogravação do filme de nitreto, protegendo as áreas ativas dos transistores nMOS e pMOS;
- realizar etapa de fotogravação e etapa de implantação iônica para aumentar a dopagem superficial das regiões de campo p e repetir a mesma seqüência para regiões de campo n;
- realização de oxidação térmica para obter um filme espesso (800 a 1200 nm) de óxido de silício. Esta oxidação dar-se-á apenas nas regiões não protegidas por filme de nitreto;
- remover o filme de nitreto.

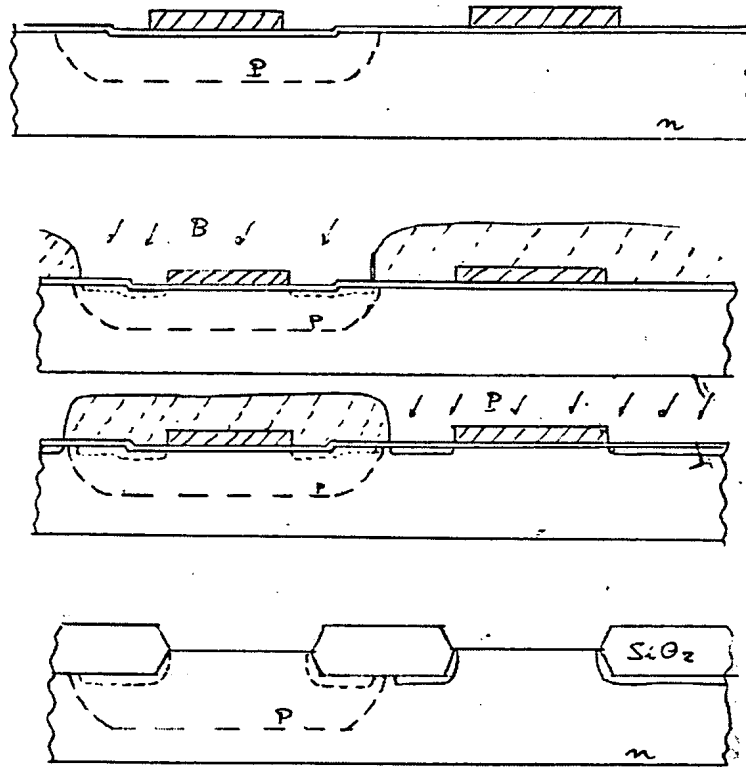


Fig. 5.1 Ilustração das etapas de processo da técnica de isolamento LOCOS

Como durante o processo de oxidação térmica ocorre um consumo de silício, observa-se que o filme de SiO_2 resulta do tipo semi-embutido (semi-recessed) e portanto não totalmente plana. O processo LOCOS tem no entanto suas limitações, além da não planaridade, que impedem o escalamento contínuo das dimensões dos transistores e das distâncias entre transistores. Vários processos alternativos foram propostos como soluções para tecnologias de menores dimensões. Entre estas citamos:

- a) SILO (Sealed-Interface Local Oxidation) (6);
- b) SWAMI (Sidewall-Masked Isolation Technique) (7);
- c) SPOT (Self-aligned Planar-Oxidation Technology) (8);
- d) FUROX (Fully Recessed Oxide) (9);
- e) OSELO II (10)
- f) BOX Isolation (Buried-Oxide) (11);
- g) Trench Isolation (12) ;
- h) SEG (Selective Epitaxial Growth) (13).

Na isolação entre dispositivos pode se usar técnicas como LOCOS ou suas variantes: SILO, SWAMI, SPOT, OSELO e BOX. Estas mesmas técnicas também podem ser usadas para a isolação entre transistores complementares. No caso de se usar a técnica LOCOS, incluindo implantação iônica de anéis de guarda como mostrado na Fig. 5.1, obtém-se boa isolação desde que a distância entre regiões n^+ e p^+ sejam de pelo menos $7 \mu\text{m}$ (3). Estas distâncias podem ser fortemente reduzidas por técnicas mais radicais de isolação como “trench isolation” e SEG.

A técnica de isolação por trincheira envolve a seguinte seqüência de etapas de processos:

- deposição de filme de Si_3N_4 e fotogração com abertura de janelas para as trincheiras de isolação.
- corrosão das trincheiras em formato U, por meio de corrosão úmida em solução KOH/isopropanol seguido por corrosão seca em sistema RIE, até a profundidade de 3 a $6 \mu\text{m}$.
- oxidação do Si (seguido opcionalmente por deposição de filme de nitreto).
- preenchimento da trincheira com Si-poli por deposição por CVD seguido por corrosão (etch back).
- oxidação da superfície.

A Fig. 5.2 mostra um desenho esquemático da estrutura. A técnica de isolação por trincheira é muito interessante para isolar as bordas das ilhas, ou seja, isolação entre dispositivos complementares. Uma trincheira de profundidade moderada afunda ($2.5 \mu\text{m}$), isola toda a borda da junção das ilhas, reduzindo drasticamente o beta do transistor bipolar lateral. A trincheira pode ser bem estreita ($1.6 \mu\text{m}$). Isto permite que os transistores complementares possam ser fabricados bem próximos entre si ($2.0 \mu\text{m}$) [12].

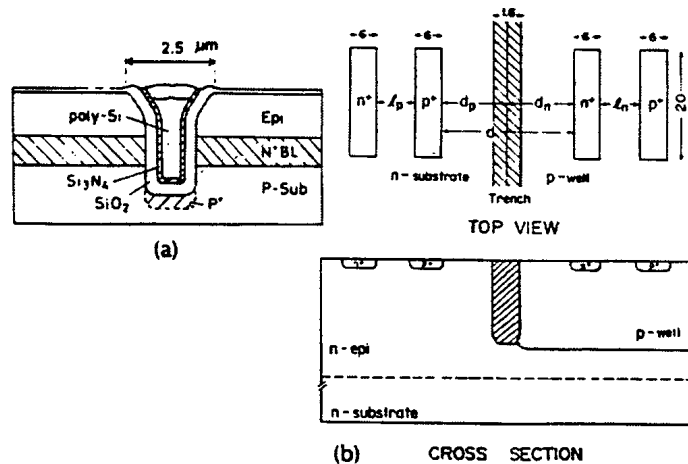


Fig. 5.2 Desenho Ilustrativo de estrutura de isolação por trincheira em CMOS epitaxial.

No caso do preenchimento da trincheira ser feito com Si-poli dopado, pode-se usá-lo como um capacitor. Isto é empregado em memórias tipo DRAM, onde se necessita de capacitores de armazenamento de carga, sem ocupar muita área.

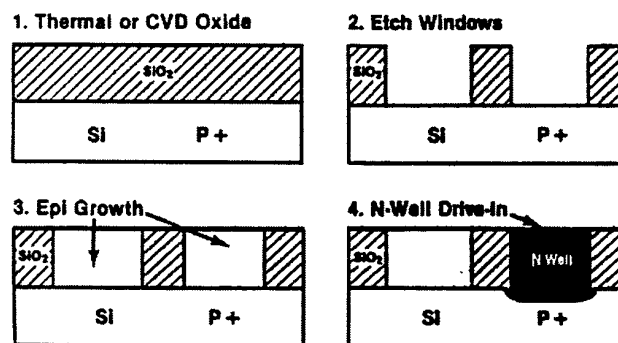


Fig. 5.3 Seqüência de etapas de processo para isolação de ilhas CMOS por crescimento epitaxial seletivo (SEG).

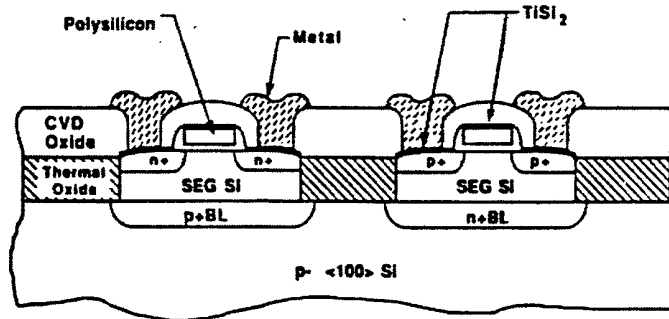


Fig. 5.4 Corte transversal esquemático de estrutura CMOS de ilhas gêmeas com isolamento por crescimento epitaxial seletivo (SEG).

A outra técnica radical de isolamento é a SEG. Nesta técnica realiza-se um crescimento epitaxial seletivo em janelas abertas em filme de óxido de silício de 1 a 2 μm de espessura, como ilustra a seqüência da Fig. 5.3. Antes do crescimento epitaxial seletivo pode-se realizar implantações iônicas seletivas nas janelas para formar camadas enterradas p^+ e n^+ para reduzir as resistências nas ilhas. A Fig. 5.4 mostra o desenho esquemático de estrutura CMOS obtido por este processo.

6. Obtenção do Canal e Isolante de Porta

O canal e o isolante de porta do transistor MOS constituem a sua parte intrínseca. Eles determinam o comportamento básico do transistor, além de efeitos de segunda ordem. Os parâmetros básicos incluem em primeira ordem a tensão limiar, V_T , a transcondutância, g_m (variação da corrente I_{DS} com a tensão V_{GS}), e fator de corpo (variação de V_T com a tensão fonte-substrato, V_{BS}). A transcondutância, por sua vez, inclui o parâmetro de mobilidade dos portadores. Como efeitos de segunda ordem temos: efeitos de canal curto, "punchthrough" e efeitos de portadores quentes.

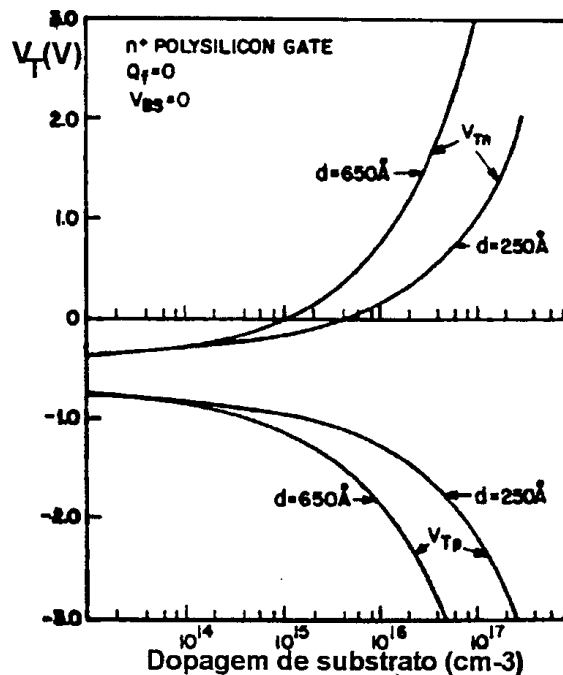


Fig. 6.1 Variação de V_T de transistores MOS com porta de Si-poli tipo n^+ versus nível de dopagem do substrato (2).

Estes parâmetros estão diretamente relacionados com o perfil de dopagem na região do canal e abaixo do mesmo e da capacitância do dielétrico de porta, ou seja, da espessura e da constante dielétrica do mesmo.

O projeto do dielétrico e do perfil de dopagem deve ser realizado com auxílio de programas de simulação de processo (tipo SUPREM) e de dispositivo (tipo SPICES e MINIMOS). Este último fornece todos os dados de desempenho do transistor (efeitos de 1ª e 2ª ordem).

O ajuste do perfil de dopagem é realizado de forma precisa por meio da técnica de implantação iônica. É comum usar duas implantações, com energias diferentes. Uma de alta energia e baixa dose ($< 10^{12}/\text{cm}^2$) para controlar os efeitos de canal curto e “punchthrough”.

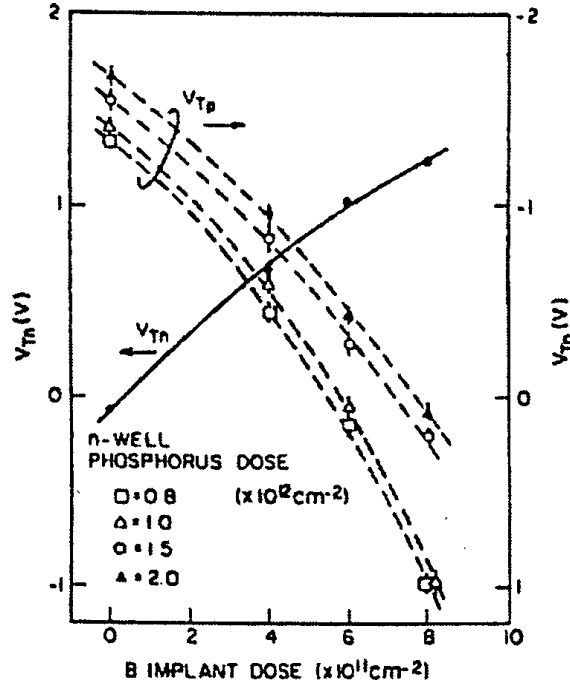


Fig. 6.2 Variação de V_{TN} e V_{TP} em CMOS ilha n com porta de Si-poli tipo n^+ versus dose de implantação iônica de $^{11}\text{B}^+$ (14).

A outra implantação é de energia menor e dose um pouco maior ($> 10^{12}/\text{cm}^2$) para aumentar a concentração de dopagem próxima à superfície para ajustar o V_T desejado. No caso do transistor nMOS, estas implantações são de $^{11}\text{B}^+$. No caso do transistor pMOS, o dopante implantado para supressão de efeitos de canal curto e de “punchthrough” é de $^{31}\text{P}^+$, porém para o ajuste de V_T dependerá do material do eletrodo de porta usado. Em processos convencionais CMOS é comum usar filme de SI-poli com dopagem tipo n^+ para os dois tipos de transistores. Isto faz com que a diferença de função trabalho metal-semicondutor ϕ_{MS} , seja da ordem de $-0,85$ V para o nMOS e de $-0,30$ V para o pMOS. Isto impede que se consiga ajustar o V_{TP} (V_T do pMOS) pela adição de implantação iônica de $^{31}\text{P}^+$, como ilustra a Fig. 6.1 (2). Por consideração dos outros parâmetros do transistor, não podemos utilizar dopagem da ilha com concentração menor que a faixa de 10^{16} a 10^{17}cm^{-3} . Desta forma, a alternativa que sobra para reduzir o valor de $|V_{TP}|$ para menor que 1.0 V, devemos implantar um dopante com carga oposta, ou seja, ajustar o V_{TP} também com uma implantação iônica de $^{11}\text{B}^+$. A Fig. 6.2 mostra que existe solução de uso de uma mesma implantação iônica de $^{11}\text{B}^+$ para ajustar o V_{TN} e V_{TP} ao mesmo tempo para um mesmo valor absoluto, para o caso de estrutura CMOS ilha n (ilha p também é possível) (14). A Fig. 6.3 mostra os perfis de dopagem correspondentes nos dois transistores (14). A Fig. 6.3 mostra os perfis típicos de dopagem na região do canal dos transistores em CMOS ilha n com porta de Si-poli tipo n^+ e dose única de implantação iônica de $^{11}\text{B}^+$ de ajuste das tensões limiar (14).

A implantação iônica pode ser realizada através do dielétrico de porta ou antes da sua formação, por exemplo através de um óxido sacrificial (“white ribbon oxide” ou efeito Kooi), como ilustrado na Fig. 6.4. A solução convencional de uso de eletrodo de Si-poli n^+ para os transistores é bem compatível com o escalamento das dimensões dos transistores nMOS, porém não para transistores pMOS. O transistor pMOS

com implantação iônica de $^{11}\text{B}^+$ para ajuste de V_T apresenta alta susceptibilidade a “punchthrough” em transistores com comprimento de canal menor ou da ordem de $1\mu\text{m}$.

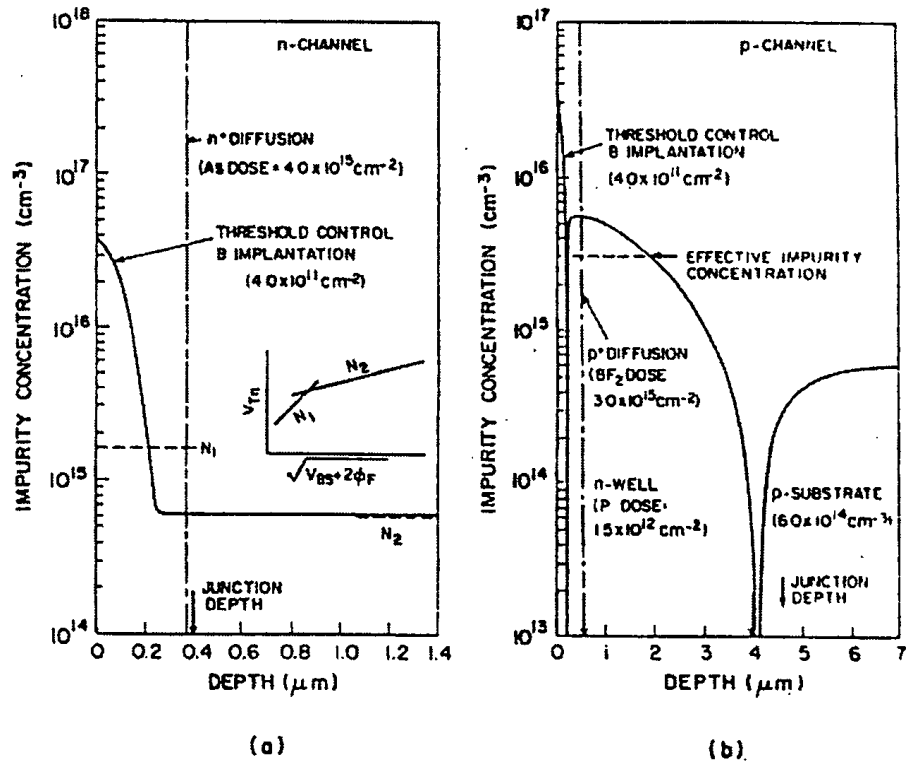


Fig. 6.3 Perfis de dopagem de canal em CMOS ilha n.

A alternativa neste caso é usar um material de porta com diferença de função trabalho metal-semicondutor maior, como por exemplo filme de Si-poli p⁺, ou ainda, para satisfazer com um mesmo material os requisitos dos 2 transistores, o uso de metal com ϕ_{MS} simétrico em relação à ilha p e ilha n, como por exemplo W, Mo, TaSi₂, WSi₂, MoSi₂ e NiSi₂ (15). Ocorre no entanto, um grande problema com o uso de porta de Si-poli p⁺. O Boro do Si-poli difunde-se facilmente através de isolante fino de SiO₂ de porta, afetando o controle de V_T (16). Neste caso há necessidade de uso de dielétrico de porta mais impermeável à difusão de Boro, tais como nitreto de Silício ou ainda oxinitretos.

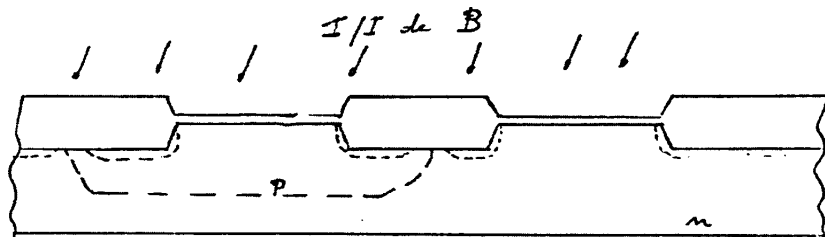


Fig. 6.4 Ilustração da estrutura CMOS durante a etapa de implantação iônica de ajuste dos V_T 's.

O isolante de porta tradicionalmente usado é um fino filme de SiO₂. Este é o normalmente obtido por oxidação térmica em condições de mínima densidade de cargas e de estados de interface. A espessura deste filme é cada vez menor junto com o escalamento das dimensões horizontais dos transistores, como vemos pelos dados da Tabela 6.1. Para transistores com comprimento de porta menor que 100 nm, esta espessura deve ser da ordem de 5 nm ou menos. Espessuras menores que esta começam a apresentar corrente de tunelamento considerável, impondo um limite ao escalamento das dimensões. Composições alternativas de isolantes de porta podem ser estudadas para aliviar esta limitação.

Tabela 6.1 Evolução da espessura do óxido de porta junto com a redução do comprimento de porta

L_{MIN} [μm]	2	1	0.5	0.35	0.25
T_{ox} [nm]	45	20	10	8.5	7.0
DRAM	64 K	1 M	16 M	64 M	256 M
Ano	1980	1987	1993	1995	1998

7. Obtenção do Terminal de Porta

No início das tecnologias MOS usava-se o Al como metal de porta. Como o Al é um metal não refratário, este devia ser depositado no fim do processo de fabricação, ou seja, após a realização de todas as etapas de altas temperaturas. Em meados dos anos 60, no entanto, propôs-se o uso de filme de Si-poli dopado tipo n^+ como material de porta. Como motivações para tanto, tinha-se a possibilidade de dopar as regiões de fonte/dreno de forma auto-alinhada com a porta, ou seja, a porta pode servir de máscara contra a dopagem. Desta forma, reduzem-se drasticamente as capacitâncias parasitárias de porta-fonte e porta-dreno. Adicionalmente, o processo de deposição de filme de Si-poli por CVD é muito mais limpo que a etapa de deposição de Al por evaporação (resulta menor contaminação ou cargas iônicas no óxido de porta). Após a etapa de deposição de Si-poli, normalmente por processo de LPCVD a aproximadamente 630°C por pirólise de silano, realiza-se etapa de fotogração com corrosão por plasma tipo RIE, para obter paredes bem verticais. A definição exata da dimensão das linhas de Si-poli é crítica, tendo em vista que ela define um parâmetro fundamental dos transistores, ou seja, seu comprimento de canal. A Fig. 7.1 ilustra a estrutura após esta etapa.

O uso de portas de Si-poli, no entanto, começou a apresentar limitações nas tecnologias da década de 90, devido à relativamente alta resistividade ($\sim 500 \mu\Omega\text{cm}$) do mesmo, acarretando um relativo alto atraso RC para a propagação do sinal. Esta limitação pode ser sanada pela substituição da porta de Si-poli por metais alternativos, tais como:

- porta tipo policeto (siliceto de metal refratário sobre Si-poli);
- estrutura salicide (formação auto-alinhada de siliceto sobre porta de Si-poli e sobre fonte/dreno);
- porta de siliceto;
- porta de metal refratário.

Nas soluções a) e b), é usual silicetos de titânio, de cobalto ou de níquel (TiSi_2 , CoSi_2 ou NiSi), com resistividades de 13 a $18 \mu\Omega\text{cm}$. Na solução c) tem-se proposto o uso de Wsi_2 ($30 - 50 \mu\Omega\text{cm}$).

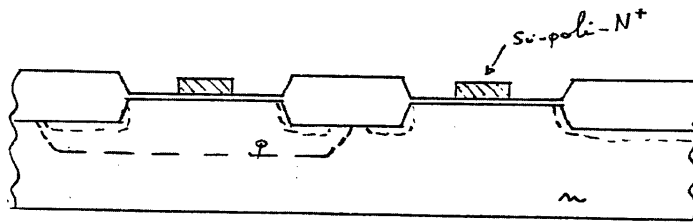


Fig. 7.1 Corte transversal da estrutura CMOS após etapa de fotogração e corrosão da porta.

MoSi_2 ($40 - 100 \mu\Omega\text{cm}$) e TaSi_2 ($35 - 55 \mu\Omega\text{cm}$). No caso d), a solução proposta é comumente o metal de W ($8 - 10 \mu\Omega\text{cm}$) [15]. A associação paralela de siliceto de Ti ou Co com o filme de Si-poli original de $\sim 20 \Omega/$ para $\sim 2 \Omega/$. A Fig. 7.2 mostra um corte transversal da estrutura de transistor nMOS com as 4 soluções citadas.

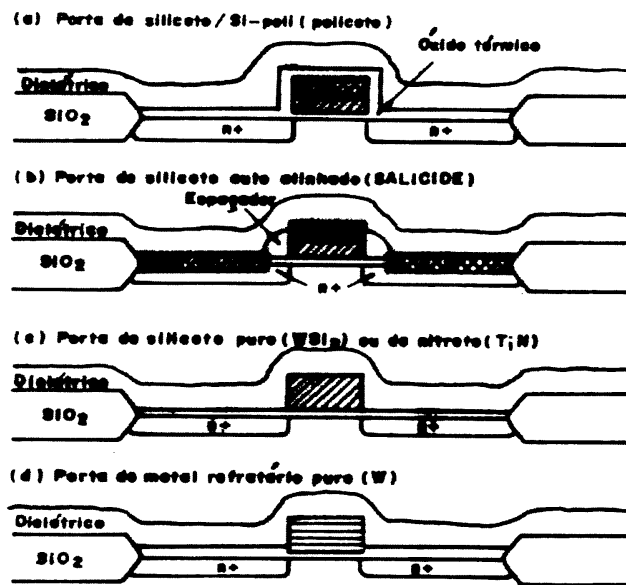


Fig. 7.2 Esquemas de materiais de porta alternativos ao Si-poli simples.

8. Obtenção de Regiões de Fonte/Dreno

As regiões de fonte/dreno são tradicionalmente obtidas por meio de implantação iônica de $^{31}\text{P}^+$ ou de $^{75}\text{As}^+$ para os transistores nMOS e implantação iônica de $^{11}\text{B}^+$ ou $^{49}\text{BF}_2^+$ para os transistores pMOS. Estas etapas devem ser feitas com as devidas proteções das regiões complementares por uma camada de máscara, como tipicamente fotorresiste, como ilustrado na Fig. 8.1. Caso seja usada porta de Si-poli tipo n^+ , é importante evitar a implantação dos íons de Boro no filme de porta para não produzir instabilidades, protegendo também esta com fotorresiste (pode ser o mesmo fotorresiste usado na fotografação do Si-poli). As doses típicas destas implantações são de 2 a $7 \times 10^{15}/\text{cm}^2$. Relativamente baixas energias são usadas (reduz a profundidade).

Transistores com dimensões reduzidas também requerem junções bem rasas. Esta dimensão deve também ser reduzida na mesma proporção da redução das dimensões horizontais, com o intuito de suprimir efeitos de canal curto e de “punchthrough”. Como consequência, no caso de dopante tipo n opta-se pelo íon $^{75}\text{As}^+$ ao invés do íon $^{31}\text{P}^+$ e no caso de dopante tipo p opta-se preferencialmente pelo radical.

$^{49}\text{BF}_2^+$. Estes íons apresentam alcance menor, devido à maior massa, sendo assim mais apropriado para junções rasas. Junções mais rasas também são obtidas se adicionalmente for evitado a canalização das espécies penetrantes no canal. O íon de $^{75}\text{As}^+$ amorfisa rapidamente o cristal de Si, suprimindo assim a canalização. O íon de $^{11}\text{B}^+$ e mesmo o radical $^{49}\text{BF}_2^+$ não é eficiente em amorfisar o Si. Assim neste caso é até usual realizar uma implantação iônica de $^{28}\text{Si}^+$ ou $^{64}\text{Ge}^+$ com o intuito de pré-amorfização da camada superficial do cristal de Si.

Após a etapa das implantações, necessita-se realizar uma etapa de recozimento para recrystalizar a camada amorfa e defeituosa do Si e ao mesmo tempo ativar os dopantes (Colocando-os em posições substitucionais da rede).

É sabido que uma junção abrupta produz um campo elétrico mais intenso que uma junção gradual. A junção n^+ obtida por implantação iônica de $^{75}\text{As}^+$ produz uma junção bem abrupta e portanto, um campo elétrico intenso. Este por sua vez pode produzir efeitos de elétrons quentes com a consequente degradação do transistor. Com o intuito de evitar esta junção abrupta na borda dreno/canal, desenvolveu-se a estrutura LDD (Lightly Doped Drain), em que uma estreita fatia das regiões de fonte/dreno são formadas por uma implantação iônica de dose intermediária. A Fig. 8.2 mostra o perfil típico de estrutura LDD. Este tipo de perfil pode ser obtido pela seguinte seqüência de etapas (após definição da porta), como ilustrado na Fig. 8.3:

- realiza-se a implantação iônica de fonte/dreno (usualmente $^{31}\text{P}^+$) de dose intermediária ($1 - 2 \times 10^{13}/\text{cm}^2$);
- deposição de filme de SiO_2 por processo CVD (espessura ~ espessura do Si-poli ~ 500 nm);

- corrosão do filme de SiO₂ por processo de plasma em modo RIE. Automaticamente permanecem resquícios de SiO₂ nas bordas verticais das linhas das portas. Estes são chamados de espaçadores;
- realiza-se a implantação iônica de fonte/dreno de dose alta (os espaçadores protegem as regiões nas bordas das portas);
- recozimento de recristalização e ativação dos dopantes.

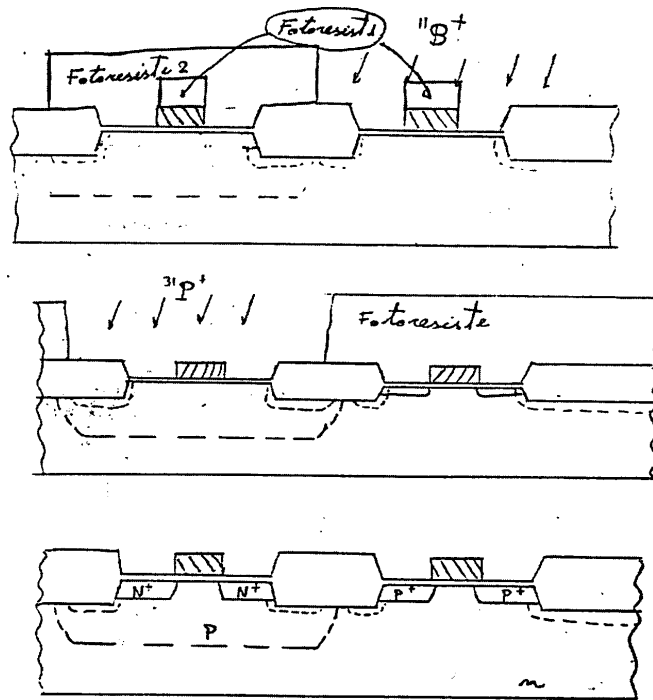


Fig. 8.1. Ilustração da seqüência de processos para as implantações iônicas de fonte/dreno dos transistores pMOS e nMOS.

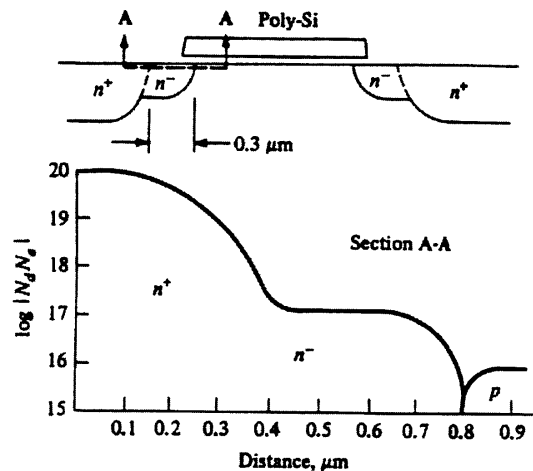


Fig. 8.2. Perfil típico de estrutura de dreno tipo LDD.

A resistência série de regiões de fonte e dreno também afetam adversamente o desempenho dos transistores. Quanto mais rasas as junções, maiores serão as resistências série. Uma alternativa similar à usada para reduzir a resistência de folha das portas pode ser usada para fonte/dreno. Ou seja, é interessante silicetar toda a superfície destas regiões. Uma opção eficiente é silicetar as regiões de porta junto com as regiões de fonte/dreno de forma auto-alinhada, resultando na estrutura da Fig. 7.2-b. O processo de obtenção de tal estrutura emprega a formação de espaçadores como no processo LDD (Fig. 8.3). Após a obtenção de espaçadores, segue-se a seguinte seqüência, como mostrado na Fig. 8.4:

- deposição de filme fino de metal, Ti ou Co;

- formação parcial de siliceto, por recozimento a temperatura intermediária;
- remoção do metal não reagido sobre as superfícies de óxido (espaçadores e campo);
- 2º recozimento de silicetização para completar a fase estável do siliceto, TiO_2 ou $CoSi_2$.

Para manter boas características em transistores fortemente escalados é fundamental que as junções de fonte/dreno sejam as mais rasas possíveis. Duas alternativas novas foram propostas:

- realizar a etapa de silicetização de Co tipo SALICIDE antes da 2ª implantação iônica de fonte/dreno (de alta dose). Em seguida à silicetização, realiza-se a implantação iônica de fonte/dreno com energia tal que os dopantes se localizem dentro do siliceto. Um recozimento em seguida, fará difundir os dopantes a partir do siliceto até uma espessura bem rasa dentro do Si como ilustrado na Fig. 8.5.
- Uso de fonte/dreno elevado. Neste caso, após formação da dopagem LDD e espaçadores, realiza-se um crescimento epitaxial de Si nas áreas de fonte/dreno com espessura de aproximadamente 20 nm. As implantações de fonte/dreno são realizadas agora com energia tal que os dopantes se localizem dentro da camada SEG crescida, para em seguida esta servir de fonte de difusão para completar a formação das junções de fonte/dreno como mostrado na Fig. 8.6.

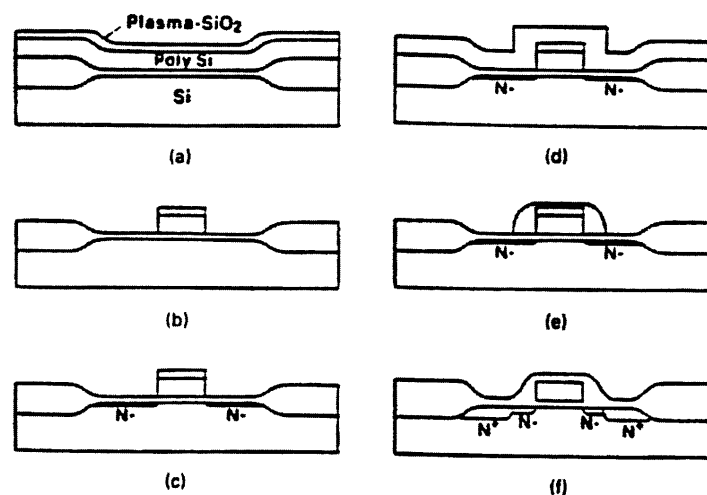


Fig. 8.3. Ilustração da seqüência de processo para obtenção de dreno tipo LDD.

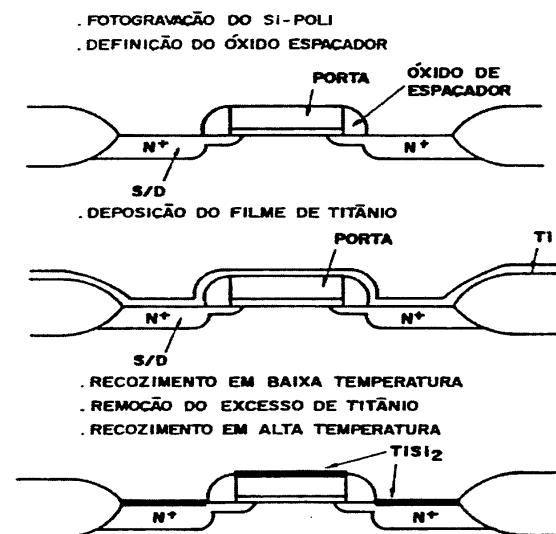


Fig. 8.4. Ilustração das etapas de formação de siliceto auto-alinhado - SALICIDE.

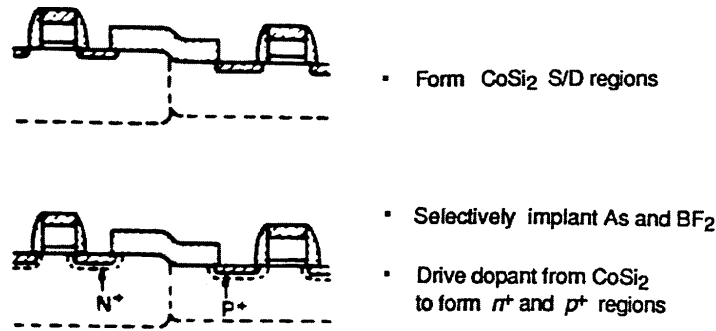


Fig. 8.5. Sequência de processo de formação de junções de fonte/dreno por difusão a partir de siliceto implantado.

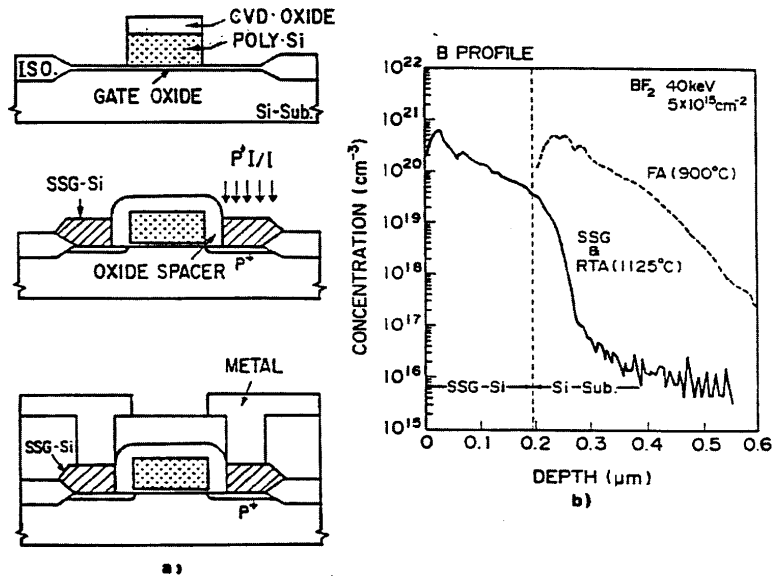


Fig. 8.6. a) Sequência de processo de formação de junções de fonte/dreno por difusão a partir de filme SEG implantado e b) Comparação de perfil de Boro obtido por este processo com processo convencional.

9. Processos de Interconexões

Antes da metalização de contatos e de interconexões do 1º nível deve-se isolar apropriadamente as junções e linhas de porta, possivelmente com silicetos. Isto pode ser feito por meio de uma oxidação térmica bem reduzida, para não aprofundar as junções, seguida por processo de deposição de filme de óxido de silício de aproximadamente 1 μm de espessura, normalmente por CVD. Este óxido normalmente é dopado com P (chamado de fosforosilicato) ou ainda com P ou B (chamado de borofosforosilicato). Estes dopantes têm duas funções: a) o P no óxido aprisiona contaminantes tipo Na, que podem causar instabilidades no V_{τ} dos transistores; b) reduzir a temperatura em que o óxido comece a fluir e assim suavizar degraus para facilitar a cobertura posterior por metal. No caso de fosforosilicato, esta temperatura é da ordem de 1000 a 1100° C e no caso de borofosforosilicato da ordem de 800 a 950° C.

Após a obtenção da camada de isolante entre o Si e/ou silicetos, faz-se a etapa de fotogração e abertura das vias de contatos. Esta representa uma etapa crítica, pois normalmente emprega janelas de dimensões mínimas, não permite erro de alinhamento que poderia causar curto circuito da junção com o substrato ou ilha e necessita de precisa determinação do ponto final da corrosão (não pode sobrar óxido no contato e não é permitido atacar muito a junção). Deve haver também um bom controle das paredes das janelas de vias. Dependendo da técnica de metalização seguinte (“sputtering” ou evaporação) deseja-se paredes suaves ou paredes verticais (CVD de W).

Em seguida, é feita a metalização propriamente dita, para formar o contato com as junções fonte/dreno e terminais de porta e interconexões do 1º nível. Podem seguir novas etapas de deposições de isolantes, abertura de janelas de vias e níveis de metalização, para formar os multiníveis de metalização. A Fig. 9.1 mostra um desenho em corte transversal de estrutura de contato e 2 níveis de interconexões. Uma discussão mais detalhada destes processos é apresentada em outro capítulo deste livro.

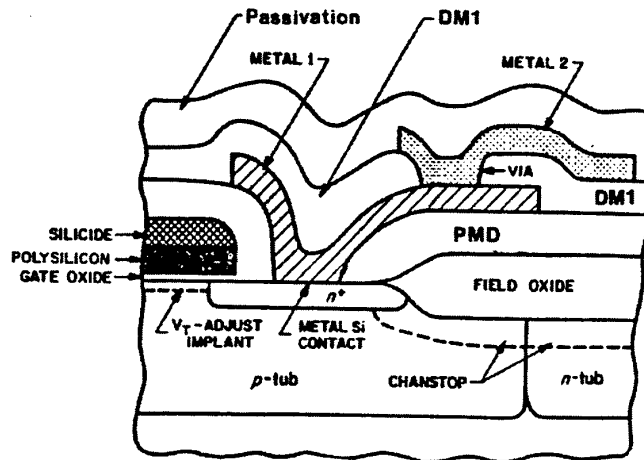


Fig. 9.1. Corte transversal de estrutura de metalização de contato e de interconexões em 2 níveis.

10. Evolução e Tendências

Desde o início da comercialização de CI's em 1962, observamos uma contínua redução das dimensões mínimas (fator 2 a cada 6 anos), um contínuo aumento da área das pastilhas (fator 2 a cada 8 anos) e uma crescente eficiência de empacotamento (otimização de "layout" e novas estruturas físicas). Estes 3 fatores levaram a um aumento sem precedentes no nível de integração, como ilustra a Fig. 10.1, devendo chegar ao nível de GSI (Giga Scale Integration) na virada do século. Adicionalmente, em paralelo a esta evolução, vemos uma participação cada vez maior da tecnologia CMOS, estando hoje acima de 60% do mercado e devendo atingir na ordem de 83% em 1988.

Recentemente, as indústrias sugeriram a seguinte previsão de evolução, chamada de "road map" (mapa da estrada), para a produção de CI's [17]:

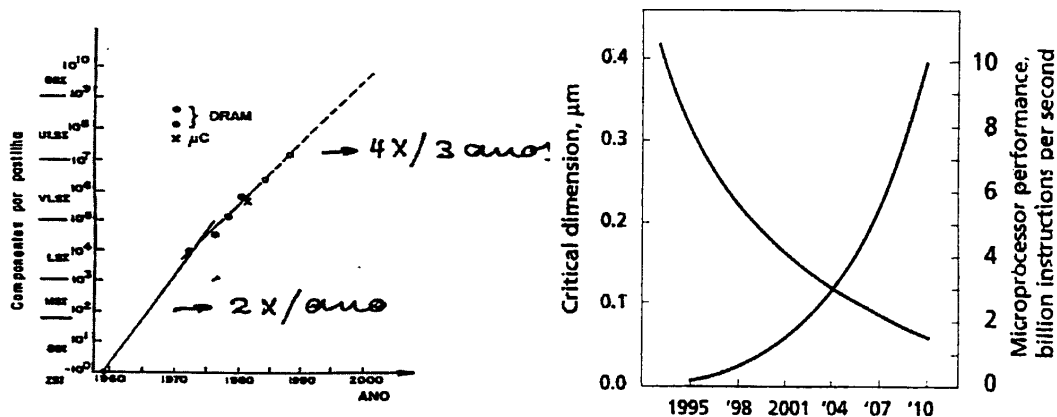


Fig. 10.1 a) Evolução do número de dispositivos por pastilha de Si, ou nível de integração e previsão de desempenho e das dimensões mínimas.

Tabela 10.1 “Roadmap”(mapa da estrada) de evolução prevista pela indústria para produção de CIs.

Ano	1995	1998	2001	2004	2007	2010
L_{MIN} [μ m]	0.35	0.25	0.18	0.13	0.10	0.07
DRAM [bits]	64 M	256 M	1 G	4 G	16 G	64 G
F_{MAX} [MHz]	300	450	600	800	1000	1100
Área/Chip [mm^2]	190	280	420	640	960	1400
Níveis de metal	4	5	5 – 6	6	6 – 7	7 – 8
Defeitos/ m^2	240	160	140	120	100	25
# Máscaras	18	20	20	22	22	22
ϕ /Wafer [mm]	200	200	300	300	400	400
V_{DD} [V]	3.3	2.5	1.8	1.5	1.2	0.9
Pot _{MAX} c/refrig. [W]	80	100	120	140	160	180
Pot _{MAX} s/refrig. [W]	5	7	10	10	10	10
Planaridade/metaliação [nm]	300	300	250	150	150	150
L_{MIN} de metal 1 [μ m]	0.40	0.30	0.22	0.15	0.11	0.08
“Pitch” min./metal c. contato [μ m]	1.0	0.75	0.55	0.40	0.27	0.20
Dim. Crítica/Via [μ m]	0.40	0.28	0.20	0.14	0.11	0.08
Razão de Aspecto/Via	4.5:1	5.5:1	6.3:1	7.5:1	9:1	10.5:1
Razão de Aspecto/Metal	1.5:1	2:1	2.5:1	3:1	3.5:1	4:1

Referências:

- 1) F. M. Wanlass, C. T. Sah, IEEE Int. Solid-State Circ. Conf., Feb. 1963.
- 2) S. Wolf, “Silicon Processing for the VLSI Era – Vol. 2 – Process Integration”, Lattice Press, 1990.
- 3) L. C. Parrillo, “CMOS Active and Field Device Fabrication”, Semiconductor International, April 1988, pp. 64-70.
- 4) D. Flandre, J. P. Colinge, “High Temperature Characteristics of CMOS Devices and Circuits on Silicon-On-Insulator (SOI) Substrates, Anais do IX Congresso da Sociedade de Microeletrônica, Rio de Janeiro, 1991, p. 777.
- 5) C. T. Sah, “The Evolution of the MOS Transistor”, Proceeding of the IEEE, Vol. 76, nº 10, 1988, p. 1280.
- 6) J. C. H. Hu, T. Y. Chiu, S. W. S. Wong, W. G. Oldham, Sealed-Interface Local Oxidation Technology”, IEEE Trans. Electron. Devices, Vol. ED-29, nº 4, 1982, P. 554.
- 7) K. Y. Chiu, J. L. Moll, J. Manoliu, “A Bird’s Beak Free Local Oxidation Technology Feasible for VLSI Circuits Fabrication”, IEEE Trans. Electron Devices, Vol. ED-29, nº 4, 1982, p. 536.
- 8) K. Sakuma et al., “A New Self-Aligned Planar Oxidation Tecnology”, J. Electrochem. Soc., Vol. 134, nº 6, 1987, p. 1503.
- 9) H. H. Tsai, S. M. Chen, H. B. Chen, C. Y. Wu, “An Evaluation of FUROX Isolation Technology for VLSI/nMOSFET Fabrication”, IEEE Trans. Electron Devices, Vol. 35, nº 3, 1988, p. 275.
- 10) T. Kaga, Y. Kawamoto, S. Iijima, Y. Sudoh, Y. Sakai, “Advanced OSELO Isolation with Shallow Grooves for High-Speed Submicrometer ULSI’s”, IEEE Trans. Electron Devices, Vol. 35, nº 7, 1988, p. 893.
- 11) R. F. Kwasnick, E. B. Karninsky, P. A. Frank, “Burried-Oxide Isolation with Etch-Stop (BOXES)”, IEEE Electron Device Lett., Vol. 9, nº 2, 1988, p. 62.
- 12) Y. Niitsu et al., “Latch-up Free CMOS Structure Using Shallow Trench Isolation”, Tech. Dig. IEDM, 1985, p. 509.
- 13) J. O. Borland, “Low Temperature Silicon Epitaxy for Novel Device Structure”, in “Reduced Thermal Processing for ULSI”, ed. by R. A. Levy, NATO ASI Series B: Physics Vol. 207, Plenum Press, 1989, p. 393.
- 14) T. Ohzone, H. Shimura, K. Tsuji, T. Hirao, “Silicon-Gate n-Well CMOS Process by Ful Ion-Implantation Tecnology”, IEEE Trans. Electron Devices, Vol. ED-27, nº 9, 1980, p. 1789.
- 15) J. W. Swart, “Interconexões e Contatos em Circuitos Integrados”, Cap. 5, em Processos de Microeletrônica, ed. V. Baranauskas, SBV e SBMicro, 1990.
- 16) M. L. Chen et al., “Constrains in p-Channel Device Engineering for Sub-micron CMOS Technologies”, Tech. Dig. IEDM, 1988, p. 390.
- 17) P. Singer, “Looking Down the Road to Quarter-Micron Production”, Semiconductor International, Vol. 18, nº 1, 1995, p. 46.