

IE 521 – Tecnologia de Circuitos Integrados
3ª LISTA DE EXERCÍCIOS
Prof. Jacobus W Swart

1. Deseja-se projetar um transistor MOS, utilizando-se os simuladores ATHENA e ATLAS da Silvaco, a partir da sequência de fabricação básica a seguir:

Lâmina: Silício tipo **A**, com dopagem **B**.

1. Deposição de 500 nm de óxido de silício.
2. Fotografação 1 – abertura da região ativa.
3. Oxidação térmica de porta de 20 nm em 900 C e 40 minutos (corrigir o tempo se for o caso).
4. Implantação Iônica para ajuste de tensão de limiar com energia de 30 KeV.
5. Implantação Iônica para ajuste de punchthrough, com energia de 160 keV.
6. Deposição de Silício policristalino intrínseco (400 nm) em 600 C e 15 minutos.
7. Difusão de **C** para dopagem degenerada do silício policristalino de porta.
8. Fotografação 2 – Definição do silício policristalino.
9. Implantação de **D** de Fonte/Dreno com energia **E** e dose **F**.
10. Recozimento em forno com ambiente de N₂ em 940 C e 20 minutos para ativação das impurezas implantadas.
11. Deposição de 400 nm de óxido de silício.
12. Densificação do óxido em forno com ambiente de N₂ em 940 C e 10 minutos.
13. Fotografação 3 – Abertura de contratos.
14. Deposição de 100 nm de Titânio (barreira de difusão).
15. Deposição de 1000 nm de Alumínio.
16. Fotografação 4 – Definição do Alumínio e Titânio.
17. Sinterização em 420 C e 30 minutos.

Obs.: As variáveis **A**, **B**, **C**, **D**, **E** e **F** serão fornecidas individualmente através de sorteio. **Nota:** no presente semestre (ano 2002) todos farão o mesmo exercício, com os dados do caso **1**

Pede-se:

- a. Desenhe o perfil do transistor MOS após as etapas 4, 9, 13 e 17.
- b. Projete a etapa 4 (dose de implantação e o tipo de dopante necessário) para se ter tensão de limiar de transistor de canal longo ($L=5\ \mu\text{m}$ e $W=10\ \mu\text{m}$) em módulo de 0.8 Volt ($V_{tn}=+0.8\text{V}$ ou $V_{tp}=-0.8\text{V}$) para tensão de dreno de 0.1 V em módulo. Adote o número de cargas de interface $\text{SiO}_2/\text{Si} = 1 \times 10^{11} \text{cm}^{-2}$.
- c. Determine o efeito de canal curto na tensão de limiar traçando a curva $V_t \times L$ (0.4, 0.6, 0.8, 1.0, 1.2, 2.0, 5.0 μm). Explique os resultados obtidos. Repita o mesmo trabalho, a) considerando um óxido de porta mais espesso (40nm por exemplo, reajustando a dose de implantação para o mesmo V_T) e b) considerando uma profundidade de junção maior (aumente a energia da implantação de íons de fonte/dreno e o tempo de recozimento após

implantação, a fim de aumentar a profundidade da junção em 50%). Comente sobre o efeito da espessura de óxido e da profundidade de junção.

- d. Ainda omitindo o passo 5, determine o comprimento de canal L para o qual a tensão de perfuração MOS (punchthrough) seja 10 V em módulo (Utilize o critério da Dra. Sally Liu, ou seja, onde a corrente $I_{DS} = 10^{-9} W/L$, com $V_{GS} = V_{FB}$).
 - e. Acrescente agora o passo 5 e ajuste o valor da dose para que não tenhamos perfuração MOS para $L = 0.8 \mu m$. Elabore curvas a) $\log(I_{DS}) \times V_{GS}$ para V_{DS} de 1 a 5 V, b) distribuição bi-dimensional de densidade de elétrons e de potencial elétrico no transistor para $V_{DS} = 5 V$ e $V_{GS} = 0 V$, para 2 casos: sem e com o passo 5 otimizado. Repita as mesmas curvas para $L = 0,6 \mu m$.
 - f. Gere as curvas características, $I_{DS} \times V_{DS}(0 \text{ a } 5V) / V_{GS}(0 \text{ a } 5 V)$, de 2 transistores com $W=10\mu m$, $L=0.8\mu m$: a) transistor otimizado, b) transistor omitindo passo 5, $t_{ox} = 40nm$ e profundidade de junção 50% maior
2. Acrescentar à seqüência de fabricação básica anterior as seguintes etapas de processo (apenas para o transistor otimizado acima):
- 8.1. Implantação Iônica de **G** para formação de LDD com energia **H** e dose de $1 \times 10^{13} \text{ cm}^{-2}$.
 - 8.2. Deposição de 300 nm de óxido de silício.
 - 8.3. Remoção de óxido por plasma (formação de um espaçador –Spacer- de 0.25 μm de comprimento).

Pede-se:

- a. Desenhar o perfil do transistor após as etapas 8.1, 9 e 17.
- b. Obter a nova curva $V_t \times L$. Comparando com a curva obtida no item c da primeira questão, qual seqüência de fabricação apresenta melhor desempenho com relação ao efeito de canal curto na tensão de limiar? Explique.
- c. Determine em que posição do canal do transistor o campo elétrico lateral é maior. Comparando-se o transistor COM e SEM LDD, qual deles apresenta menor campo elétrico máximo? Explique através de simulações.

Escolher um dos 8 projetos cujas variáveis estão indicadas na tabela abaixo:

VARIÁVEIS	1	2	3	4	5	6	7	8
A	P	P	P	P	N	N	N	N
B [10^{15} cm^{-3}]	1	4	6	8	2	4	6	8
C	FOS	BOR	FOS	BOR	FOS	BOR	FOS	BOR
D	FOS	FOS	FOS	FOS	BOR	BOR	BOR	BOR
E [KeV]	40	50	50	60	20	20	20	20
F [10^{15} cm^{-2}]	7	8	4	4	8	8	4	4
G	FOS	FOS	FOS	FOS	BOR	BOR	BOR	BOR
H [KeV]	30	30	30	30	10	10	10	10

FOS = FÓSFORO; BOR = BORO.