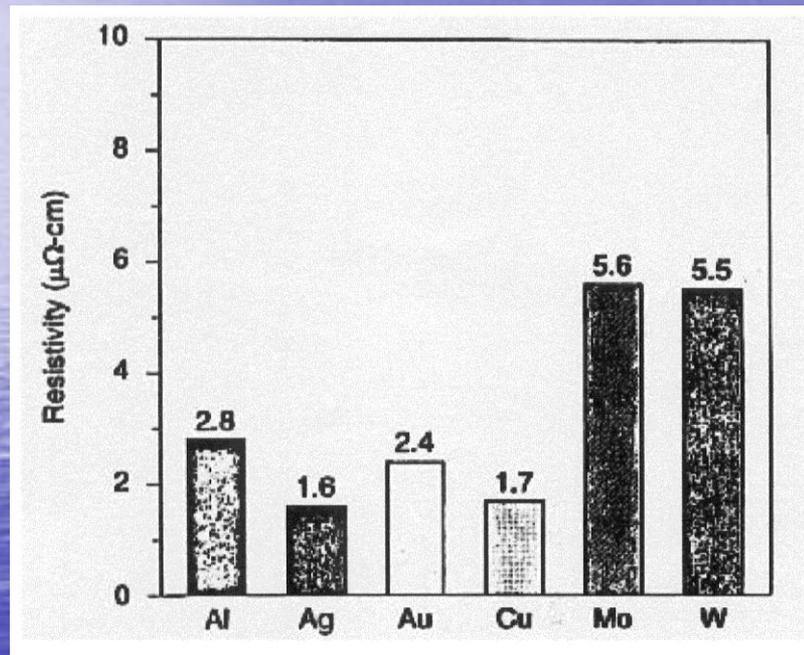


16.3. Interconexão e Vias

- **Requisitos :**
 - **Baixa resistência ôhmica.**
 - Minimizar queda de tensão, assim como delay da propagação do sinal (constante de tempo RC)
 - **Baixa resistência de contato para o dispositivo.**
 - **Operação confiável a longo prazo.**

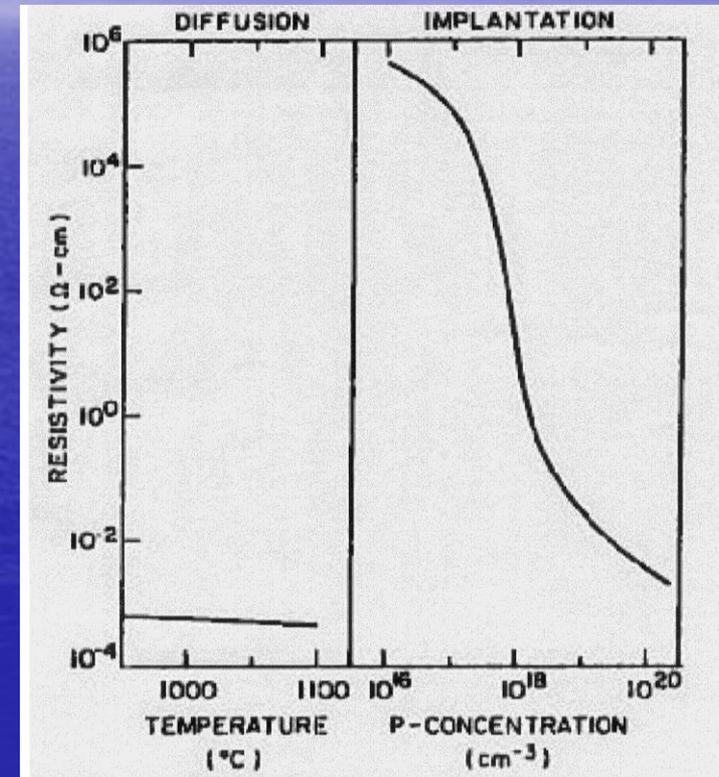
- **Possíveis materiais para formação de interconexão:**
 - **Metal (baixa resistividade);**
 - **Si-poli (resistividade média);**
 - **Região altamente dopada no Si (resistividade média).**

Resistividade de metais puros



Silicetos de metal : 15-80 $\mu\Omega\text{-cm}$

Resistividade do Si-poli



Si-poli (min) $\approx 1\text{E-}3 \Omega\text{-cm}$

- **Materiais usados para interconexão**

Table 16.3 Properties of Interconnect Materials

Material	Thin Film Resistivity ($\mu\Omega\text{-cm}$)	Melting Point ($^{\circ}\text{C}$)
Al	2.7-3.0	660
W	8-15	3410
Cu	1.7-2.0	1084
Ti	40-70	1670
PtSi	28-35	1229
TiSi ₂	13-16	1540
Wsi ₅	30-70	2165
CoSi ₂	15-20	1326
NiSi	14-20	992
TiN	50-150	~2950
Ti ₃₀ W ₇₀	75-200	~2200
Polysilicon(heavily doped)	450-1000	1470

- **Al : material dominante para interconexão.**

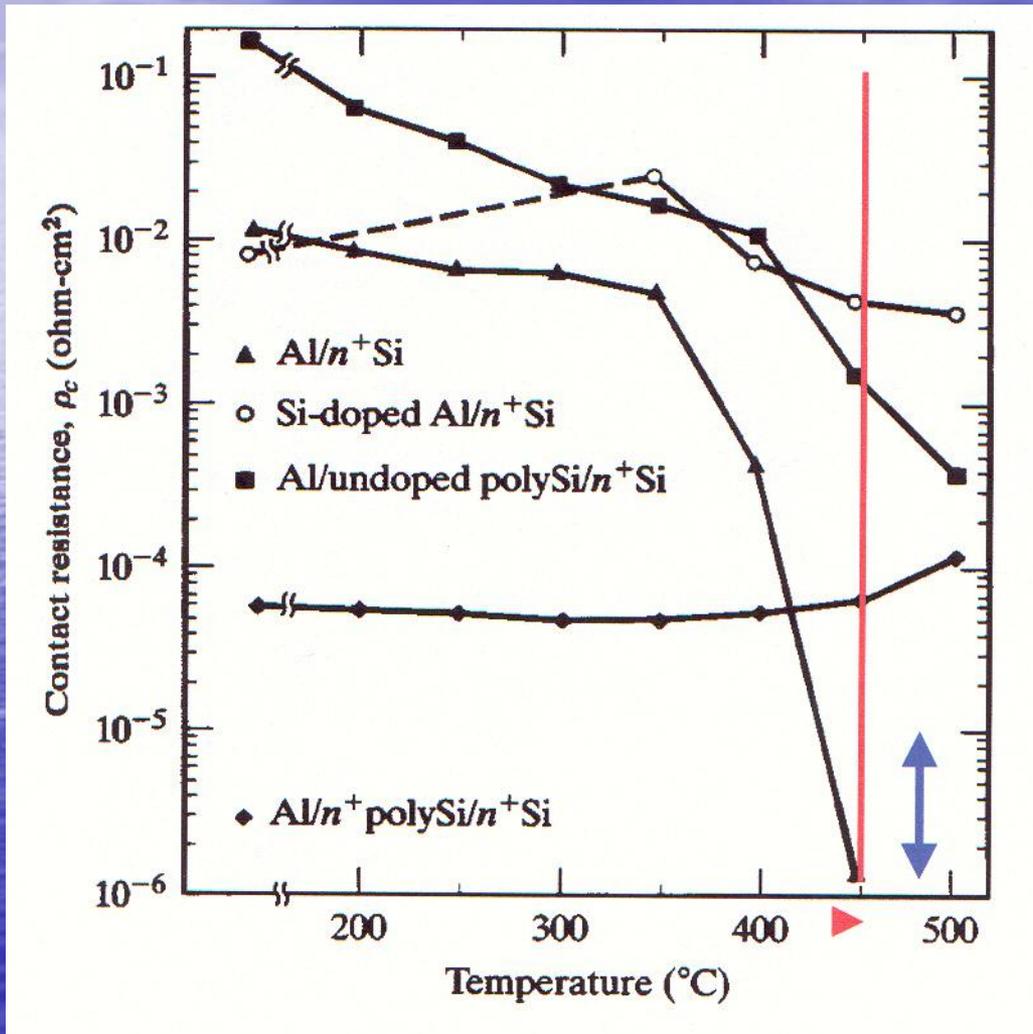
- **Características do Al**

- **Baixa resistividade;**
- **Boa aderência ao Si e SiO₂;**
- **Pode reduzir outros óxidos;**
- **Pode ser etched e depositado usando técnicas bem conhecidas.**

- **Problemas : ponto de fusão relativamente baixo.**

- **É preciso um material de ponto de fusão mais alto para eletrodos de porta e interconexão local ⇒ Si-policristalino.**
- **Buracos (voids) e hillocks são facilmente formados em Al.**

- Recozimento do contato é feito a 450°C



ρ_c do contato metal-Si :
 $\sim 1E-5$ a $1E-6 \Omega\text{-cm}^2$

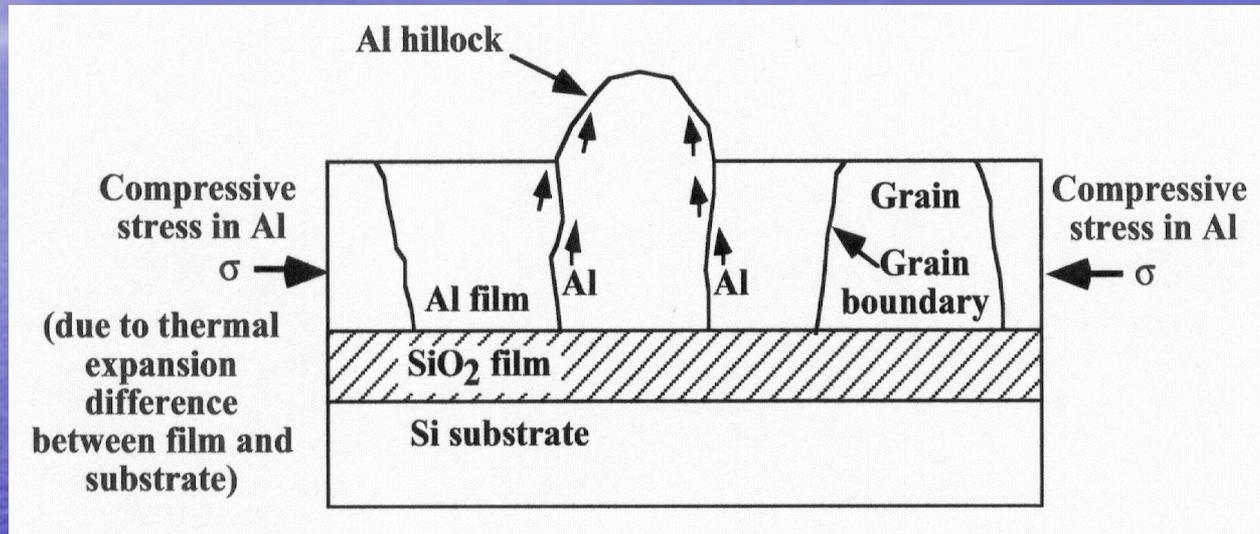
• Hillocks, voids e eletromigração

- Hillocks e buracos (voids) são formados por causa do estresse e difusão nos filmes de Al.
 - Aquecimento é realizado sob Al em compressão \Rightarrow causa hillocks. O aquecimento gera no Al um estresse altamente compressivo, devido a tendência do Al de se expandir mais do que o Si. Para aliviar o stress, a porção do Al espremido, forma pequenas colinas (hills) ou hillocks.
 - O resfriamento é realizado sob o Al em estado tensivo \Rightarrow forma buracos. O Al procura encolher-se mais do que o Si. O hillock formado não é reversível. Si é mais rígido que o Al. O stress é aliviado pelo movimento de vacâncias e aglomeração no Al, formando os buracos.

Table 16.4 Mechanical Properties of Interconnect Materials

Material	Thermal Expansion Coefficient ($^{\circ}\text{C}^{-1}$)	Elastic Modulus, $Y/(1-\nu)$ (MPa)	Hardness (kg-mm⁻²)	Melting Point ($^{\circ}\text{C}$)
Al (111)	23.1×10^{-6}	1.143×10^5	19-22	660
Ti	8.41×10^{-6}	1.699×10^5	81-143	1660
TiAl ₃	12.3×10^{-6}	-	660-750	1340
Si (100)	2.6×10^{-6}	1.805×10^5	-	1417
Si (111)	2.6×10^{-6}	2.290×10^5	-	1417
SiO ₂	0.55×10^{-6}	0.83×10^5	-	~1700

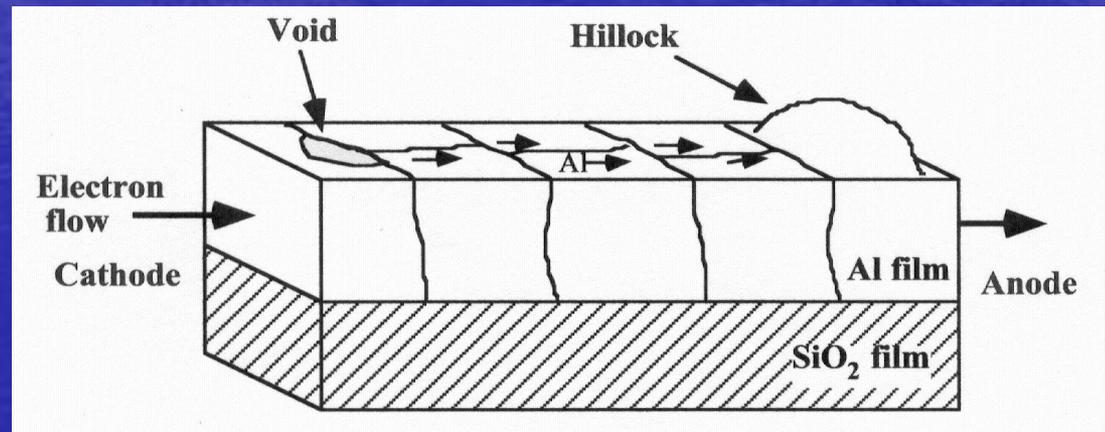
- **Formação de hillocks**



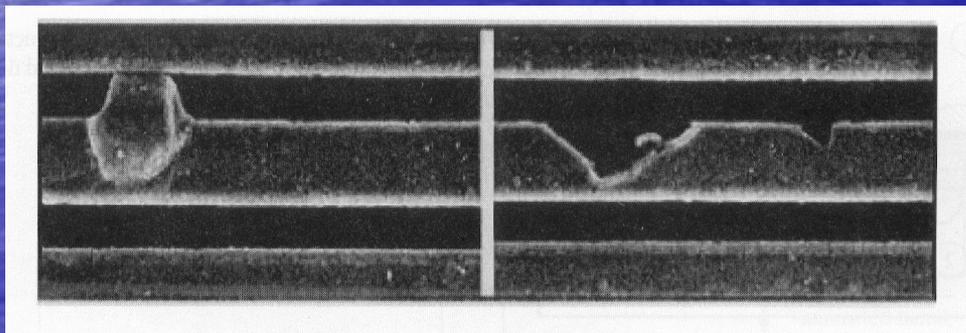
- **A formação de hillocks pode causar:**
 - Curto entre níveis de interconexão;
 - Topografia da superfície rugosa. Dificulta litografia e etching.

- Adição de alguns at% de Cu estabiliza contornos de grãos e minimiza a formação de hillocks.
- Outro problema relacionado com a interconexão de Al é a **eletromigração**. O fluxo de alta densidade de corrente causa movimento dos átomos de Al na direção do fluxo de eletrons.

- Pode causar hillocks e voids e levar a um curto ou abrir circuitos.



- Os eletrons podem transferir quantidade suficiente de momentum para o Al e causar a sua difusão.
- A difusão é mais rápida nos contornos de grãos, causando o acúmulo de Al em algumas regiões, resultando em hillocks, e depleção em outras regiões, levando a formação de buracos.



Hillock e voids formados por eletromigração.

- Como a maioria dos átomos de Al e vacâncias difunde pelos contornos de grãos, a eletromigração é fortemente dependente da estrutura do grão, incluindo o tamanho e a orientação cristalográfica, além das camadas de cima e de baixo do Al, e da história de processamento da interconexão.

- **Solução :**

- Adicionar Cu (0.5-4 wt%) pode inibir a eletromigração. Acredita-se que o Cu inibe a difusão pelos contornos de grãos.
- Contudo Cu em excesso pode causar problemas com etching e corrosão da interconexão. Máximo 4 wt%.
- Razão pela qual o Al é normalmente depositado com 1-2 wt% de Si e 0.5-4 wt% de Cu.
- A adição desses elementos aumenta a resistividade de folha da interconexão de aproximadamente 35%.

- Tempo Médio de Falha (MTF) de Eletromigração
 - MTF é definido como tempo para 50% das amostras em teste falharem.

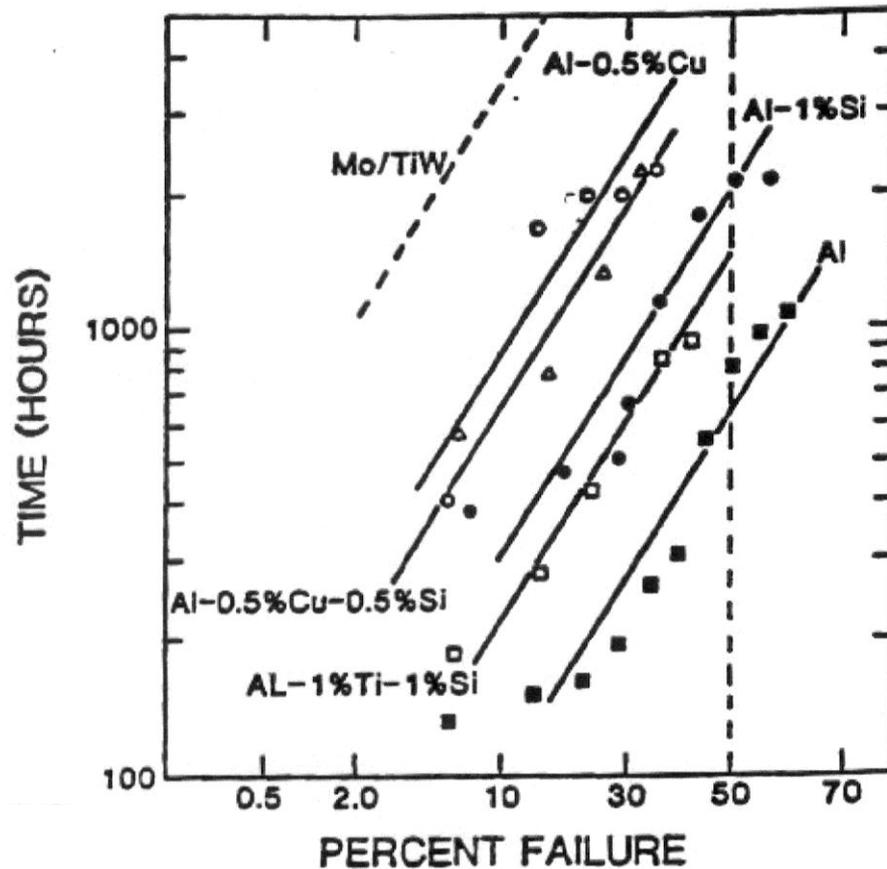
$$MTF \propto J^{-2} e^{E_A/kT}$$

J = densidade de corrente em A/cm²

E_A = energia de ativação para eletromigração. (~ 0.5-0.8 eV para metais)

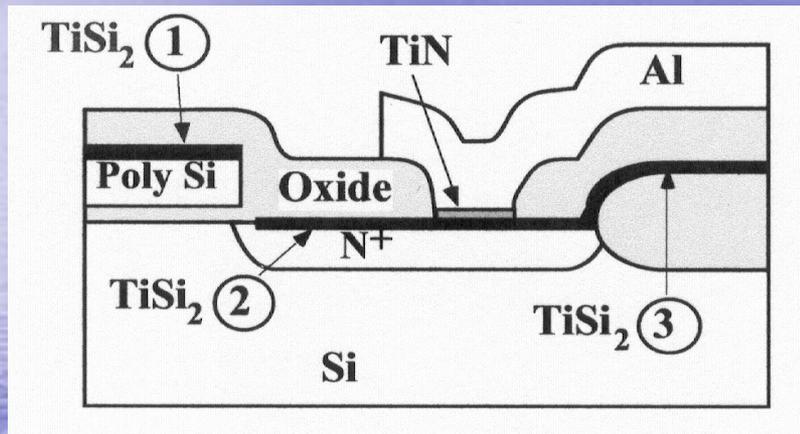
- Determina-se experimentalmente, os valores exatos para esta expressão, efetuando em temperaturas e correntes elevadas para particular estrutura e processo.
- Depois, faz-se a extrapolação para condições normais de operação para determinar quanto tempo operará a interconexão.

- Fazendo-se a liga de Al com outros elementos inibe a difusão em contornos de grãos.



Temperatura de teste: ~ 225°C;
J ~ 1E6 A/cm²

- O desenvolvimento seguinte foi usar outros materiais de baixa resistividade para interconexão local, como TiN e Silicetos.



Siliceto pode ser usado:

1. No topo do gate de Si-poli;
2. No topo da região de S/D;
3. Interconexão local

- Si-poli era usado como eletrodo de porta desde 1970, mas com o aumento da velocidade dos circuitos, a resistividade de folha do Si-poli altamente dopado tornou-se uma limitação.

- **Além disso, o Si dopado da região de fonte e dreno apresentam uma resistividade razoavelmente alta (50-100 $\mu\Omega$ -cm), que adiciona apreciável resistência parasitária no transistor MOS.**

Utilização de Silicetos pode reduzir estes problemas.

- **O siliceto sobre Si-poli forma estrutura policeto. Reduz a resistência de folha da porta Si-poli e da interconexão local, mantendo a interface altamente confiável de Si-poli/SiO₂.**

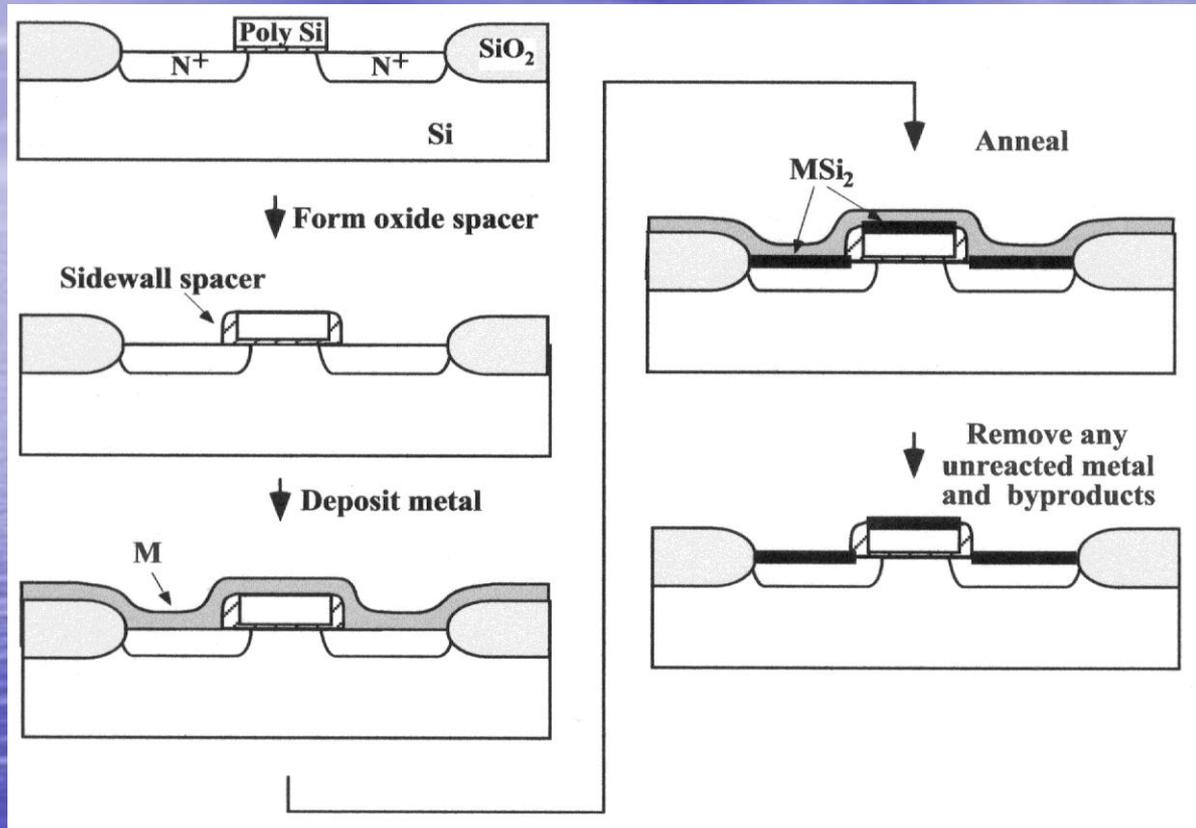
- **No topo das regiões de S/D, o siliceto reduz a resistência da camada de difusão.**
- **O siliceto provê bom contato com gate de Si-poli, regiões de S/D, enquanto aumenta a área de contato.**

- **Características do Siliceto :**
 - **Baixa resistividade elétrica (10-50 $\mu\Omega$ -cm);**
 - **Estável a altas temperaturas;**
 - **Apresenta boa compatibilidade de processo com Si;**
 - **Provê bom contato com outros materiais;**
 - **Não exhibe muito eletromigração;**
 - **Fácil para plasma etching**

Table 16.5 Properties of Common Silicides Used in Silicon Technology

Silicide	Thin Film Resistivity ($\mu\Omega\text{-cm}$)	Sintering Temperature ($^{\circ}\text{C}$)	Stable on Si up to ($^{\circ}\text{C}$)	Reaction with Al at ($^{\circ}\text{C}$)	nm of Si consumed per nm of metal	nm of resulting Silicide per nm of metal	Barrier Height to n-Si (eV)
PtSi	28-35	250-400	~750	250	1.12	1.97	0.84
TiSi ₂ (C54)	13-16	700-900	~900	450	2.27	2.51	0.58
TiSi ₂ (C49)	60-70	500-700			2.27	2.51	
WSi ₂	30-70	1000	~1000	500	2.53	2.58	0.67
Co ₂ Si	~70	300-500			0.91	1.47	
CoSi	100-150	400-600			1.82	2.02	
CoSi ₂	14-20	600-800	~950	400	3.64	3.52	0.65
NiSi	14-20	400-600	~650		1.83	2.34	
NiSi ₂	40-50	600-800			3.65	3.63	0.66
MoSi ₂	40-100	800-1000	~1000	500	2.56	2.59	0.64
TaSi ₂	35-55	800-1000	~1000	500	2.21	2.41	0.59

- Processo de Siliceto Auto-Alinhado (Salicide)



Formação de silicetos :

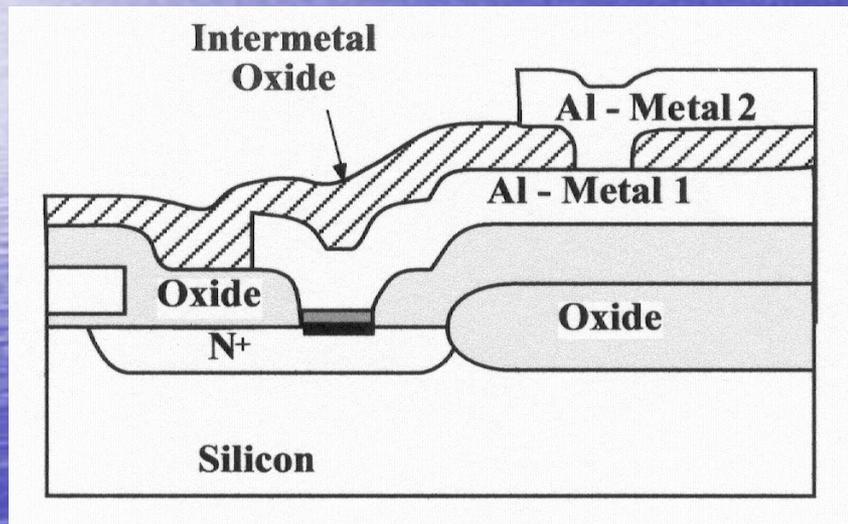
- 1) – por deposição direta ou
- 2) - por reação entre o metal e o Si

- **Deposição direta : sputtering a partir de alvo composto; co-sputtering a partir de 2 alvos (metal e Si); co-evaporação de metal e Si; ou CVD (no presente somente WSi_2).**

- **Por reação : metal depositado por sputtering e recozido a altas temperaturas para silicetação. O metal não reagido é depois removido por etching seletivo.**

• Interconexão Multinível de Metal

- Circuitos : tornaram-se grandes e complexos \Rightarrow necessidade de níveis adicionais de interconexão.



Estrutura de 2 níveis de metal

- Observando o contato, o Al faz contato com Al. Desaparece o problema do spiking em Si e permite um bom contato entre as duas camadas de Al, se a interface for limpa.

- **Contudo, as estruturas multiníveis são de topografia menos planar.**

- Topografia não planar traz dificuldades para a litografia e cobertura de degrau.
- Máxima profundidade de foco em ferramentas ópticas estado da arte é de $\pm 0.35 \mu\text{m}$.
- Topografia não planar resulta em espessura do resiste não uniforme \Rightarrow exposição e revelação não uniforme.

- **Se o degrau é íngreme, pode ocorrer reflexões espúrias da luz UV das paredes do metal.**
- **Topografia não planar traz problemas de preenchimento de espaços e coberturas de degrau, especialmente para metal depositado por PVD. Esses problemas levam a resistência elétrica mais alta das linhas e problemas de confiabilidade.**
- **A altura de degrau mais alto em um nível pode acarretar não somente no afinamento das paredes laterais do próximo nível, mas também a protuberâncias e saliências.**

- **Planarização**

- As questões listadas tornam se piores com níveis adicionais de interconexão e requer uma transformação (mudança) na estrutura para obter uma topologia mais planar, através da técnica de processamento denominado planarização.

- O grau de planarização (DOP) é definido por:

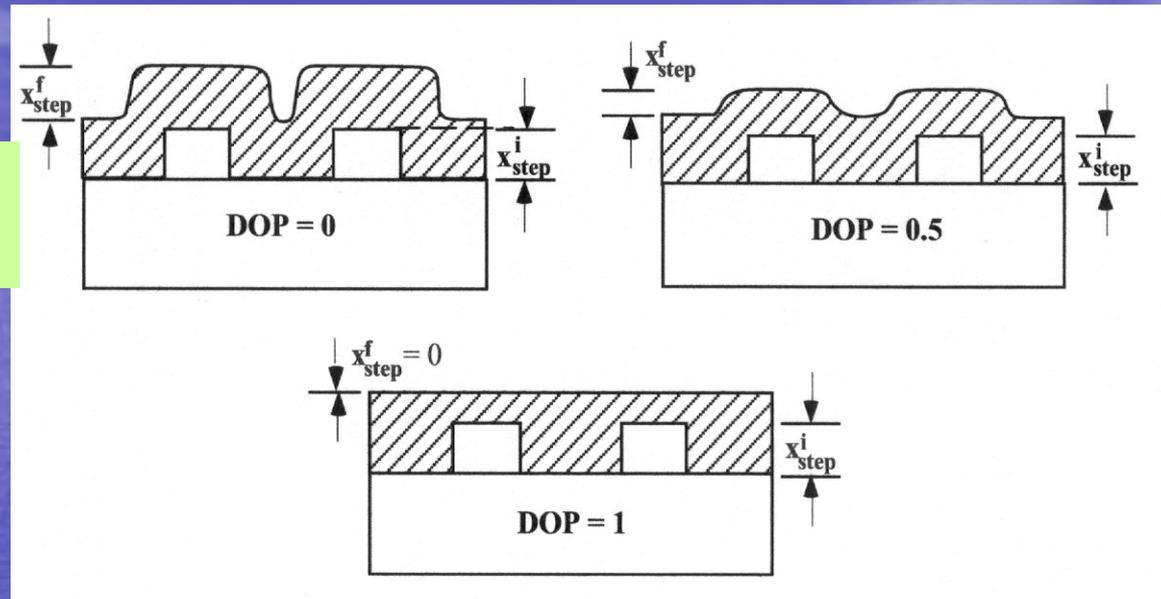
$$DOP = 1 - \frac{X_{step}^f}{X_{step}^i}$$

Onde:

X_{step}^i = altura do degrau inicial na topografia.

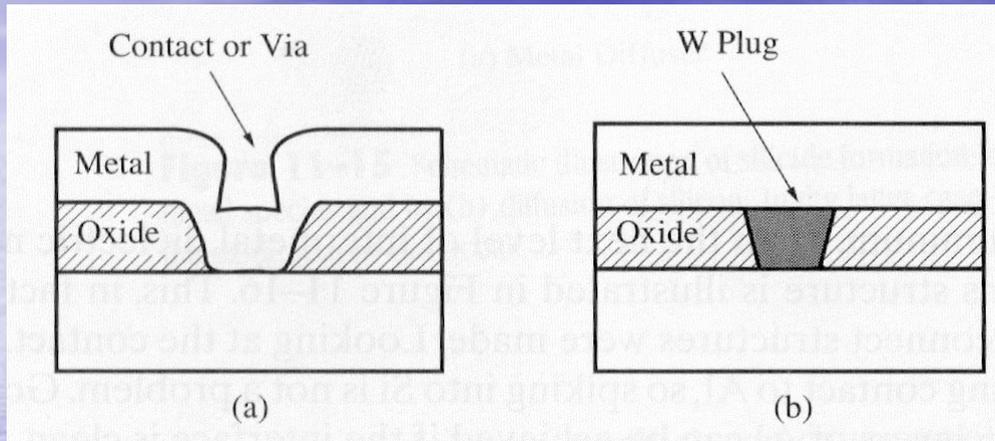
X_{step}^f = altura do degrau final depois da planarização.

Diferentes degraus de planarização.



- **DOP = 0** : não houve a planarização.
- **DOP = 1** : planarização completa. Altura do degrau final = 0.

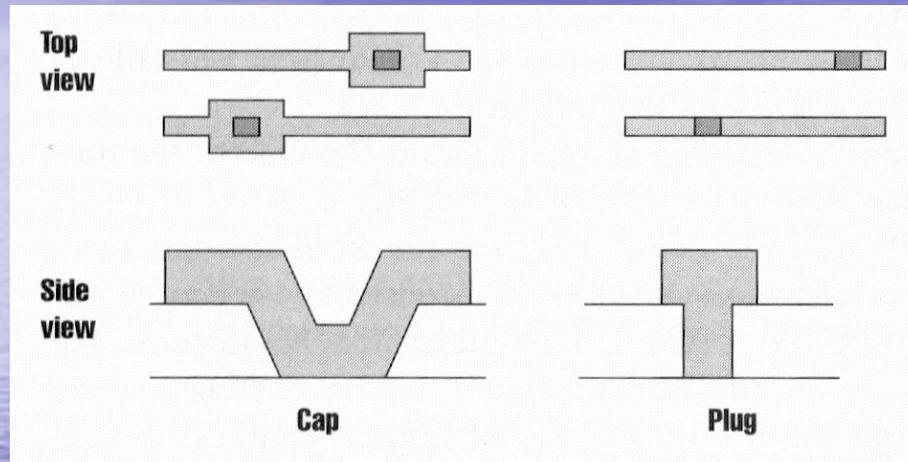
•Uso de W plug



Uma forma de obter camada de metal planar é usando contato de W ou preenchimento de vias, chamado de W plug.

- **Figura (a):** topografia acima do contato ou via em que o Al é usado como contato e interconexão do nível seguinte. Mostra o problema de cobertura de degrau do Al e a topografia resultante não muito planar.
- **Pode se obter estrutura de topografia planar usando preenchimento de vias ou estrutura tipo plug.** Primeiro faz a deposição seletiva do W dentro do contato, que preenche o contato sem depositar sobre o dielétrico.

- **Contatos preenchidos tipo caps versus plug**

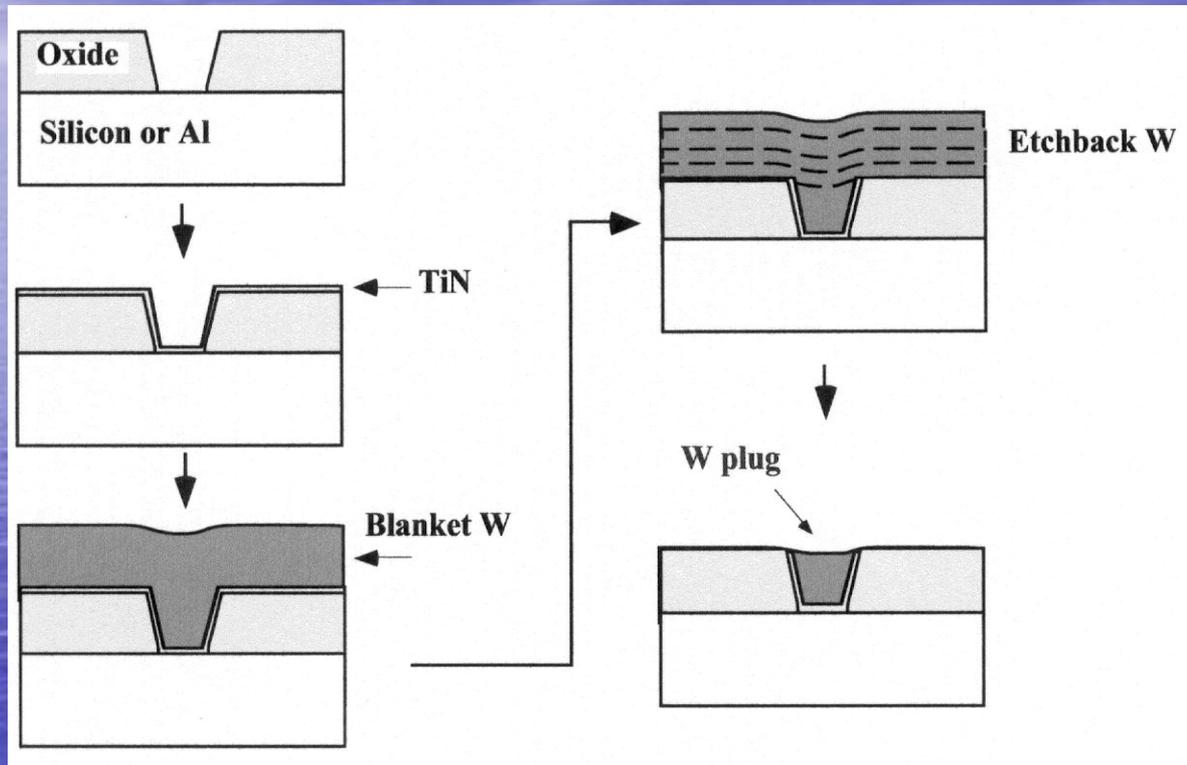


- **Caps ocupa mais espaços da topografia da superfície.**
- **Plugs decresce a topologia da superfície.**

- **O uso de W plug produz topografia mais lisa sobre contatos ou vias, resultando numa estrutura quase plana ($DOP \approx 1$).**

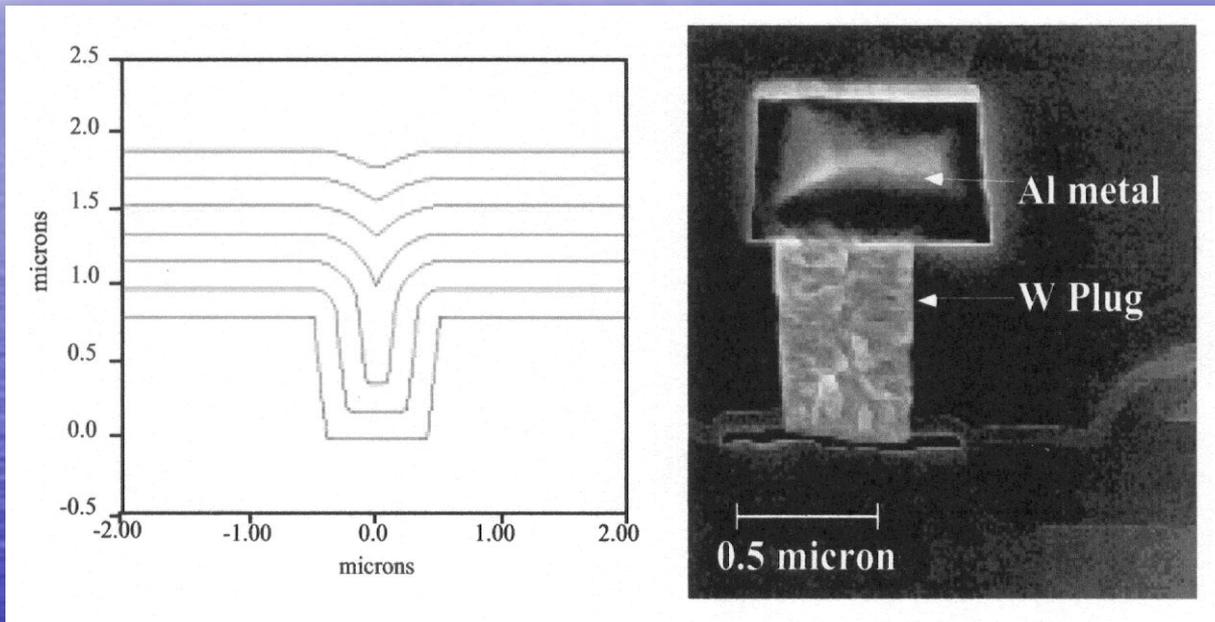
- **O método mais comum de deposição do W é a deposição feita tanto dentro do contato como sobre o dielétrico (blanket W deposition).**

- **Outro processo de obter W plug em contatos ou vias.**



- TiN (ou Ti/TiN) é usado como camada de adesão e barreira. É realizado etchback para planarizar e deixar o W somente no contato ou via.

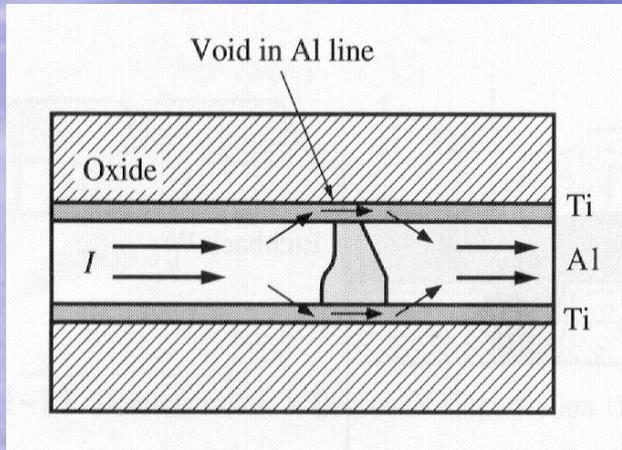
- A simulação é uma ferramenta útil para acompanhar ou mostrar a execução do processo de planarização em sobre-preenchimento de vias.



- Com a evolução da tecnologia, a interconexão também tem-se tornado estruturas multicamadas.

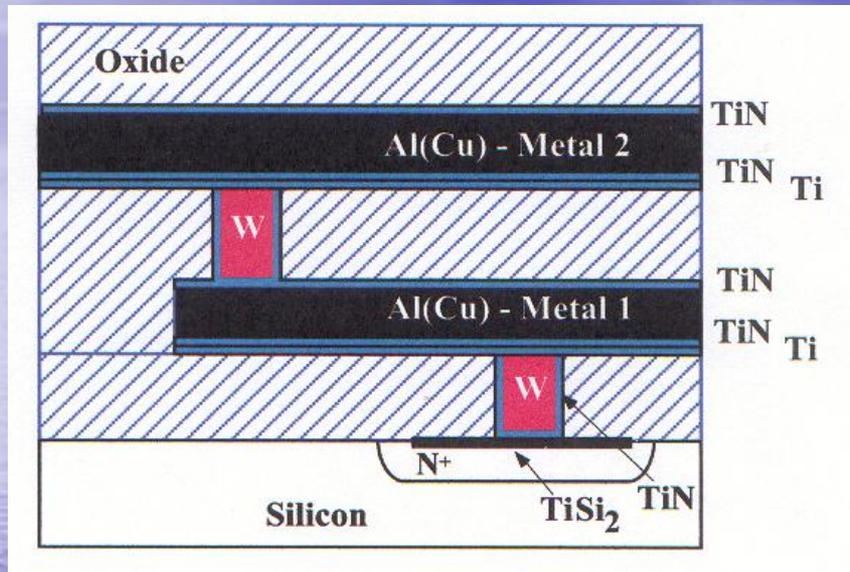
- **Embora os contatos e interconexões tenham-se beneficiado das estruturas multicamadas, a eletromigração tem sido ainda um dos seus problemas.**

- **Fazendo-se shunt do Al usando camadas de interconexão de outros materiais, acima , abaixo ou dentro da linha de Al, auxilia mitigar a eletromigração. Pode-se ainda melhorar a resistência mecânica, a adesão e servir como barreira de difusão.**



- **TiN de topo também atua com camada de antireflexão para litografia.**

- **Se a eletromigração causar rompimento da linha de Al, a corrente passa a circular através de outro material (fazendo shunt), mantendo a integridade da interconexão. Como a corrente flui apenas uma distância pequena, o material não precisa ser de resistividade baixa como a do Al.**

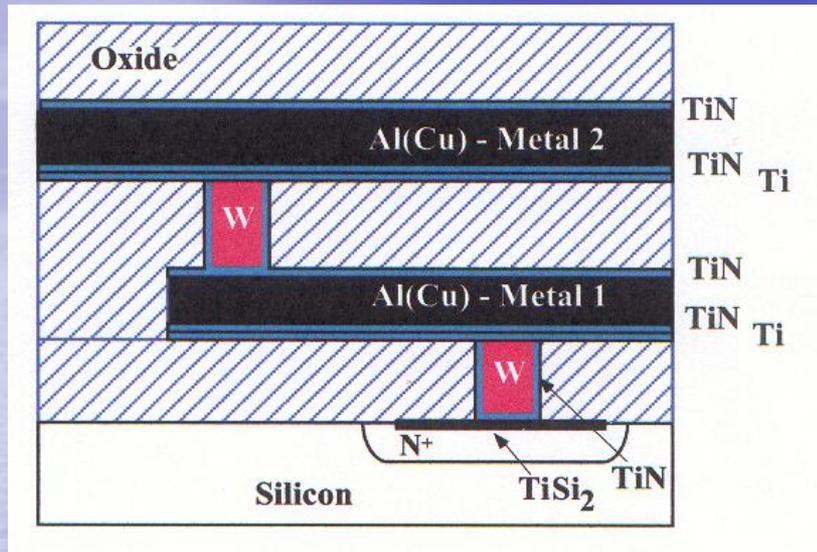


Estrutura de interconexão moderna típica. incorpora todos os aspectos mencionados.

W plug é usado em contato e vias, resultando em boa planaridade.

- **TiSi₂ é usado para fazer um bom contato com o Si e prover resistência de folha baixa para S/Ds.**

- **O TiN em contatos e vias circundando o W, promove adesão ao óxido e atua também como barreira para prevenir a camada de baixo do ataque de WF₆ durante a deposição de W.**



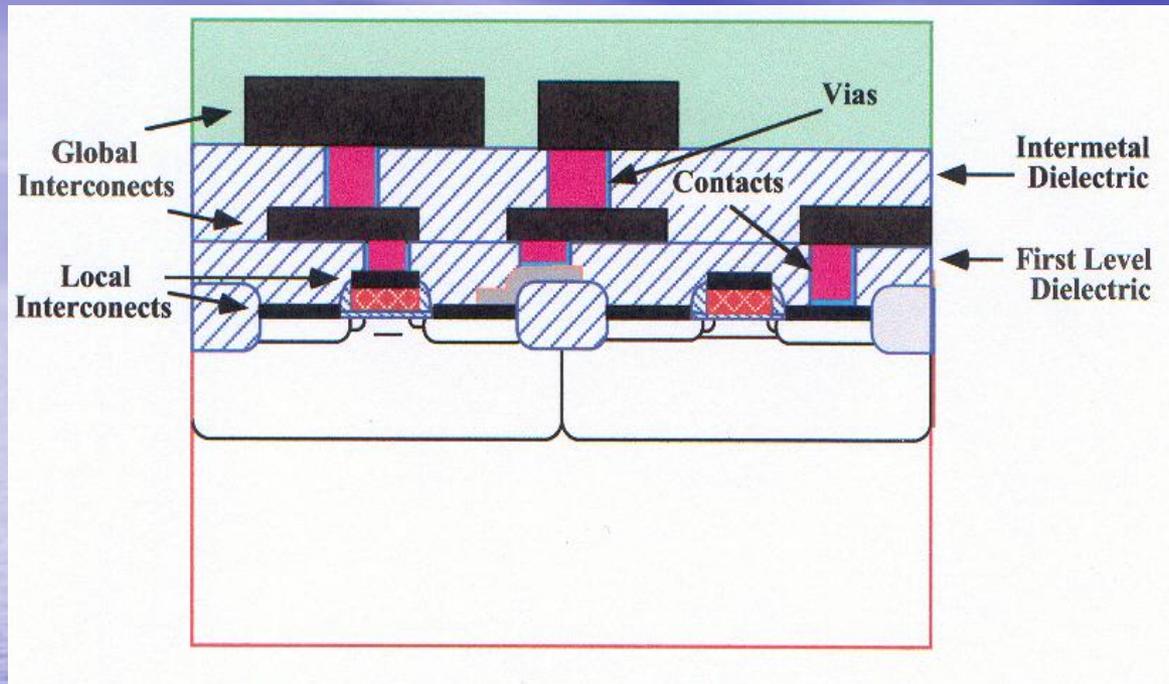
- **Ti melhora a textura do grão de Al para melhor proteção a eletromigração e promove adesão.**
- **TiN é uma barreira entre Al e Ti para limitar a formação de $TiAl_3$.**
- **TiN no topo atua também como camada antireflectiva para litografia.**

- **A estrutura $Ti/TiN/Al(Cu)/TiN$ forma a interconexão global.**
- **Cu no Al inibe a eletromigração e formação de hillocks.**

- **As camadas Ti/TiN e TiN acima e abaixo de cada interconexão provê shunt no caso da formação de voids no Al. Também inibe a formação de hillocks e voids provendo barreira mecânica para deformação plástica.**

16.4. Dielétricos entre Metais

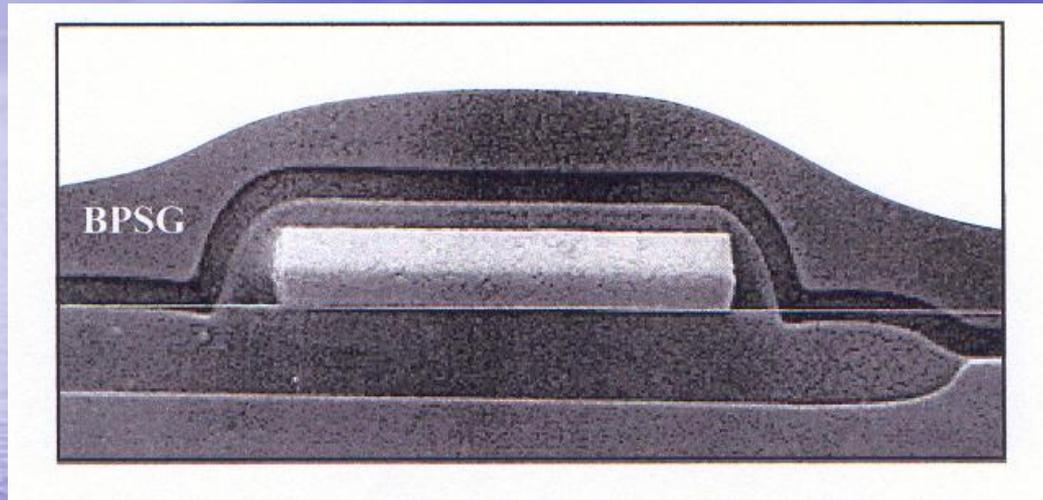
- **Dielétricos separa elétrica e fisicamente as interconexões entre elas e das regiões ativas.**



- **Dois tipos de dielétricos :**
 - **Dielétrico de primeiro nível;**
 - **Dielétrico intermetálico (IMD).**

- **Dielétrico de primeiro nível :**
 - **Camada depositada. Separa a interconexão global (Al) do substrato, si-poli e interconexão local.**
 - **Depositado antes do Al.**
 - **Normalmente é SiO₂ com P, ou B, ou ambos (2-8 wt%) para melhorar propriedades de reflow.**
 - **PSG : vidro fósfosilicato, reflow a 950-1100°C.**
 - **BPSG : vidro borofosfosilicato, reflow a 800°C**

Imagem SEM da camada de óxido BPSG depois do reflow a 800°C, mostrando topografia bastante plana sobre o degrau.

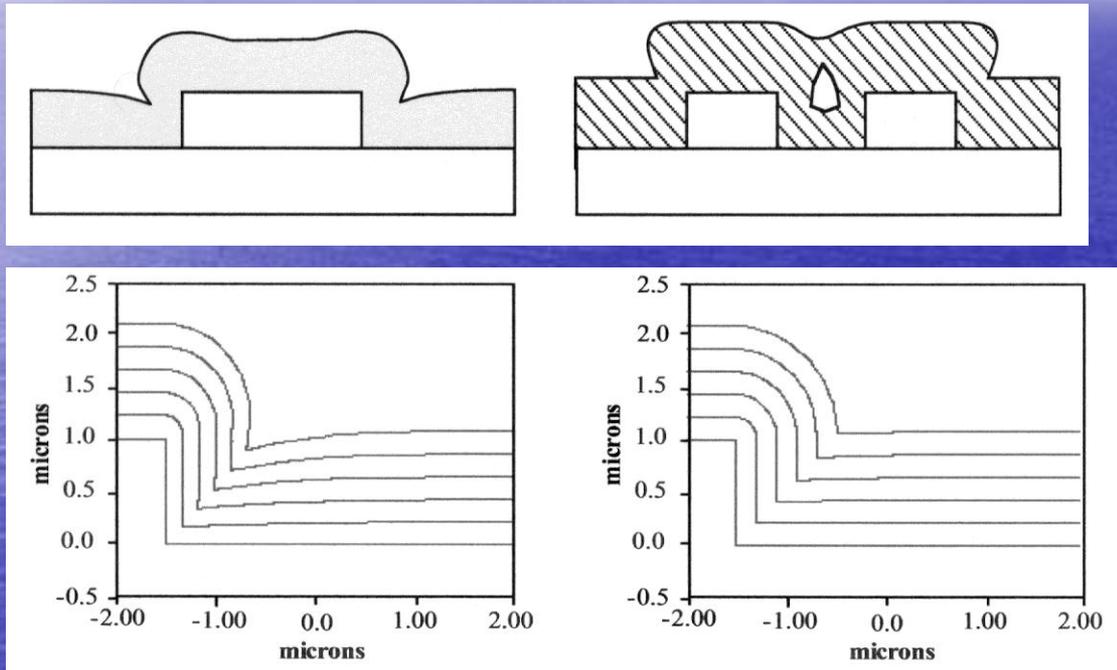


- **SiO₂ não dopado é frequentemente usado acima e abaixo do PSG ou BPSG para prevenir a corrosão do Al.**

- **O dielétrico intermetálico (IMD): dielétrico depositado que separa a interconexão global.**
- **O dielétrico intermetálico também é feito hoje principalmente de SiO₂. Mas não pode ser efetuado o reflow ou anneal de densificação, por causa das limitações de T.**

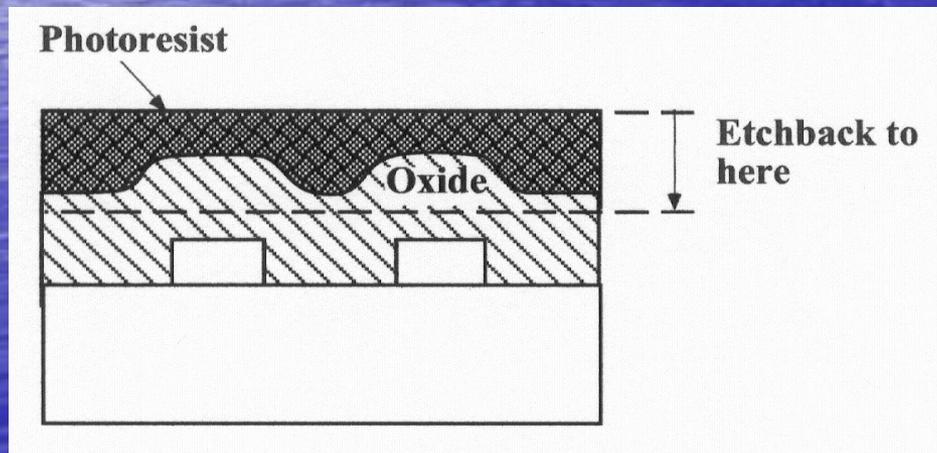
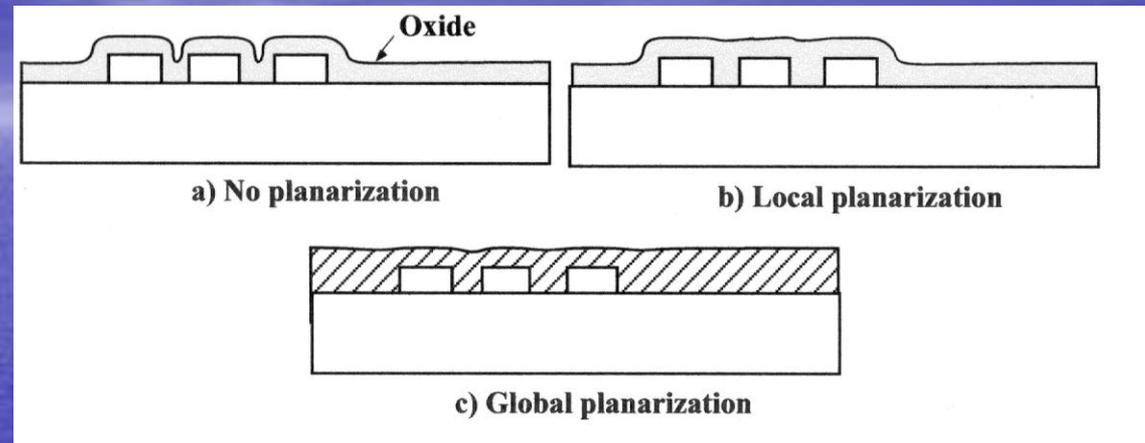
- **O dielétrico IMD é depositado depois do Al. Portanto, os requisitos dos dielétricos IMD e o de primeiro nível são diferentes.**

- Com dielétricos ocorrem dois problemas: protuberâncias e voids. Estes podem ser minimizados usando técnicas apropriadas de deposição.



- Simulações de deposição do SiO₂ sobre o degrau para a deposição baseada na Silana (S_c = 0.4) e deposição de TEOS (S_c = 0.1), mostra menos protuberâncias com o TEOS.

- Contudo, a planarização é hoje geralmente necessária.



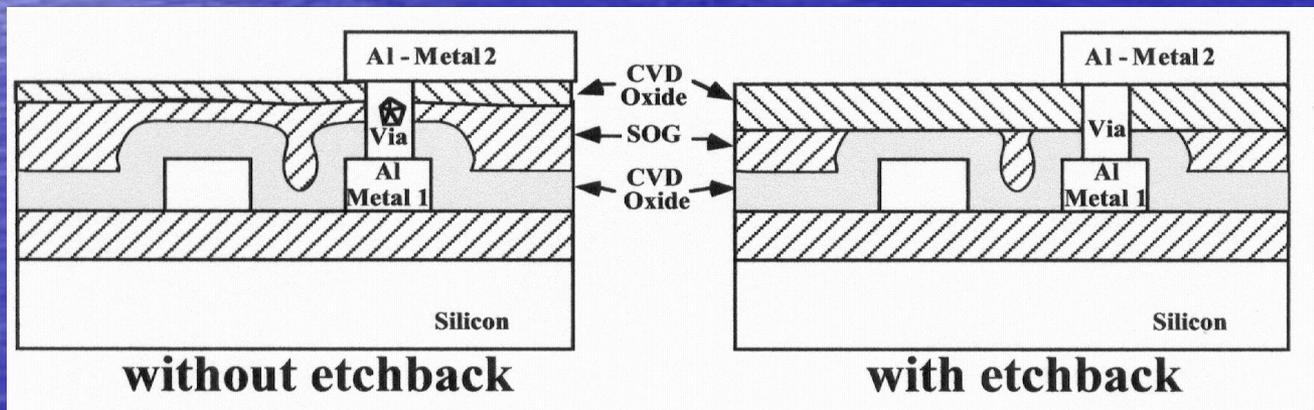
- Um processo simples envolve planarização com fotoresiste e depois fazer o etching back sem a seletividade.

- O fotoresiste é usado como camada sacrificial;
- O fotoresiste preenche o espaço e temos no final o topo da superfície quase plana;
- Depois de efetuar o hard-bake é efetuado o etching do óxido e do fotoresiste. Fazendo até o final da camada de fotoresiste, obtém-se a camada de óxido de superfície quase plana.
- O resultado é uma planarização local, sendo limitado para planarização global.

- **A planarização pode ser realizada sem a camada de sacrifício se o dielétrico for depositado com camada espessa. Quanto mais espessa a camada, mais plana tende ser a topografia final da estrutura obtida.**
- **Com plasma etching ou CMP pode-se obter topografias mais planas.**

- **Outra opção : spin-on-glas (SOG)**

- Similar a técnica do etchback com fotoresiste;
- O SOG é líquido e como o fotoresiste preenche todos os espaços da estrutura, mas torna SiO_2 depois de bake e cura;
- Pode ser efetuado com ou sem etchback;



- **Ao fazer o etchback deve-se tomar o cuidado para que não reste SOG na região de metal onde será fabricada vias;**
- **Caso isso ocorra, os gases residuais e a umidade do SOG, podem contaminar os contatos e as vias, causando um grande aumento das suas resistências.**

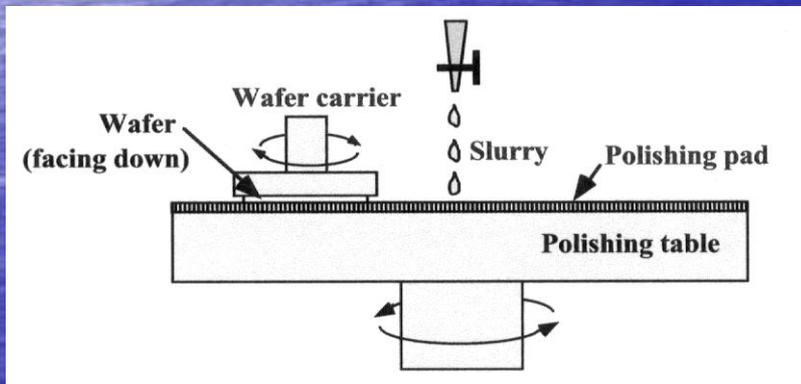
- **Pode se obter com SOG a planarização local e limitada planarização global.**
- **A qualidade do óxido SOG não é boa quanto óxido térmico ou CVD.**

- **Outra alternativa: low- κ SOD's (spin-on-dielectrics)**

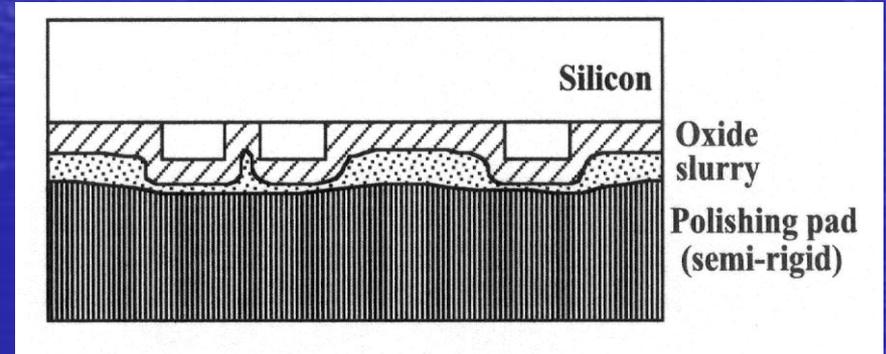
- SOD's são polímeros Si-O-C, que podem ser materiais inorgânicos, orgânicos ou híbrdos;
- Provê um bom preenchimento e planarização local e limitada planarização global, da mesma forma que o SOG;
- A vantagem dos SOD's é a constante dielétrica mais baixa que o SiO₂, que resulta em capacitância entre metais mais baixa, portanto, uma melhora no time delay RC de interconexão;
- Problemas: estabilidade térmica (decompõem a temperaturas moderadas) e absorção de umidade. Estes tendem a degradar as propriedades elétricas e a sua adesão;
- Para mitigar estes problemas são usados frequentemente em sandwich com o SiO₂ CVD.

- **Opção mais recente : Deposição de óxido pela técnica HDPCVD**

- A técnica de deposição HDPCVD, permite a obtenção de filmes de óxido CVD de alta densidade e possibilita realizar no mesmo equipamento, o sputtering dependente de ângulo, durante a deposição que auxilia planarizar as estruturas.
- A solução mais comum hoje é o CMP para a planarização global.

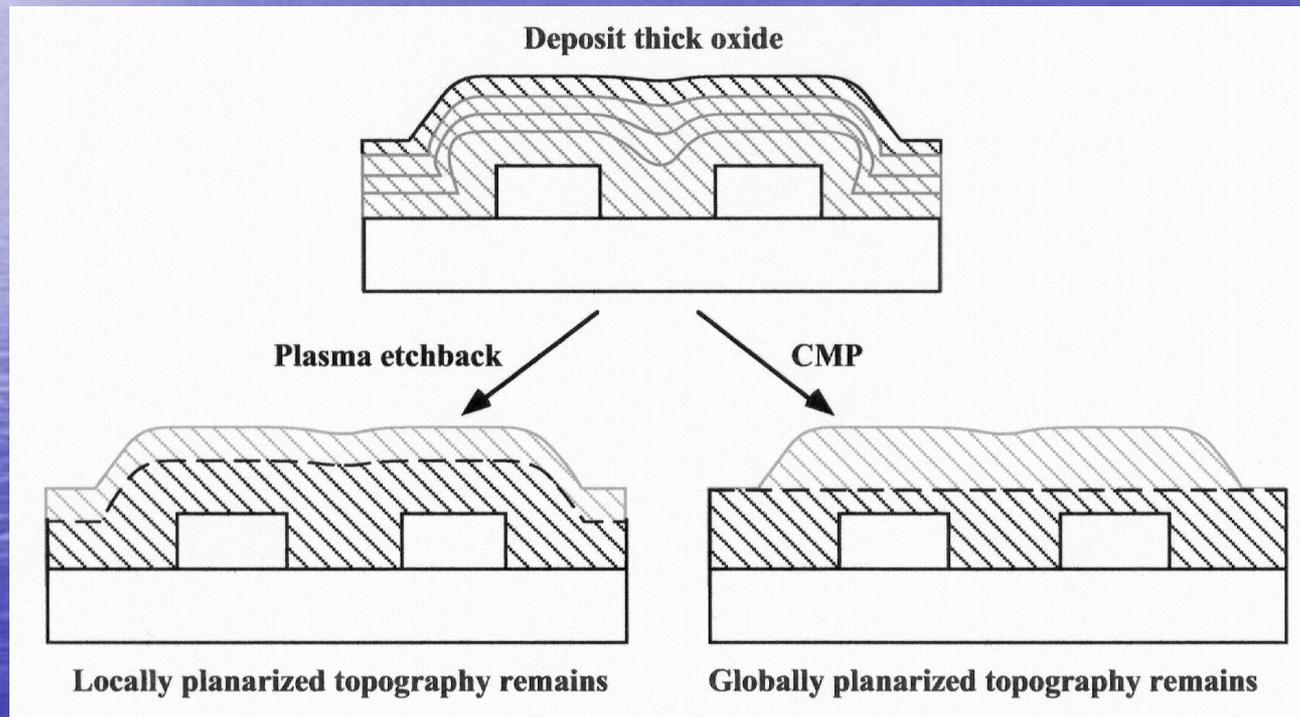


Sistema CMP



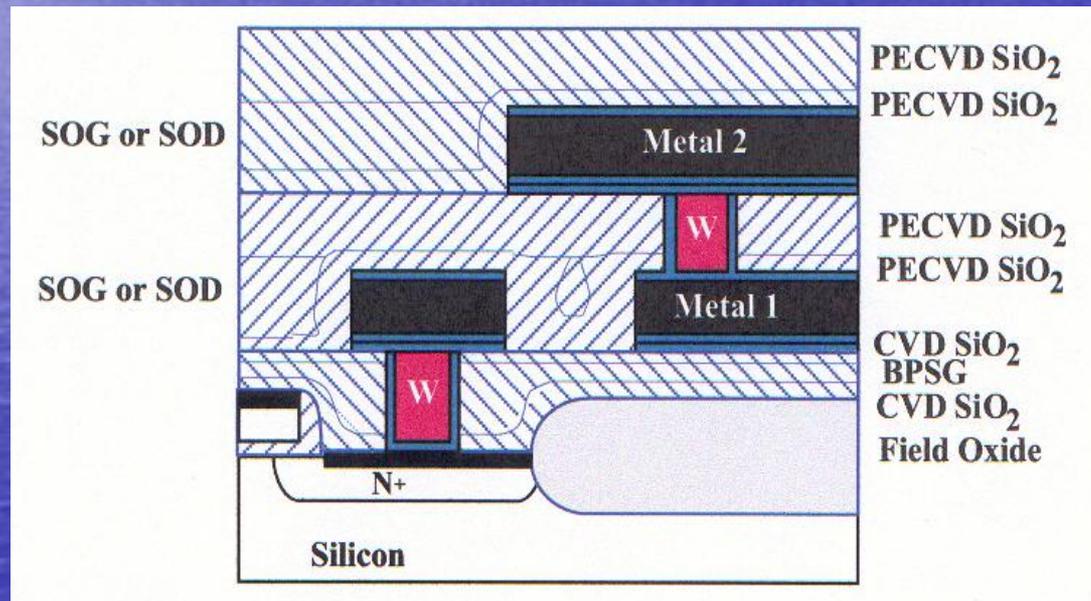
**Close-up da interface
wafer/pad**

- CMP é normalmente muito melhor para planarização global do que técnica de etchback.



- Esquema de uma possível multi-estrutura dielétrica.

With PECVD oxide/PECVD nitride passivation bilayer on top of final metal level.



- Outras variações incluem óxidos HDP ou o uso de CMP.

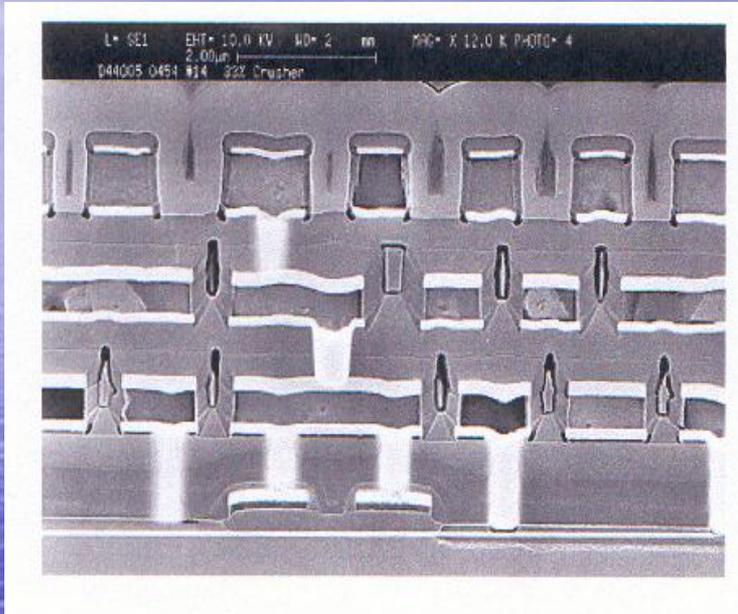
- **Características desta estrutura back end :**

- **Estrutura dielétrica multicamada;**
- **Utiliza PBSG para dielétrico de primeiro nível;**
- **W plug; e**
- **SOG ou SOD para dielétrico entre metais.**

- **Camada de óxido:**

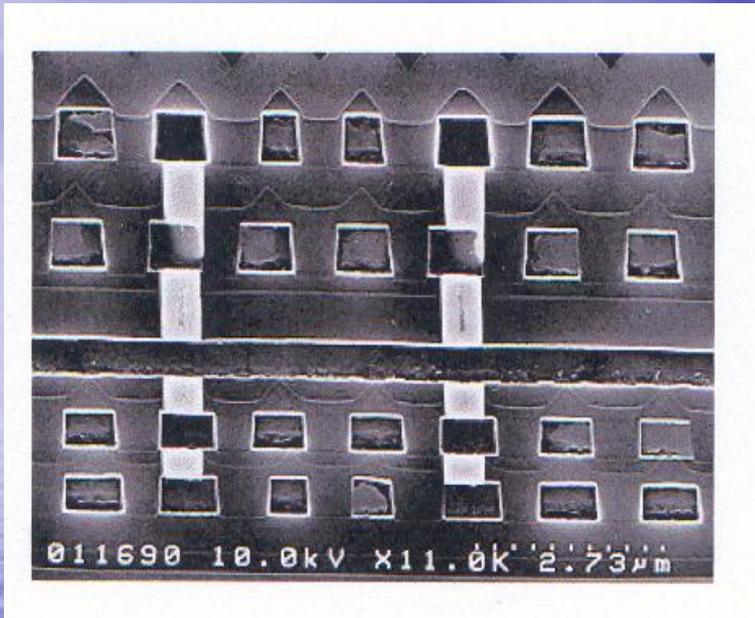
- **baseada em Silana ou TEOS, usando PECD, bias-sputtering ou HDP e com ou sem etchback ou CMP.**

- **Imagens SEM de duas estruturas back end atuais da VLSI Technology, Inc.**



- **Três níveis de metal;**
- **Tecnologia $0.35\mu\text{m}$.**

- **BPSG para primeiro nível de dielétrico, SOG (encapsula topo e embaixo com óxido PECVD) e CMP no dielétrico intermetálico. Observa-se claramente W plugs e camadas de metal multi-camadas.**



- **Cinco níveis de metal;**
- **Tecnologia 0.25µm.**

- **Óxido HDP (com cap de óxido PECVD) e CMP no dielétrico intermetálico.**

- Observações sobre tecnologia back end

Year of 1st DRAM Shipment	1997	1999	2003	2006	2009	2012
Minimum Feature Size, F_{\min} (nm)	250	180	130	100	70	50
DRAM Bits/Chip	256M	1G	4G	16G	64G	256G
DRAM Chip Size (mm ²)	280	400	560	790	1120	1580
MPU Chip Size (mm ²)	300	360	430	520	620	750
Wiring Levels - Logic	6	6-7	7	7-8	8-9	9
Min metal CD (nm)	250	180	130	100	70	50
Min contact/via CD nm	280/ 360	200/ 260	140/ 180	110/ 140	80/100	60/70
Metal Aspect Ratio	1.8	1.8	2.1	2.4	2.7	3.0
Contact aspect ratio (DRAM)	5.5	6.3	7.5	9	10.5	12
Via aspect ratio (logic)	2.2	2.2	2.5	2.7	2.9	3.2
Metal resistivity ($\mu\text{-cm}$)	3.3	2.2	2.2	2.2	<1.8	<1.8
Interlevel metal dielectric constant	3.0-4.1	2.5-3.0	1.5-2.0	1.5-2.0	<1.5	<1.5

- É preciso reduzir delay do circuito devido as interconexões.

- **Reduzir a revistividade do metal \Rightarrow usar Cu em vez do Al.**
- **Razão de aspecto elevado \Rightarrow métodos avançados de deposição, etching e planarização.**
- **Reduzir constante dielétrica \Rightarrow usar material de low- κ .**

Dieléctricos de low- κ

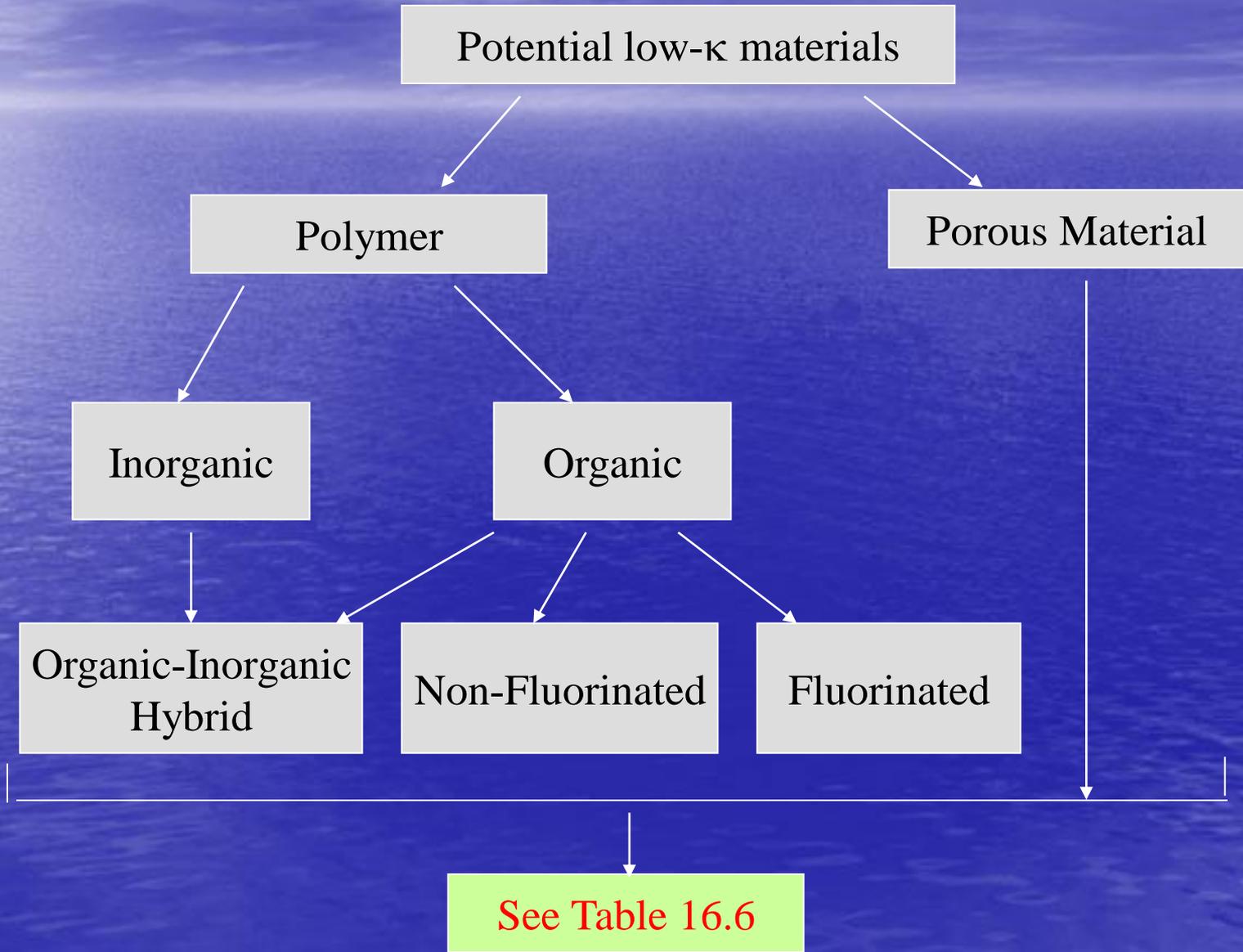


Table 16.6 Materials used or considered for interlevel dielectrics

Material`Class	Material	Dielectric Constant	Deposition Technique
Inorganic	SiO₂ (including PSG and BPSG)	3.9-5.0	CVD Thermal Oxidation Bias-Sputtering High-Density Plasma
	Spin-on-glass (SiO₂) (including PSG and BPSG)	3.9-5.0	SOD (spin-on-dielectric)
	Modified SiO₂ (e.g., fluorinated SiO₂ or hydrogen silsesquioxane – HSQ)	2.8-3.8	CVD/SOD
	BN(Si)	>2.9	
	Si₃N₄ (only used in multilayer structure)	5.8-6.1	CVD CVD
Organic	Polymides	2.9-3.9	SOD/CVD
	Fluorinated Polymides	2.3-2.8	SOD/CVD
	Fluoro-polymers	1.8-2.2	SOD/CVD
	F-doped amorphous C	2.0-2.5	CVD
Inorganic/Organic Hybrids	Si-O-C hybrid polymers based on organosilsesquioxanes (e.g., MSQ)	2.0-3.8	SOD
Aerogels (Microporous)	Porous SiO₂ (with tiny free space regions)	1.2-1.8	SOD

- Todos esses materiais tem começado a ser empregados em processos avançados atuais.