

Escalamento e Limites de Dispositivos MOS

Jacobus W. Swart

CCS e FEEC

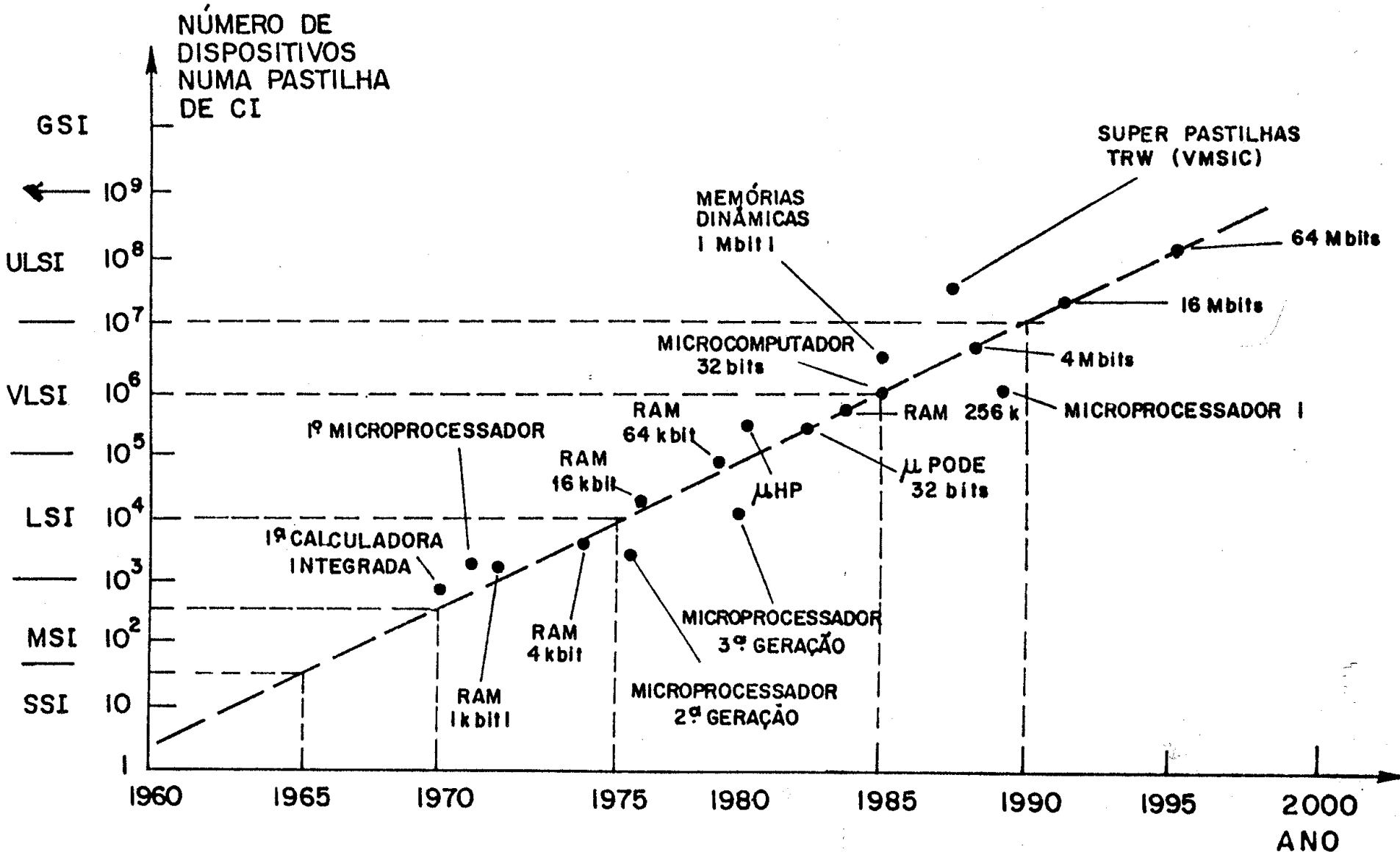
UNICAMP

Sumário – Escalamento e Limites de Dispositivos MOS

- Introdução
- Leis de escalamento
- Efeitos de canal curto
- Punchthrough
- Resistências parasitárias
- Capacitância de porta
- Corrente de tunelamento
- Redução de mobilidade
- Injeção de portadores quentes
- Rupturas do transistor
- Efeitos das limitações e escalamento

1. Introdução - Escalamento

- Lei de Moore:



1. Introdução – Escalamento – cont.

- Quais as forças propulsoras para o escalamento?
 - Maior densidade integração \Rightarrow economia
 - Menor consumo de energia \Rightarrow desempenho
 - Maior velocidade de operação \Rightarrow desempenho
 - Menor no. de chips / sistema \Rightarrow economia

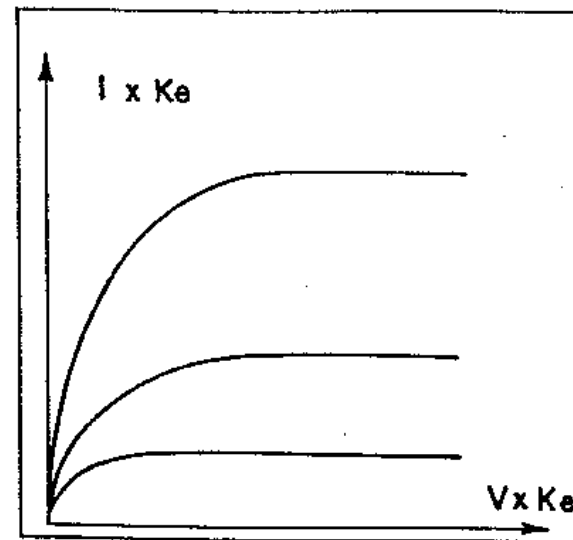
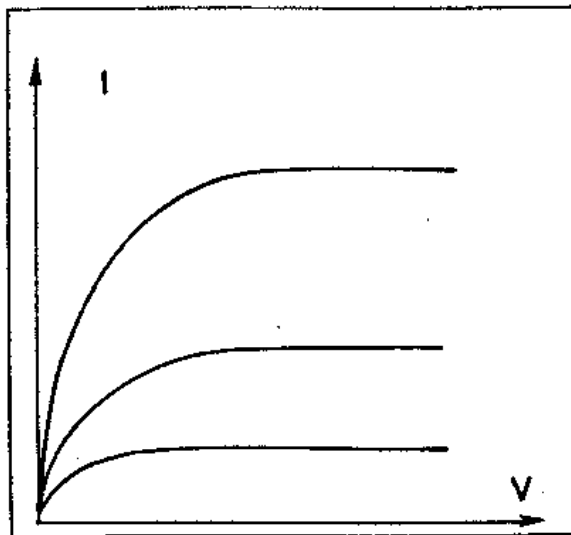
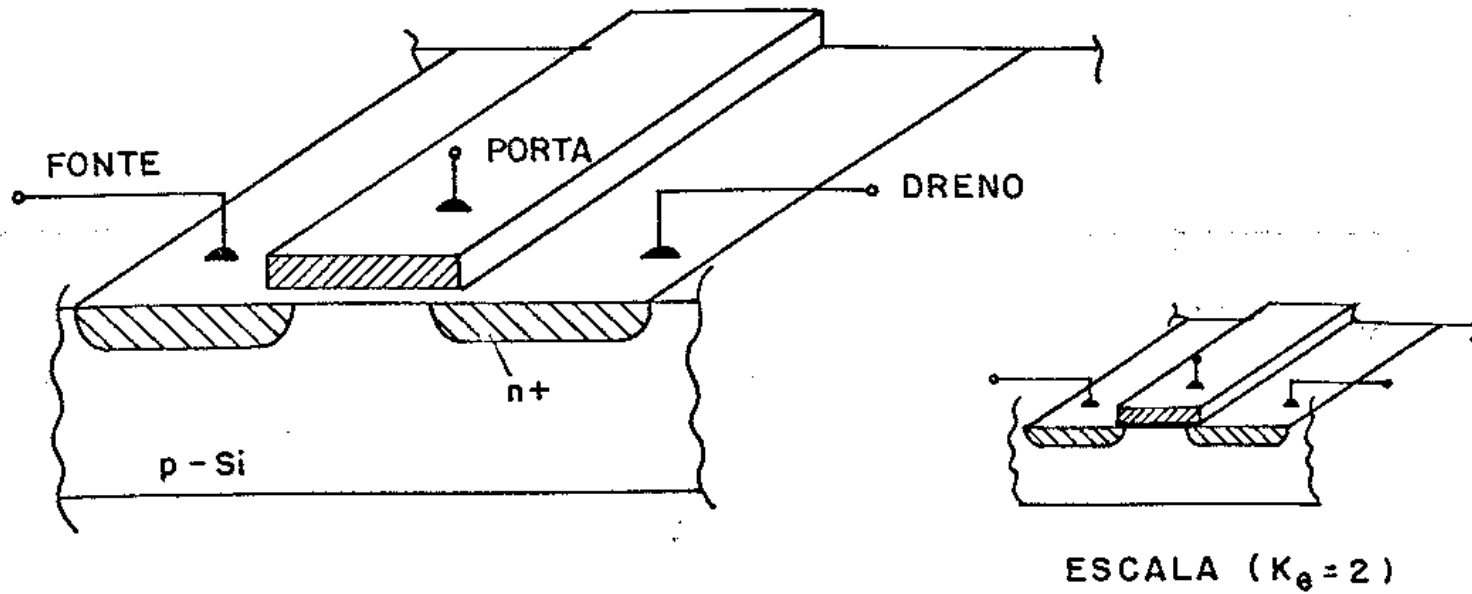
1. Introdução – Escalamento – cont.

- Perguntas:
 - Como reduzir (escalar) dimensões ?
 - Quais as limitações dos dispositivos escalados?
 - Quais os limites de escalamento?

2. Leis de Escalamento

Parâmetro	Fator de escala
Dimensões: L, W, t_{ox}, x_J	k_d
N dopagem	k_N
Tensões	k_V

2. Leis de Escalamento – cont.

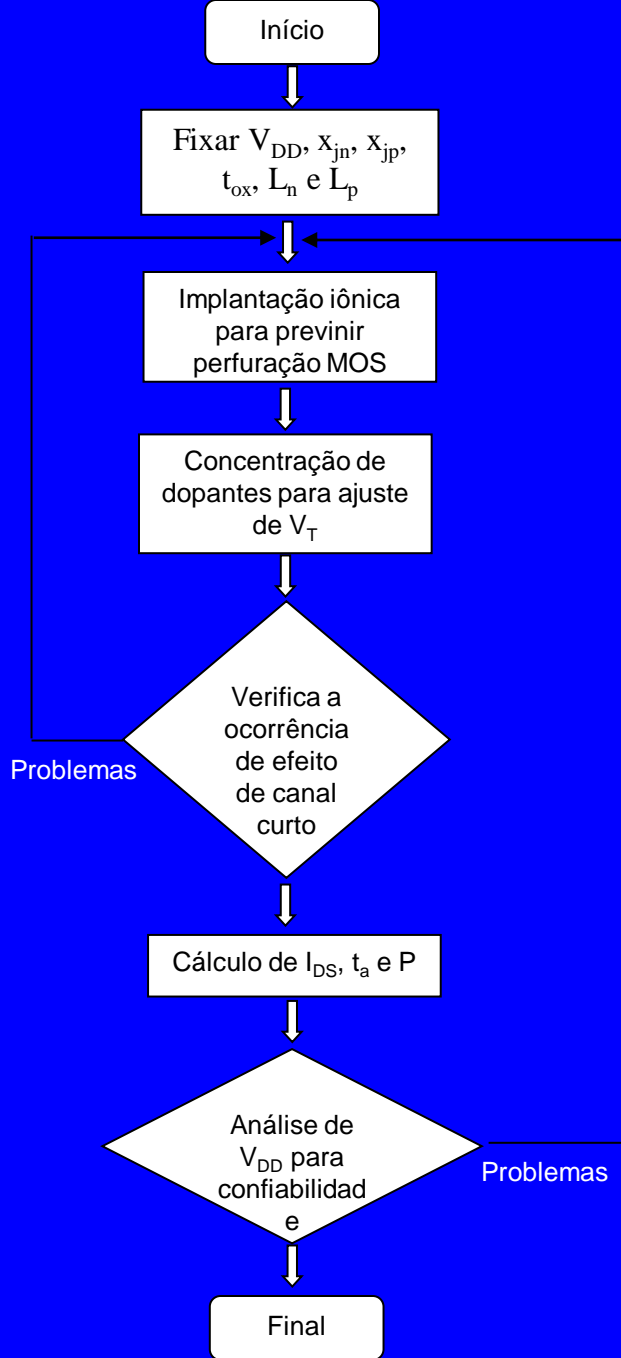


2. Leis de Escalamento – Tipos de Leis

Parâmetro	EC	VC	VQC	Geral
W, L, x_J	$1/k$	$1/k$	$1/k$	$1/k_d$
t_{OX}	$1/k$	$1/\sqrt{k}$	$1/k$	$1/k_d$
N	k	k	k	k_d^2/k_v
V_{DD}	$1/k$	1	$1/\sqrt{k}$	$1/k_v$
I_{DS}	$1/k$	\sqrt{k}	1	k_d/k_v^2
C	$1/k$	$1/k^{3/2}$	$1/k$	$1/k_d$
t_a	$1/k$	$1/k^2$	$1/k^{3/2}$	k_d/k_v^2
P	$1/k^2$	\sqrt{k}	$1/\sqrt{k}$	k_d/k_v^3
$P.t_a$	$1/k^3$	$1/k^{3/2}$	$1/k^2$	$1/k_d^2 k_v$
P/A	1	$k^{5/2}$	$k^{3/2}$	k_d^3/k_v^3

2. Leis de Escalamento – Procedimento Prático

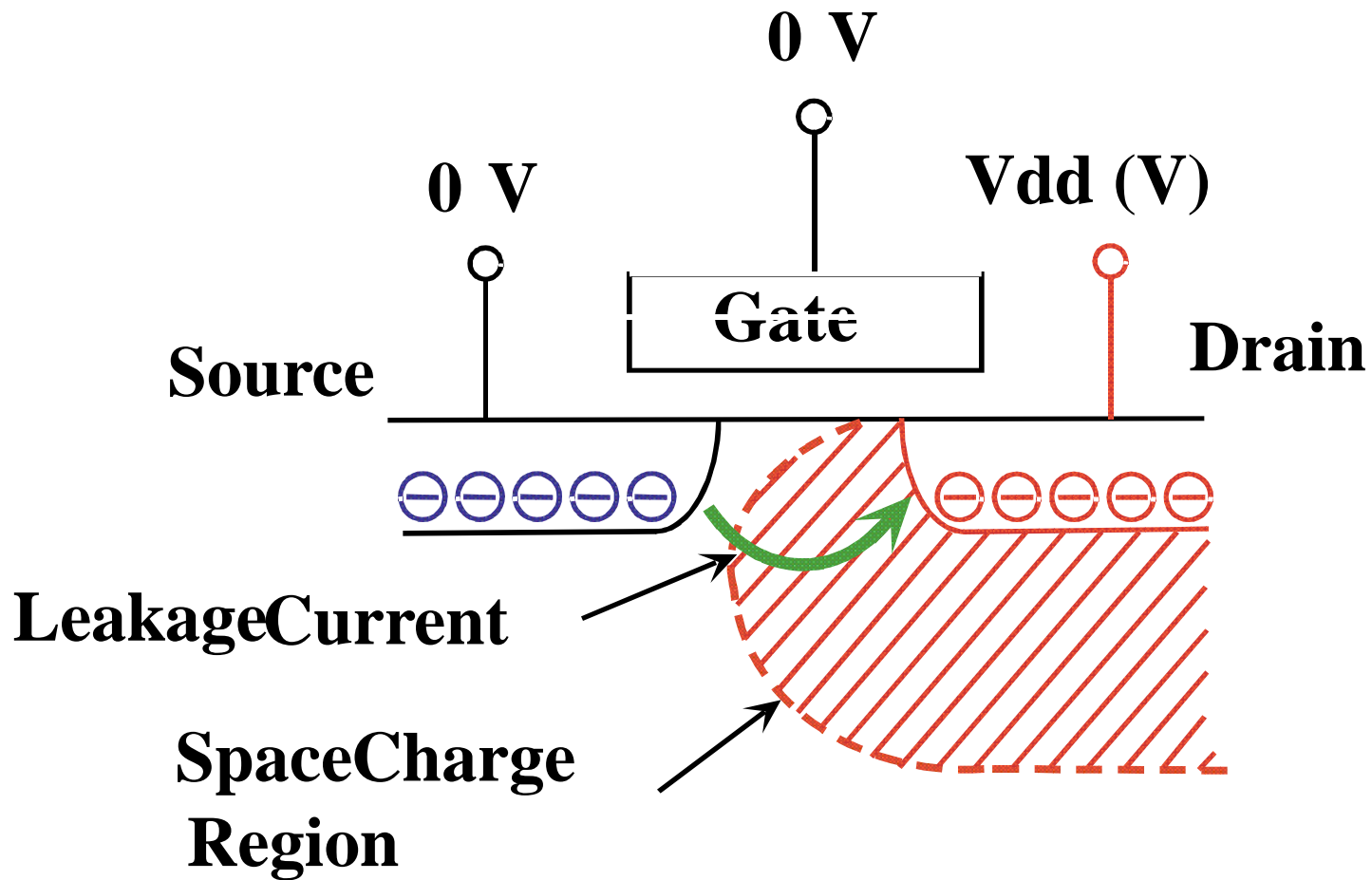
- Por simulações de:
 - Processos (SUPREM)
 - Dispositivos (PISCES)
- Ajustar os parâmetros para ótimo desempenho, com análise de:
 - Tensão de limiar, V_T
 - Efeito de canal curto ($V_T \times L$ e V_{DD})
 - Perfuração MOS (punchthrough)
 - Corrente de corte, I_{off}
 - Tempo de atraso, t_a
 - Potência, P
 - Corrente de porta e substrato p/ confiabilidade



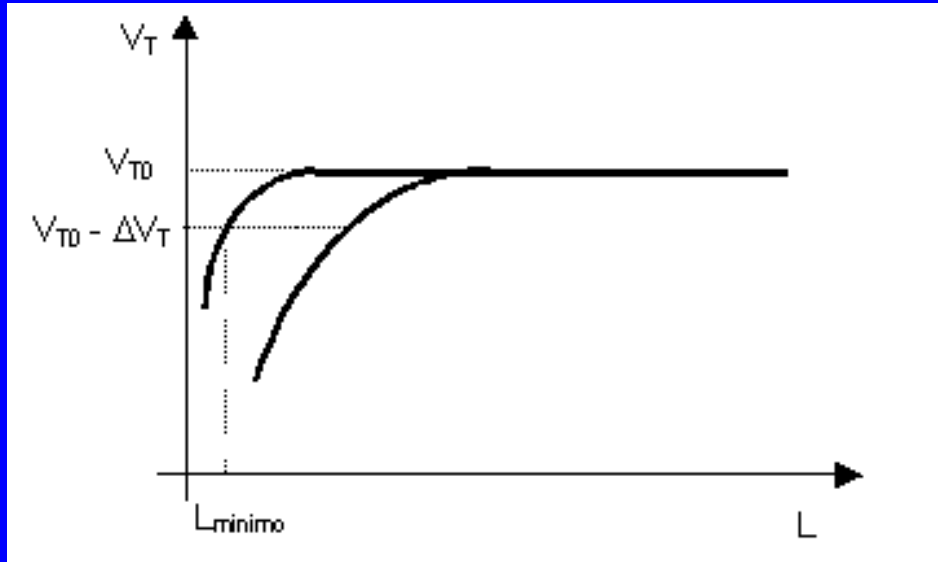
3. Limitações

- Limitações de transistores de pequenas dimensões:
 - Efeitos de canal curto, $\Delta V_T \times L$ e $\Delta V_T \times V_{DS}$
 - Perfuração MOS
 - Resistências parasitárias
 - Capacitância de inversão
 - Corrente de tunelamento de porta
 - Redução de mobilidade
 - Injeção de portadores quentes
 - Rupturas
 - Efeitos de canal estreito, $\Delta V_T \times W$

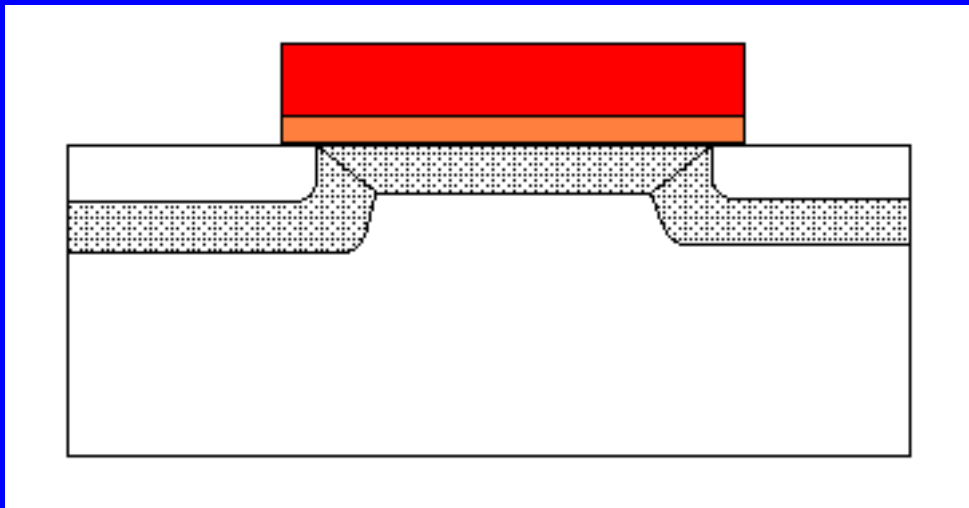
Short-channel effect at downsizing



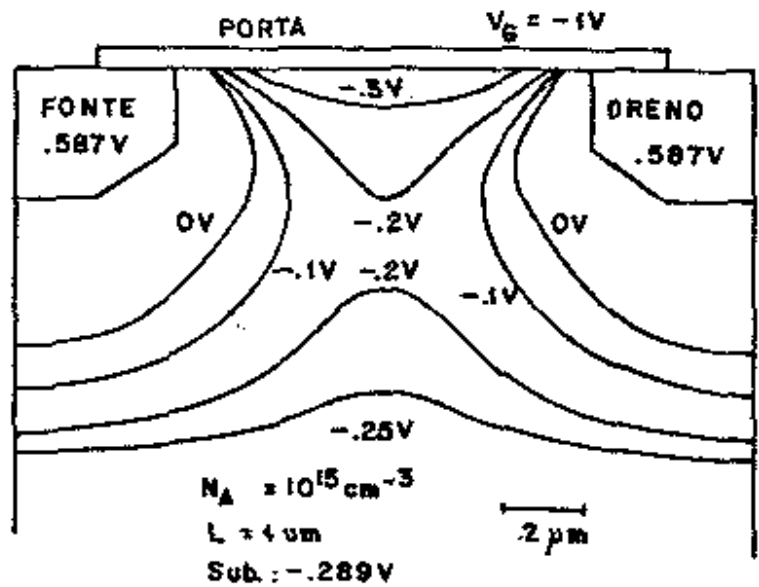
3.1 Limitações – Efeitos de canal curto



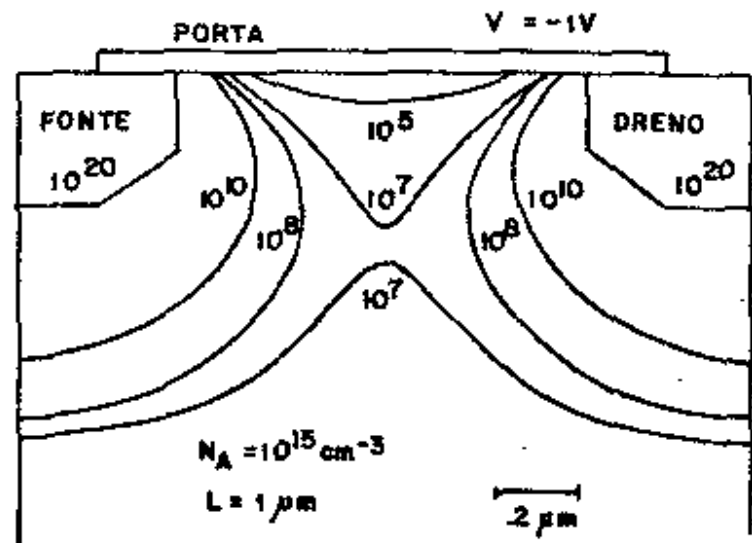
- Parâmetros de ajuste:
 - Dopagem no canal
 - Profundidade de junção
 - Espessura de óxido de porta



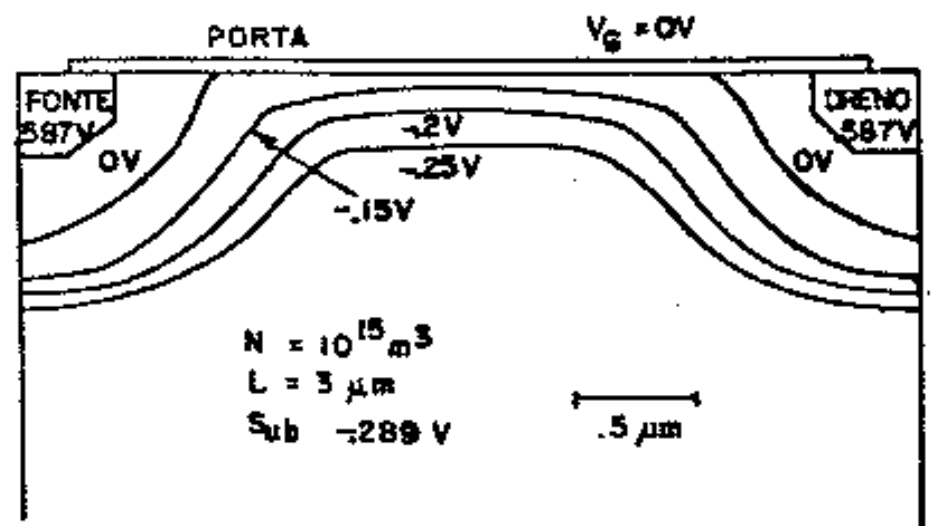
3.2 Limitações – “Punchthrough”



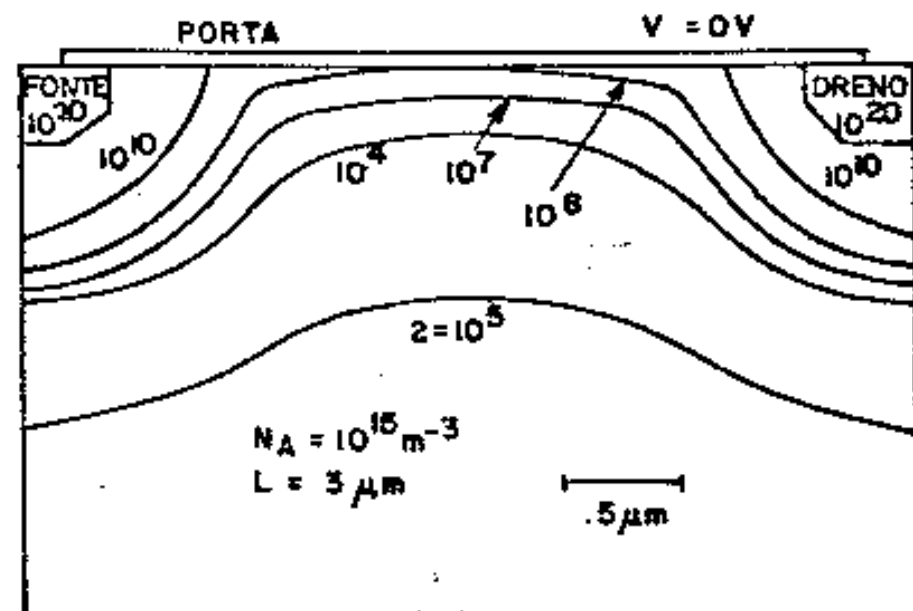
(a)



(b)

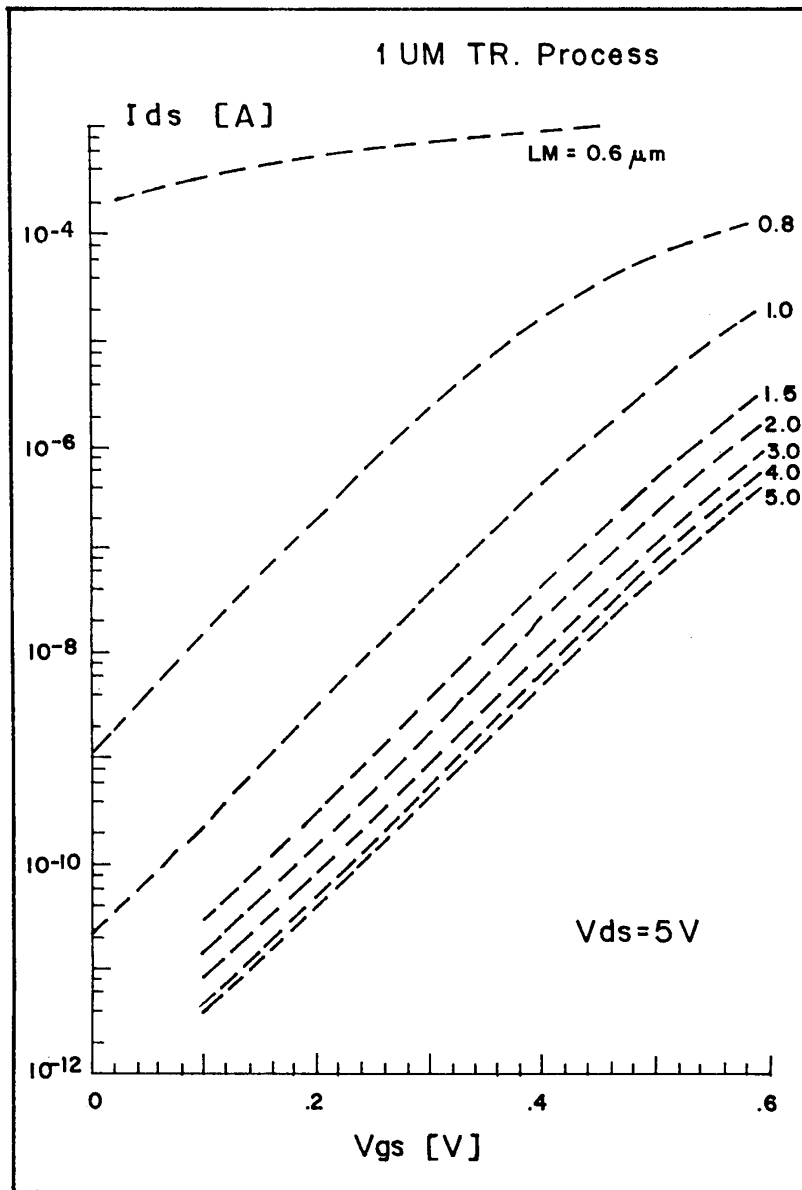


(a)



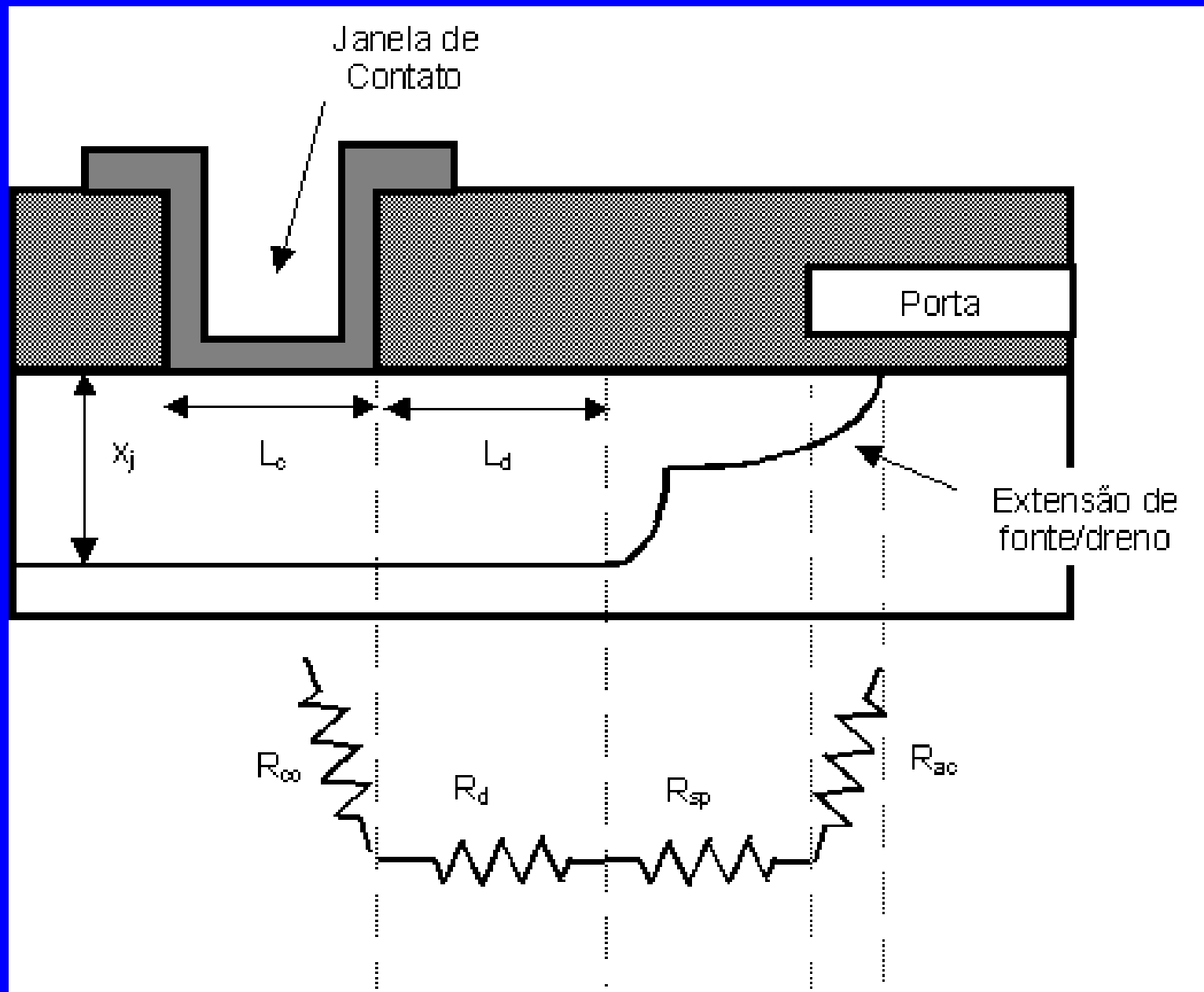
(b)

3.2 Limitações – “Punchthrough” – cont.



- Parâmetros de ajuste:
 - Dopagem no canal
 - Profundidade de junção
 - Espessura de óxido de porta

3.3 Limitações – Resistências Parasitárias



3.3 Limitações – Resistências Parasitárias – cont.

- Dificuldades:
 - $X_J \downarrow \Rightarrow R_d \uparrow$
 - Área $\downarrow \Rightarrow R_{Co} \uparrow$
- Soluções:
 - Siliceto sobre a região de S/D
 - S/D com alta dopagem, uso de RTP.
 - Perfil abrupto da região LDD: R_{SP} e $R_{AC} \downarrow$

3.4 Limitações – Capacitância de Porta

- Classicamente: $Q_c = C_{ox} (V_{GS} - V_T)$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

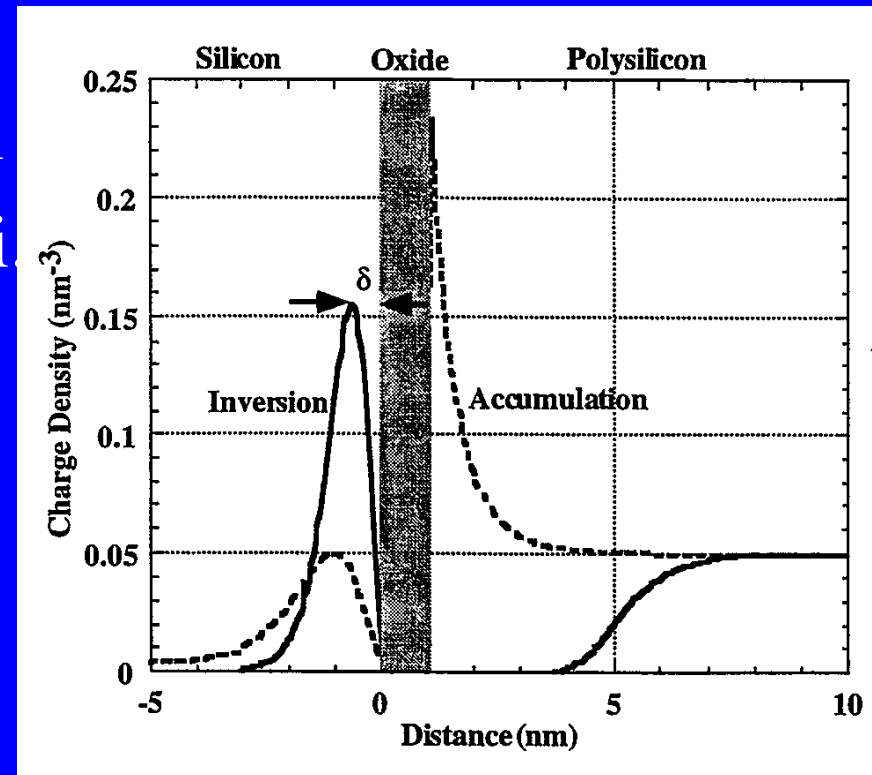
- Correções:

efeito da espessura do canal
depleção da porta de Si-poli

$$\frac{1}{C_{ef}} = \frac{1}{C_{ox}} + \frac{1}{C_c} + \frac{1}{C_{poli}}$$

$$C_c = \frac{\epsilon_{Si}}{t_c}$$

$$C_{poli} = \frac{\epsilon_{Si}}{t_{depl}}$$

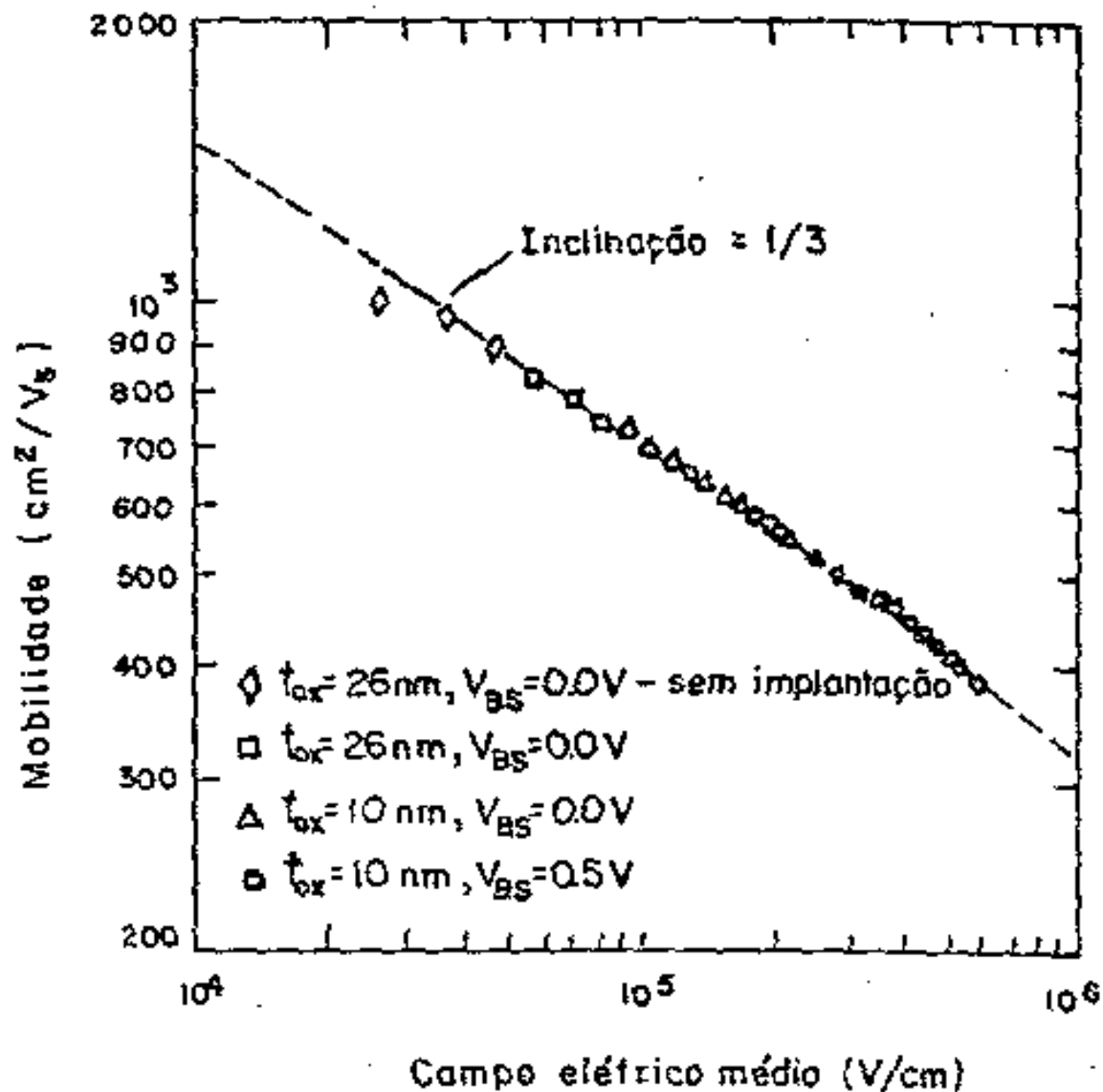


3.5 Limitações – Corrente de tunelamento

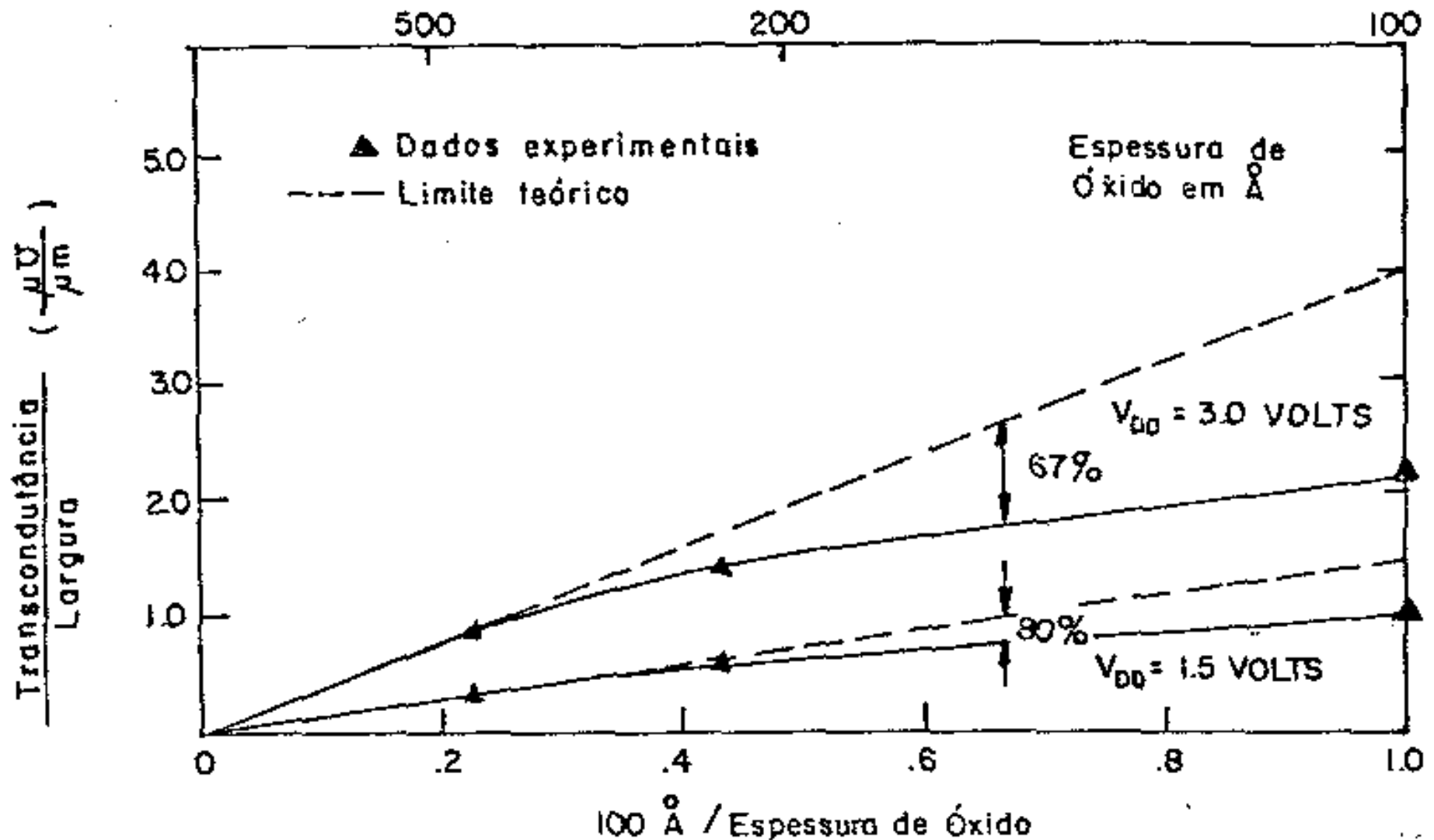
$$J_{tun} = A \cdot \exp\left(-2\sqrt{\frac{2 \cdot m^* \cdot q \cdot \phi_B}{\hbar^2}} \cdot t_{ox}\right)$$

- $I_{tunel} < 0,01 I_{DS}$
- $SiO_2 > \sim 1,5 \text{ nm}$
- Solução: usar dielétrico de alta constante dielétrica:
 - Espessura maior para mesma capacitância!
 - Necessário para $L < \sim 100 \text{ nm}$.

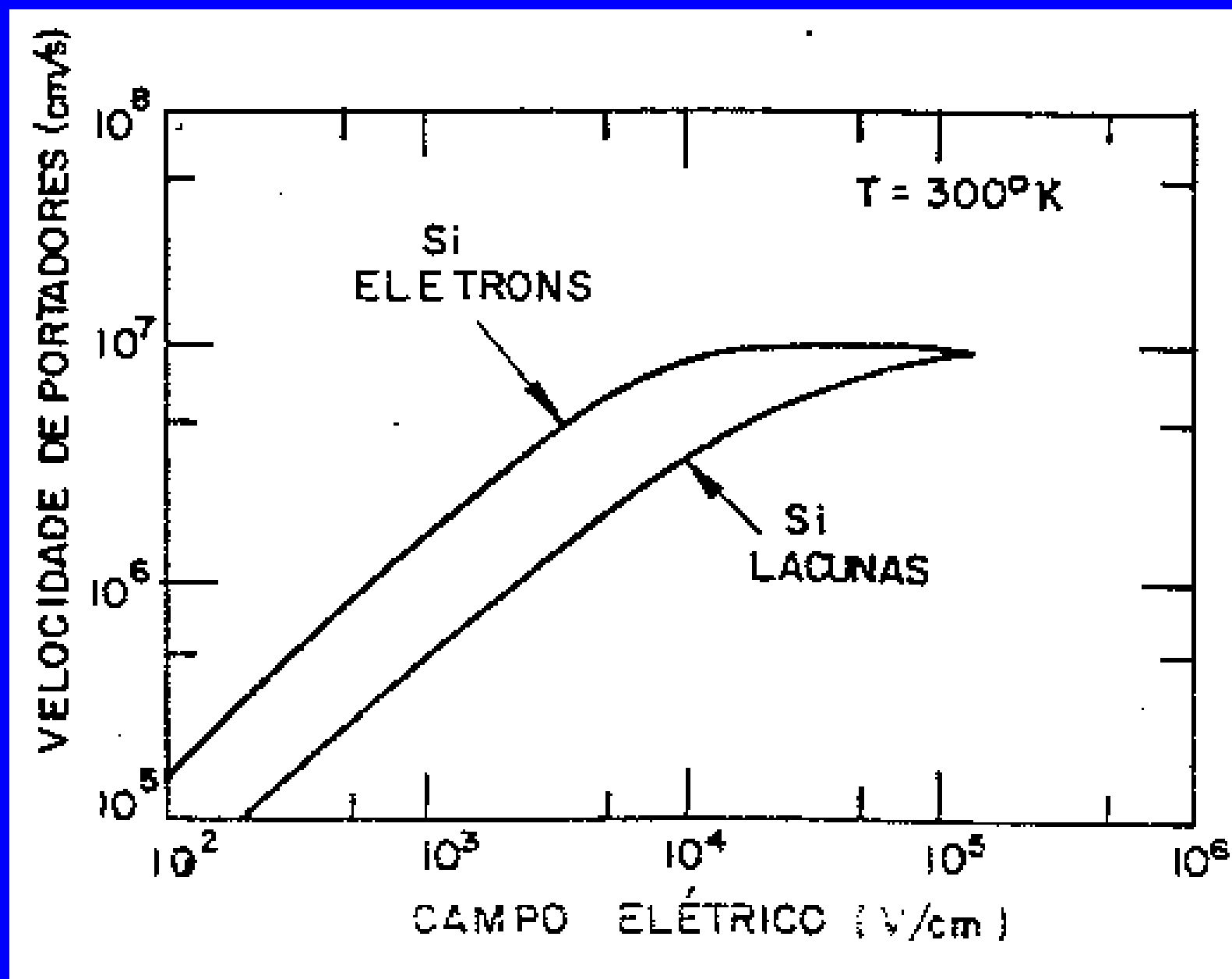
3.6 Limitações – Redução de mobilidade



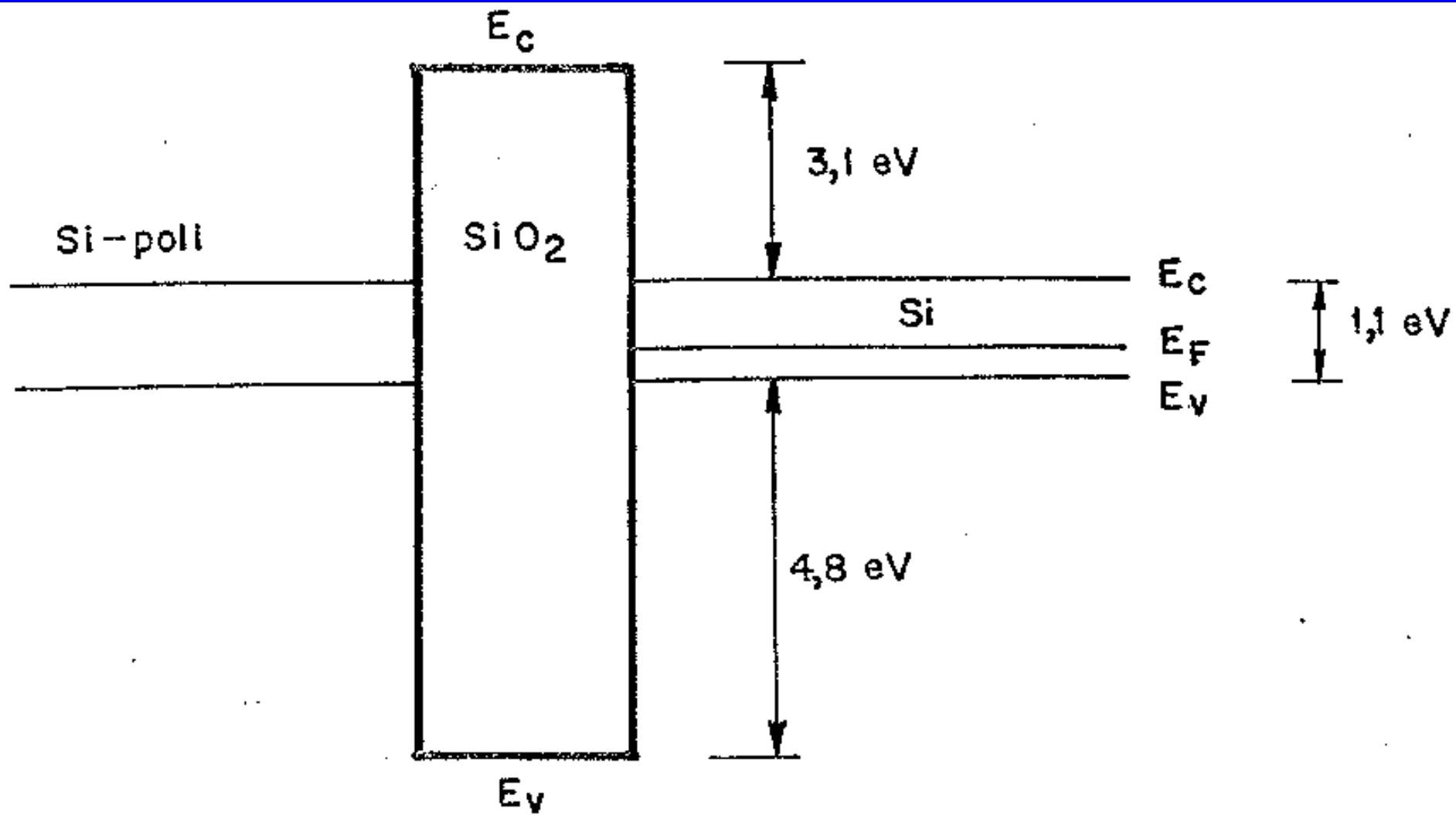
3.6 Limitações – Redução de mobilidade – cont.



3.6 Limitações – Redução de mobilidade - cont

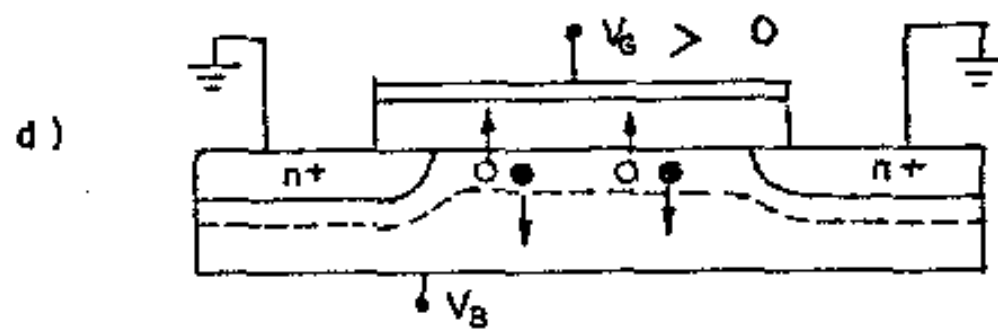
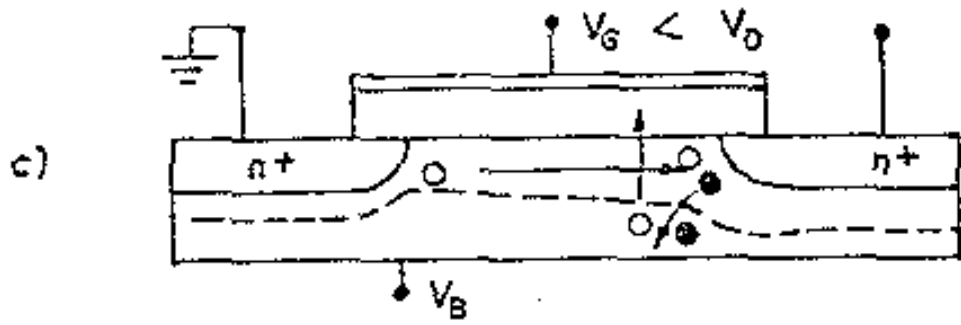
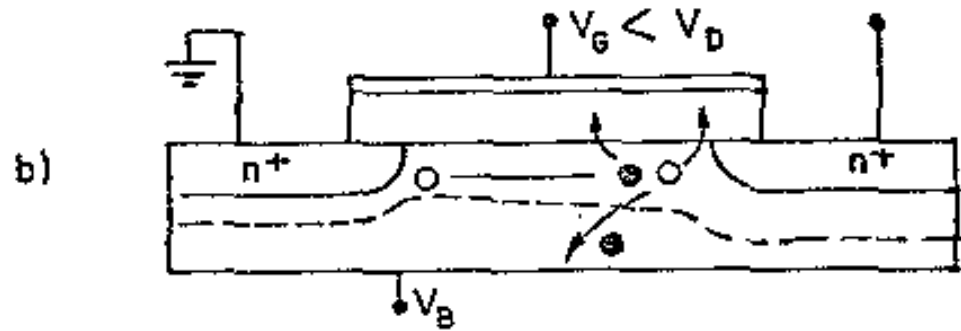
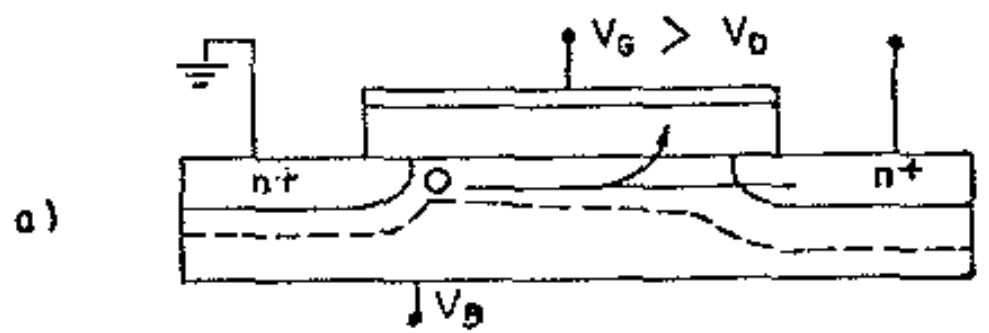


3.7 Injeção de Portadores Quentes



3.7 Injeção de Portadores Quentes – cont.

- Modos principais de injeção de portadores quentes:
 - a) elétrons quentes do canal
 - b) elétrons quentes e lacunas quentes produzidos por avalanche;
 - c) elétrons quentes do substrato, induzidos por ionização secundária;
 - d) elétrons térmicos quentes.



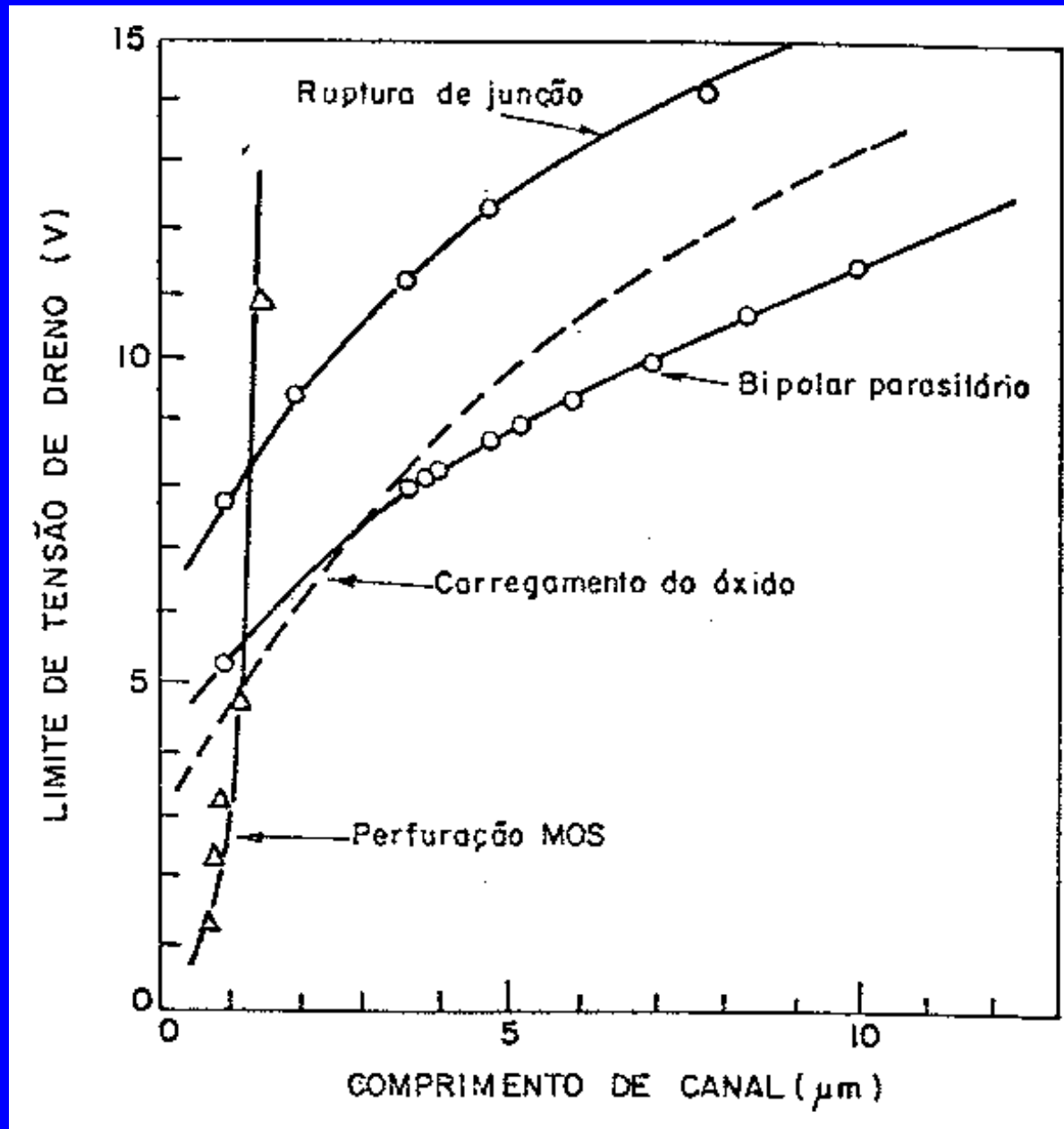
3.7 Injeção de Portadores Quentes – cont.

- Efeitos da injeção de portadores quentes:
 - Corrente de porta
 - Corrente de substrato
 - Degradação da mobilidade ou transcondutância
 - Degradação da tensão de limiar
 - Ruptura do transistor
 - Latch-up em CMOS.

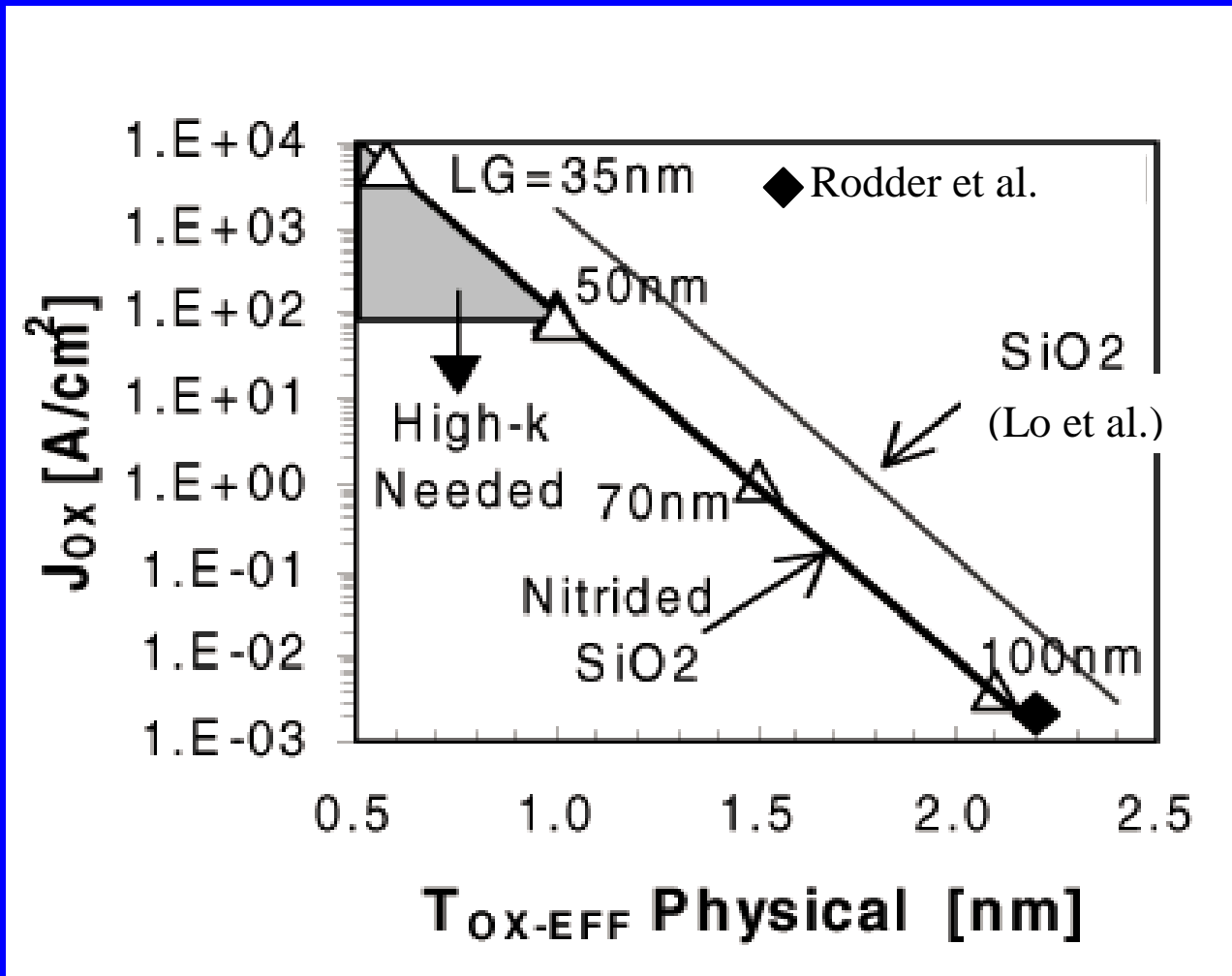
3.7 Injeção de Portadores Quentes – cont.

- Dependência com parâmetros:
 - a) polarizações V_G , V_D , V_B ;
 - b) dimensões L , t_{ox} , X_j ;
 - c) dopagem de substrato;
 - d) forma do perfil do dreno próximo ao canal;
 - e) temperatura.
- Soluções:
 - a) Reduzir tensões
 - b) Alterar dopagem de S/D: LDD ou extensão.

3.8 Rupturas de Transistor MOS



Gate leakage current density vs. T_{ox} equivalent.

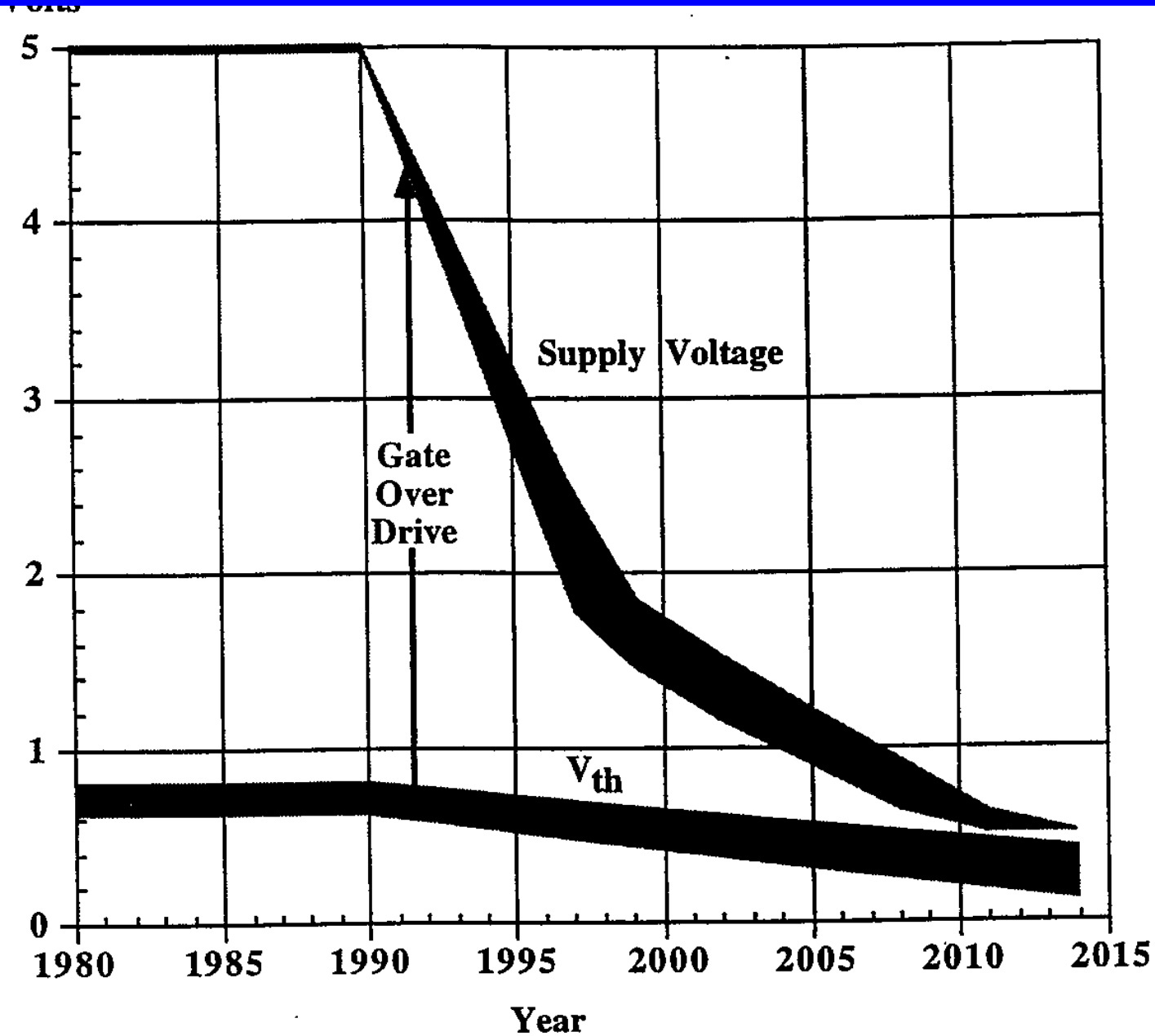


T. Ghani et al., Symp. on VLSI, p.174, June, 2000

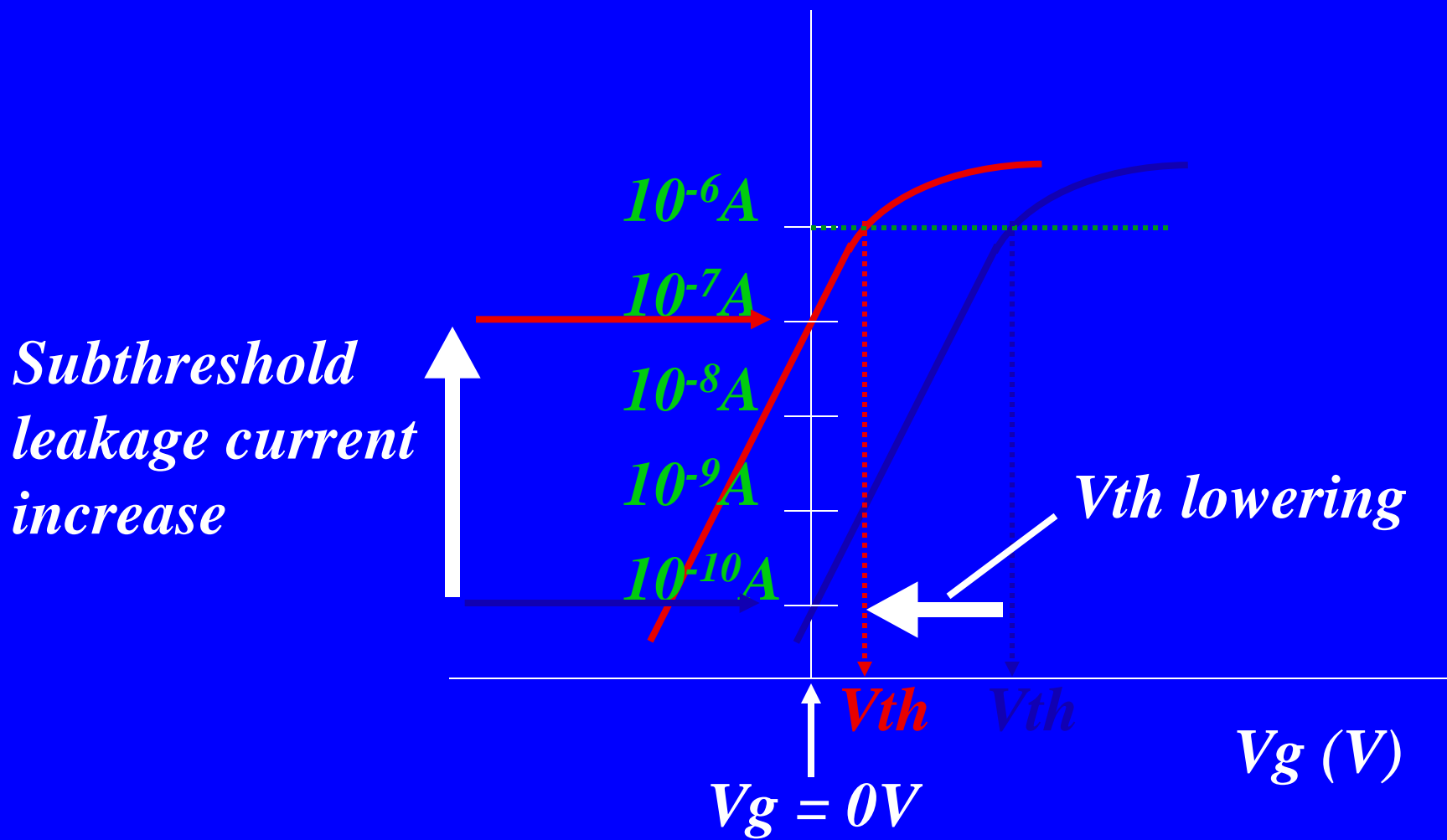
3.9 Efeitos das limitações e “guias de estrada”

- As limitações estudadas:
 - a) afetam o desempenho elétrico dos dispositivos
 - b) determinam as condições limites de operação
 - c) determinam condições de contorno para o projeto da estrutura física dos transistores e do processo de fabricação.

3.9 Efeitos das limitações e “guias de estrada” – cont.



Log Id



*Subthreshold
leakage current
increase*

10^{-6} A

10^{-7} A

10^{-8} A

10^{-9} A

10^{-10} A

V_{th} lowering

V_{th}

V_{th}

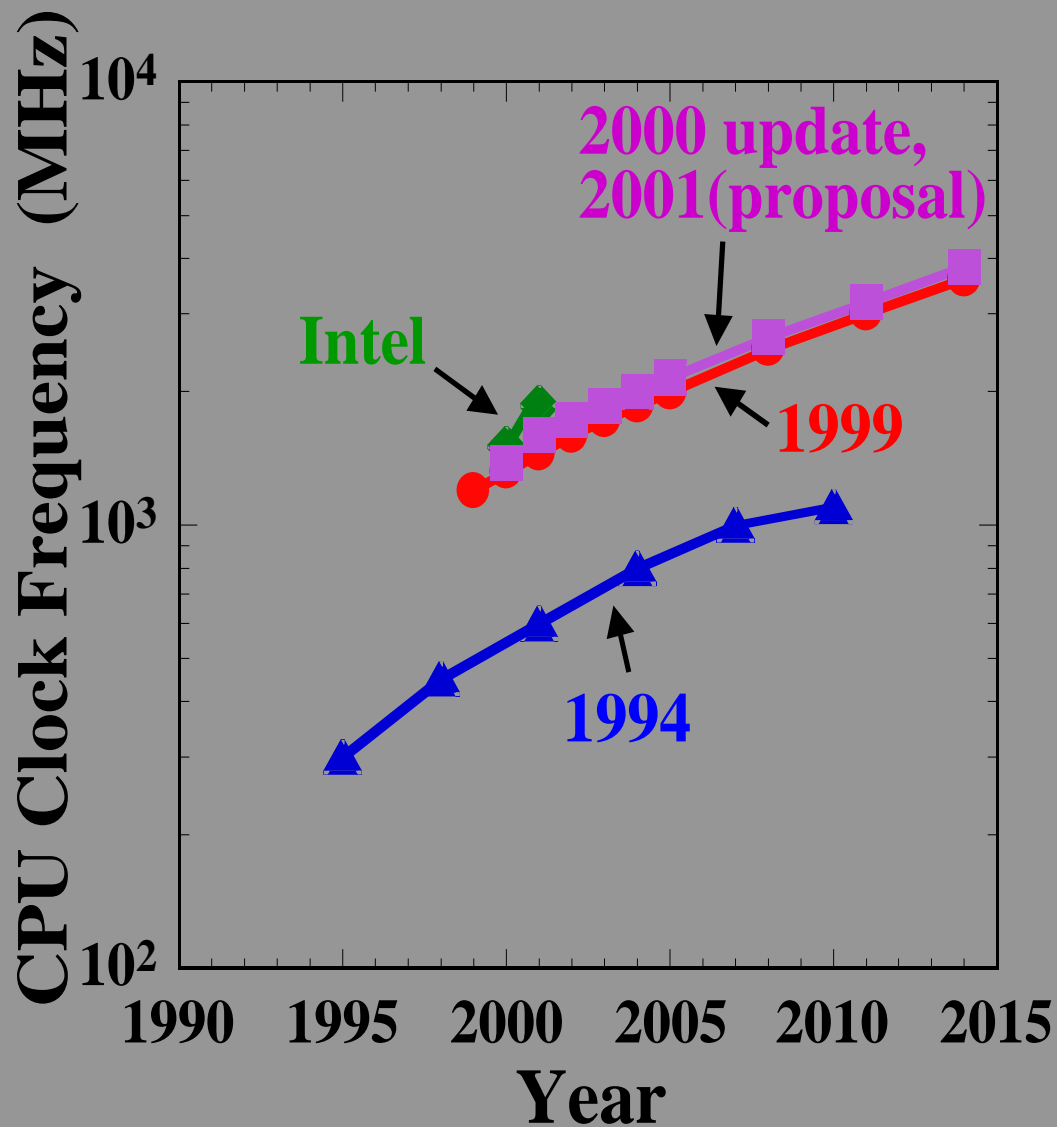
V_g (V)

$V_g = 0 \text{ V}$

3.9 Efeitos das limitações e “guias de estrada” – cont.

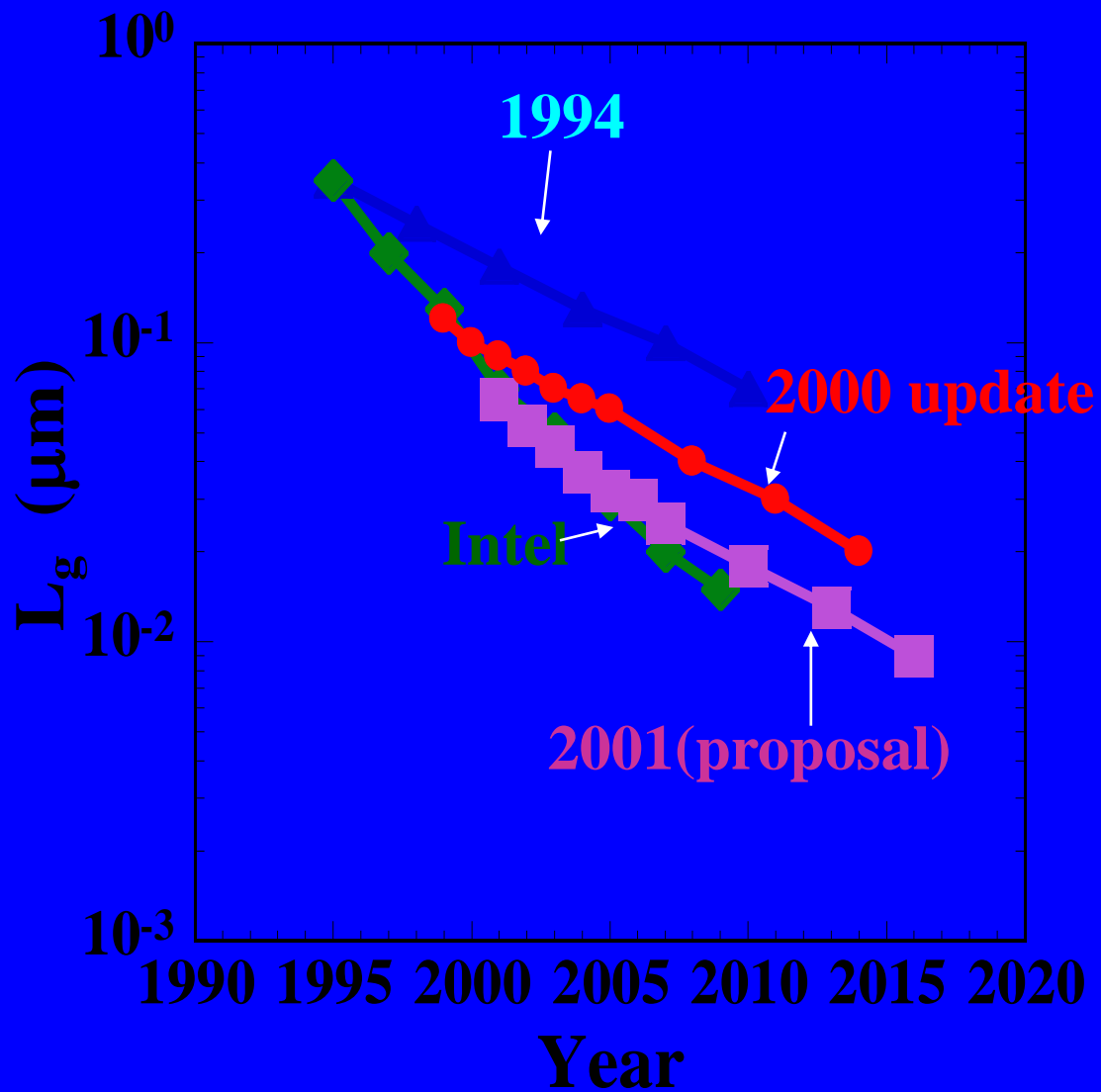
Ano	1997	1999	2002	2005	2008	2011	2014
Dimensão mínima (nm)	250	180	130	100	70	50	35
DRAM (início de vendas)	256M	1G	(3G)	8G	(24G)	64G	(192G)
Área chip DRAM (mm ²)	280	400	460	530	630	710	860
Espessura equivalente de óxido (nm)	3-5	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
Res. máx. de material de porta ($\mu\Omega\cdot\text{cm}$)		60	43	33	23	16	11
Res máx. de contato siliceto/si ($\Omega\cdot\text{cm}^2$)		30×10^{-8}	17×10^{-8}	10×10^{-8}	5×10^{-8}	2.5×10^{-8}	1.5×10^{-8}
Resistência de folha da extensão S/D (Ω/\square)		350-800	250-700	200-625	150-525	120-525	100-400
X_J da extensão S/D (nm)	50-100	42-70	25-43	20-33	16-26	11-19	8-13
Perfil da extensão S/D (nm/dec.)		14	8.5	6.5	4.5	3.2	2.2
V_{DD}	1.8-2.5	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.5

ITRS. CPU clock frequency

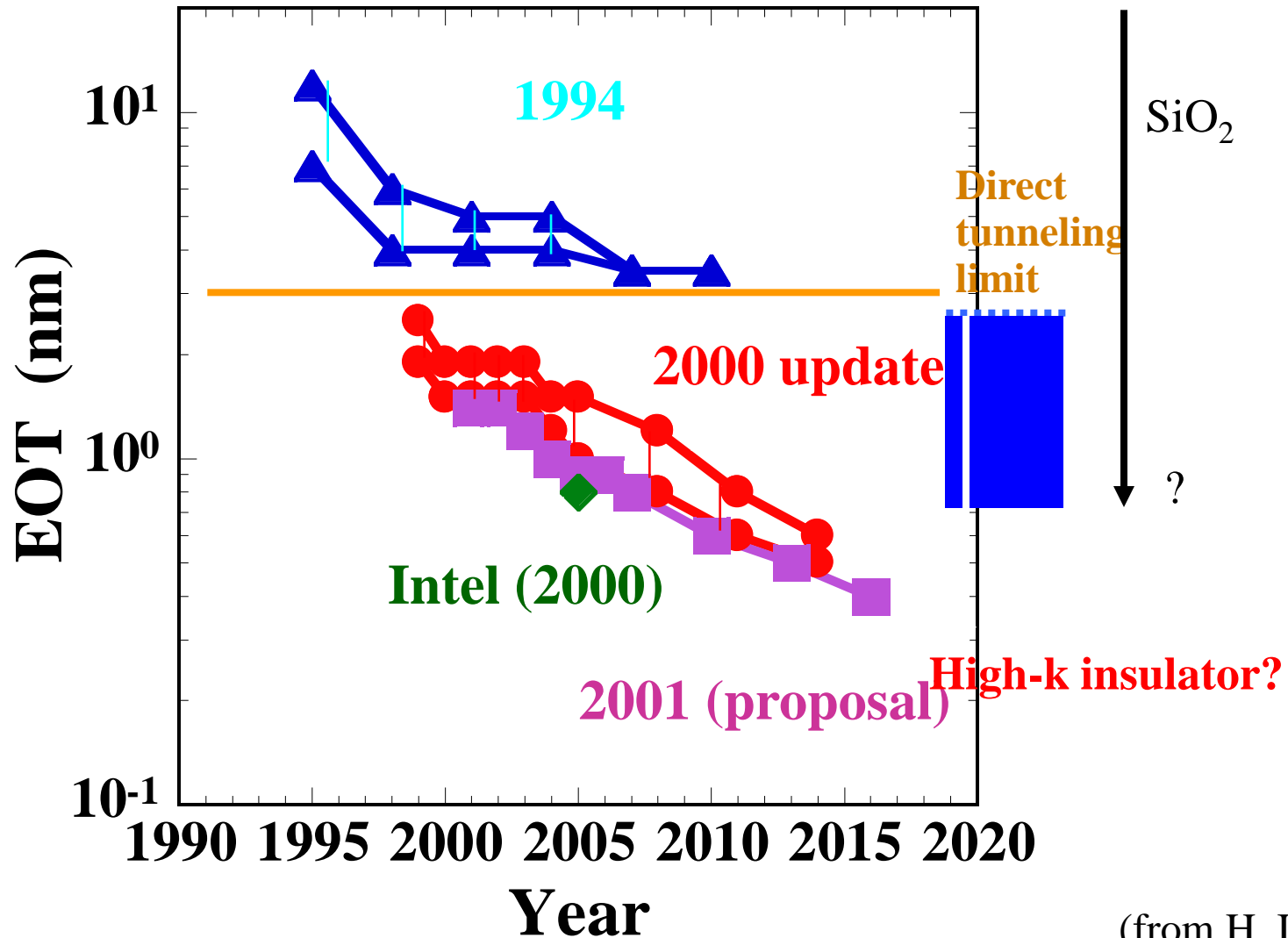


(from H. Iwai)

ITRS. gate length

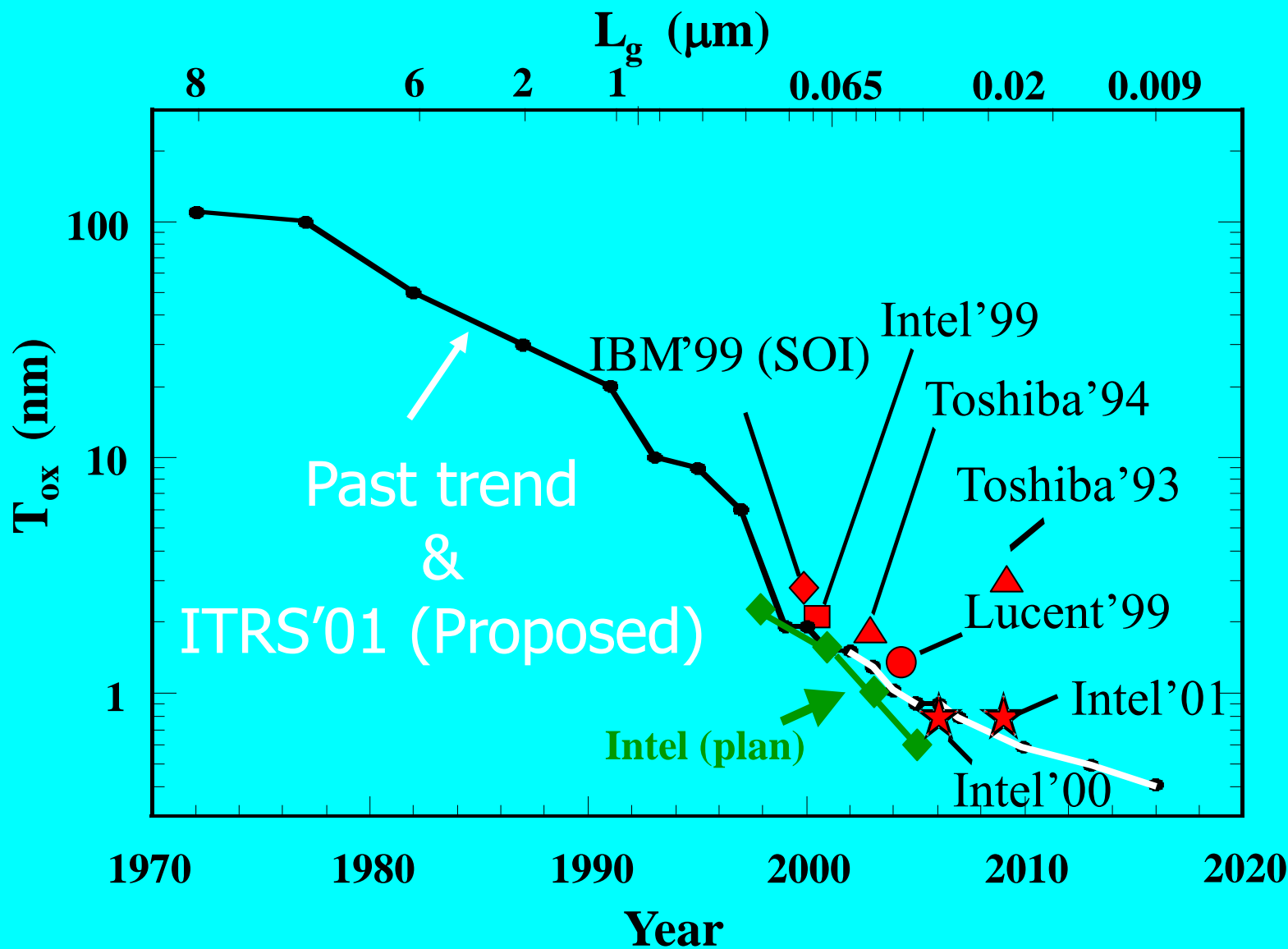


ITRS. gate insulator thickness.



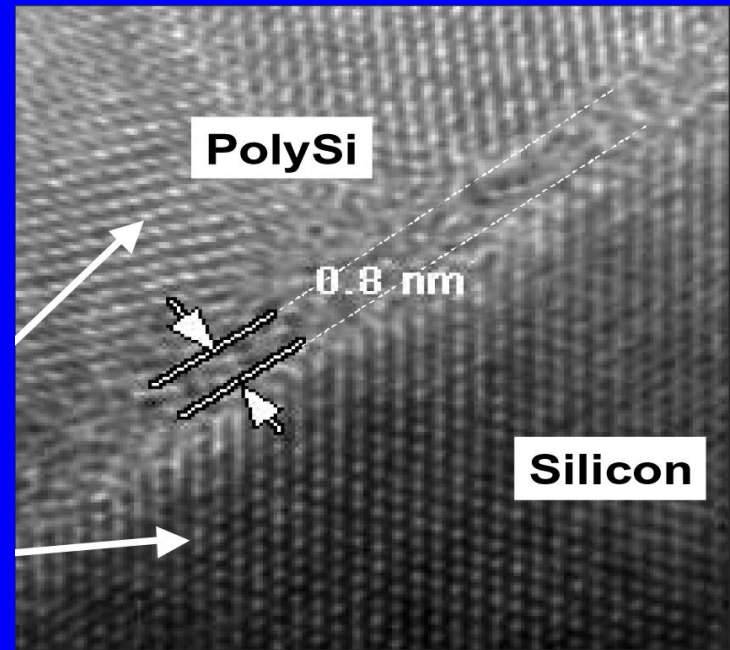
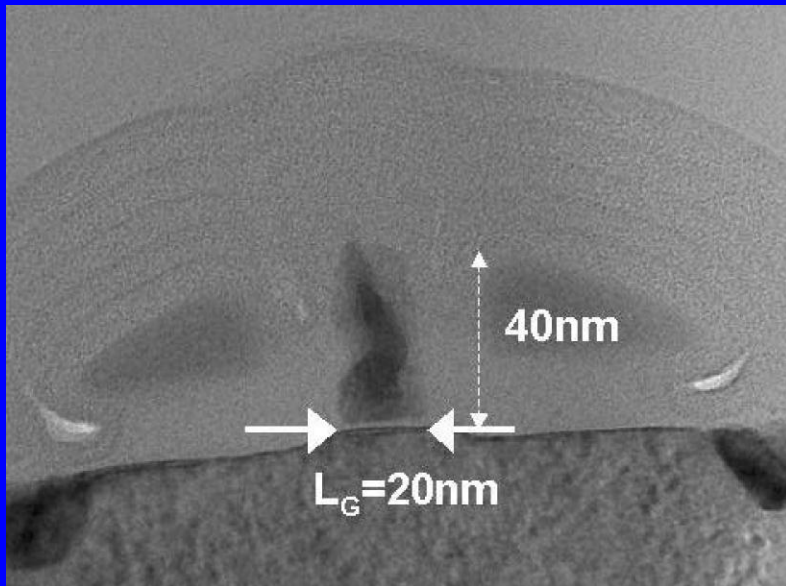
(from H. Iwai)

Trend of T_{ox} :



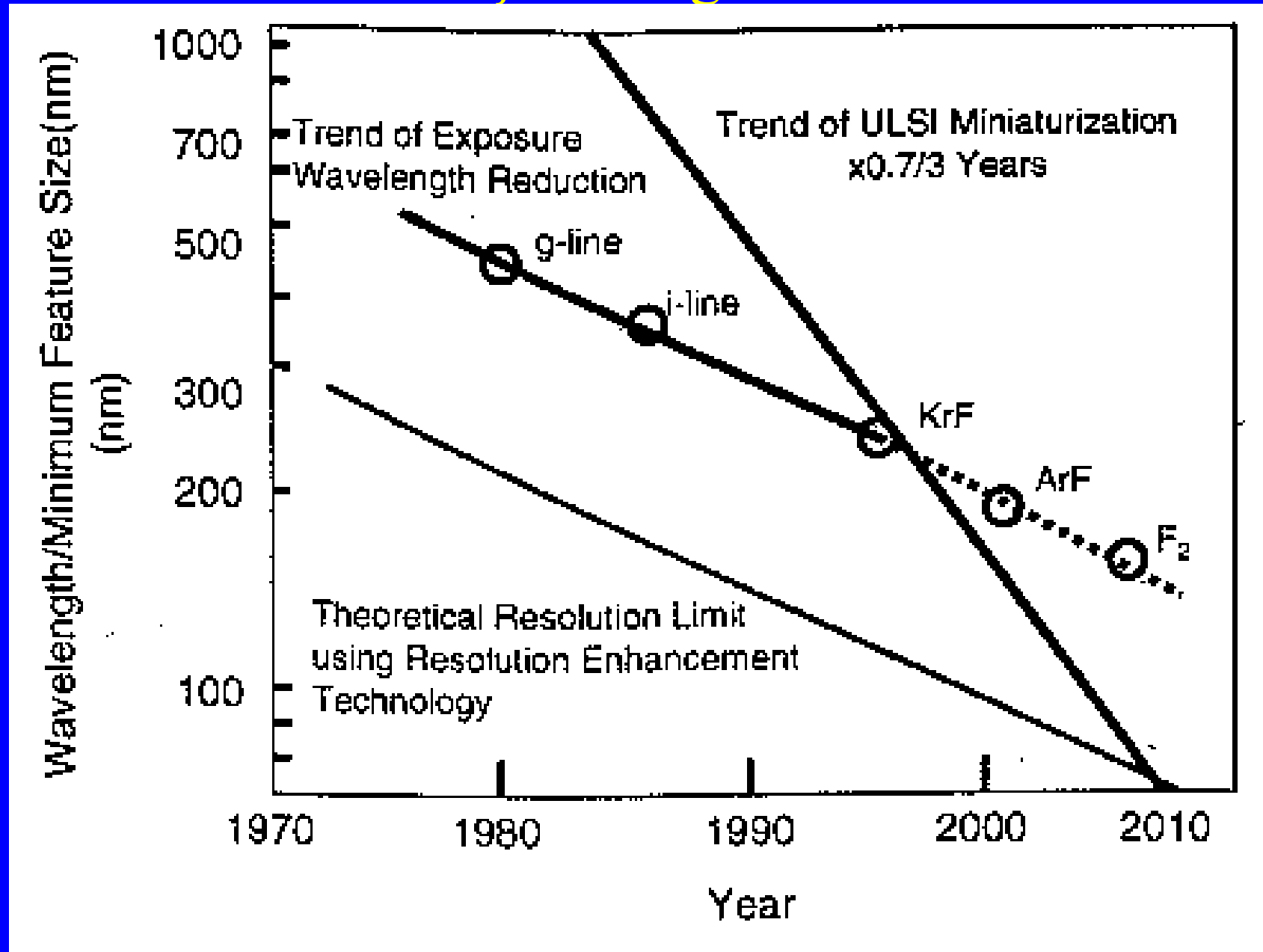
(from H. Iwai)

20 nm Gate Length Transistor

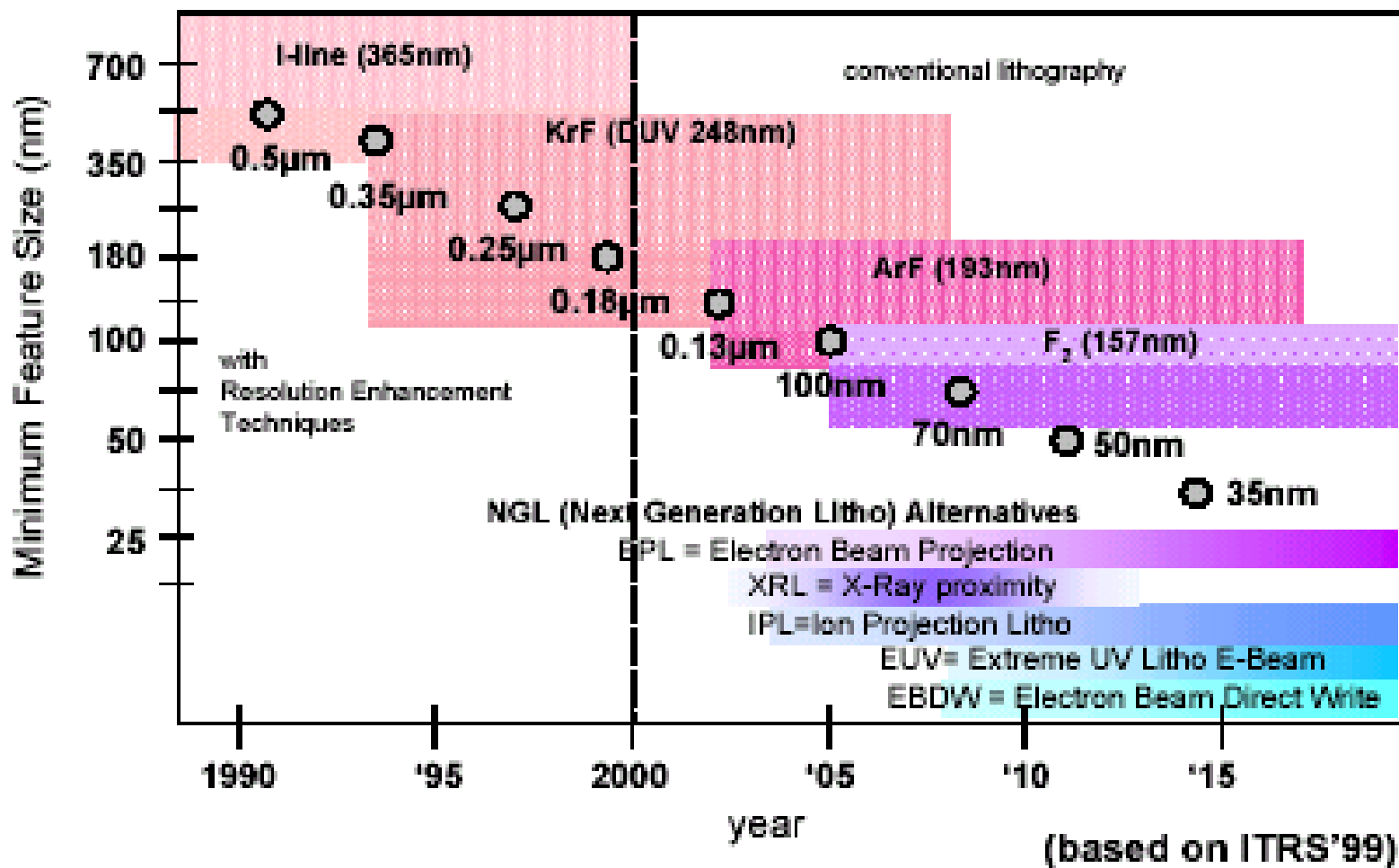


R. Chau, Proc. Silicon Nanoelectronics Workshop, pp. 2 - 3 (2001)
<http://www.intel.com/research/silicon/micron.htm>

3.9 Efeitos das limitações e “guias de estrada” – cont.



Lithography evolution

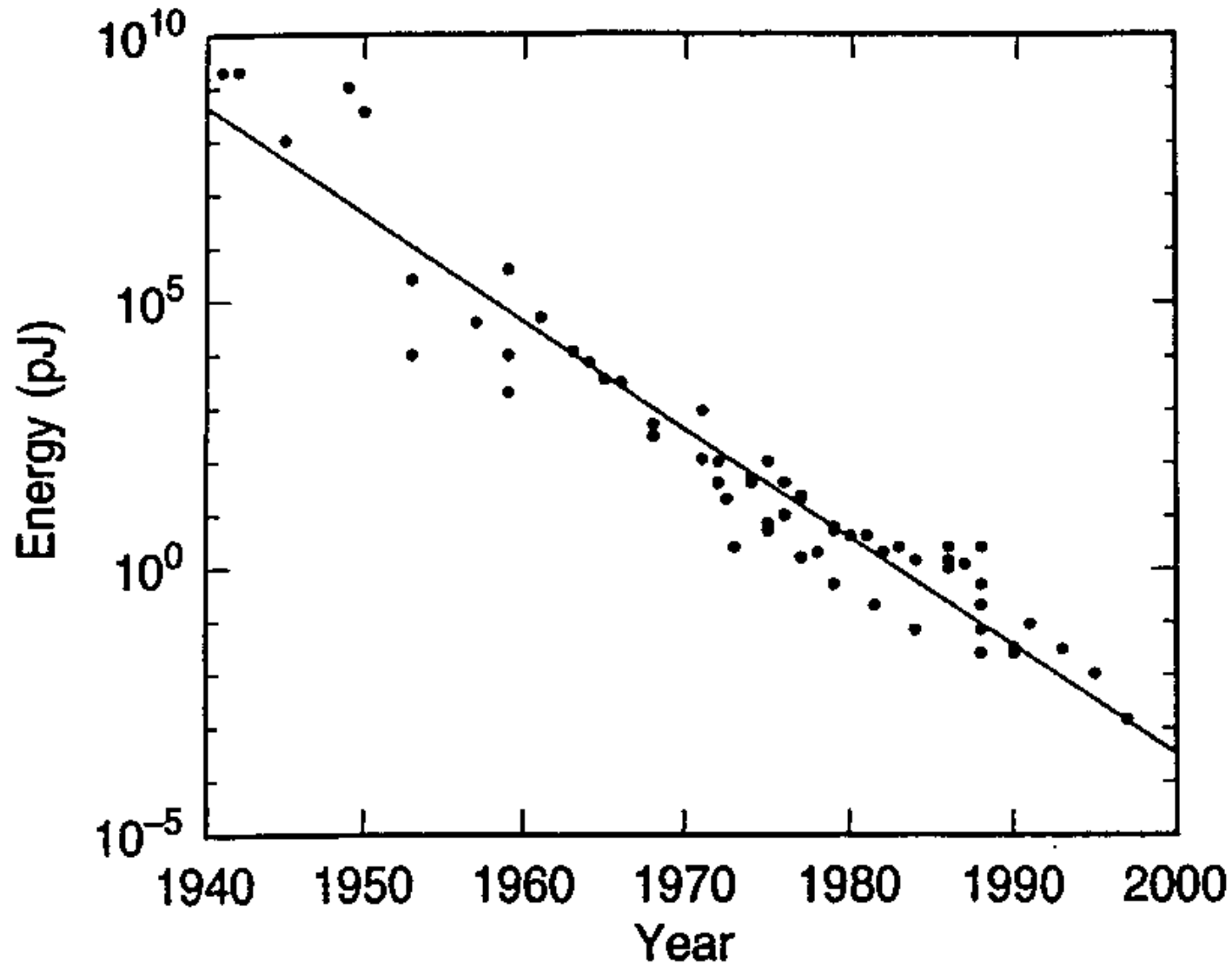


An example of Real Scaling

	1972	2001	Ratio	Limiting factor
Gate length	6 μm	0.1 μm	1/60	
Gate oxide	100 nm	2 nm	1/50	Gate leakage TDDB
Junction depth	700 nm	35 nm	1/20	Resistance
Supply voltage	5 V	1.2 V	1/4	V_{th}, Power
Threshold voltage	0.8 V	0.3 V	1/2.6	Subthreshold leakage
Electric field (Vd/tox)	0.5 MVcm ⁻¹	6 MVcm ⁻¹	30	TDDB

(from H. Iwai)

4. Limites de Escalamiento

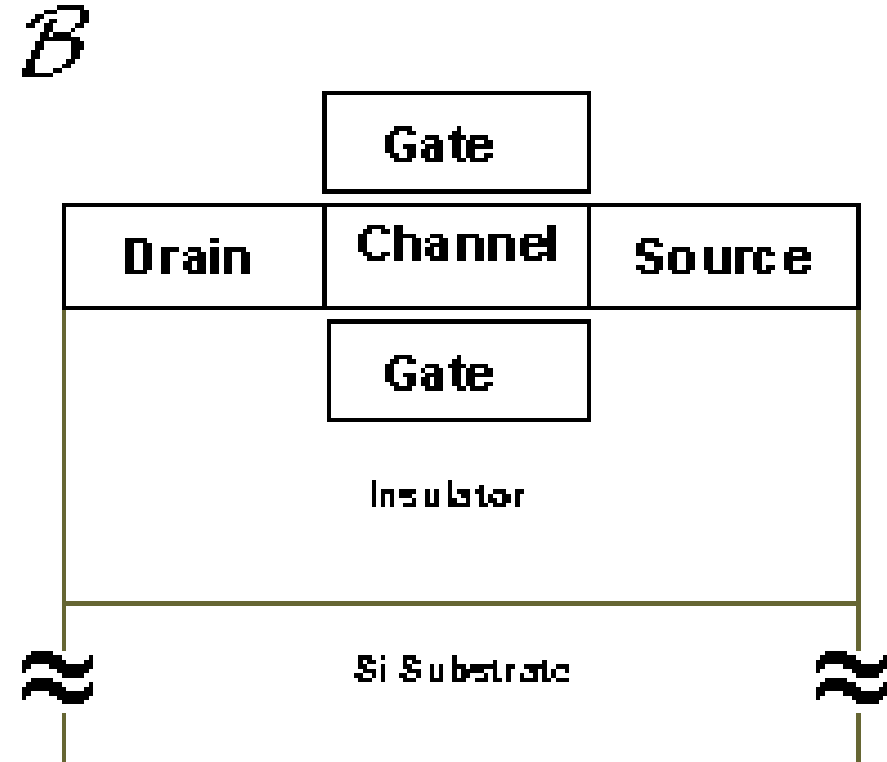
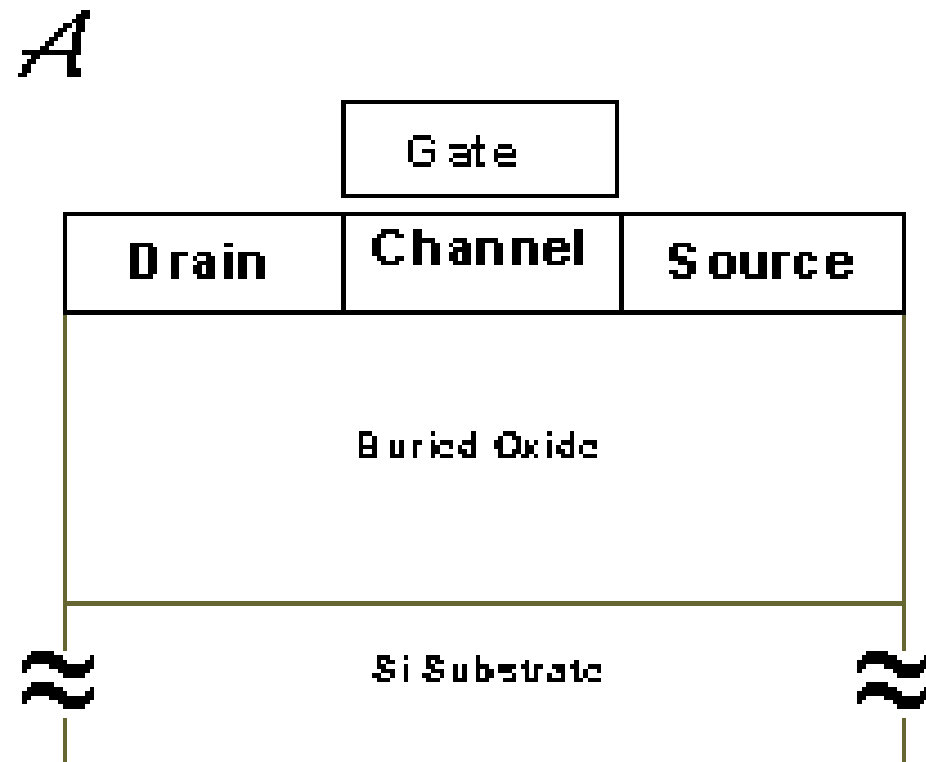


4. Limites de Escalamento – cont.

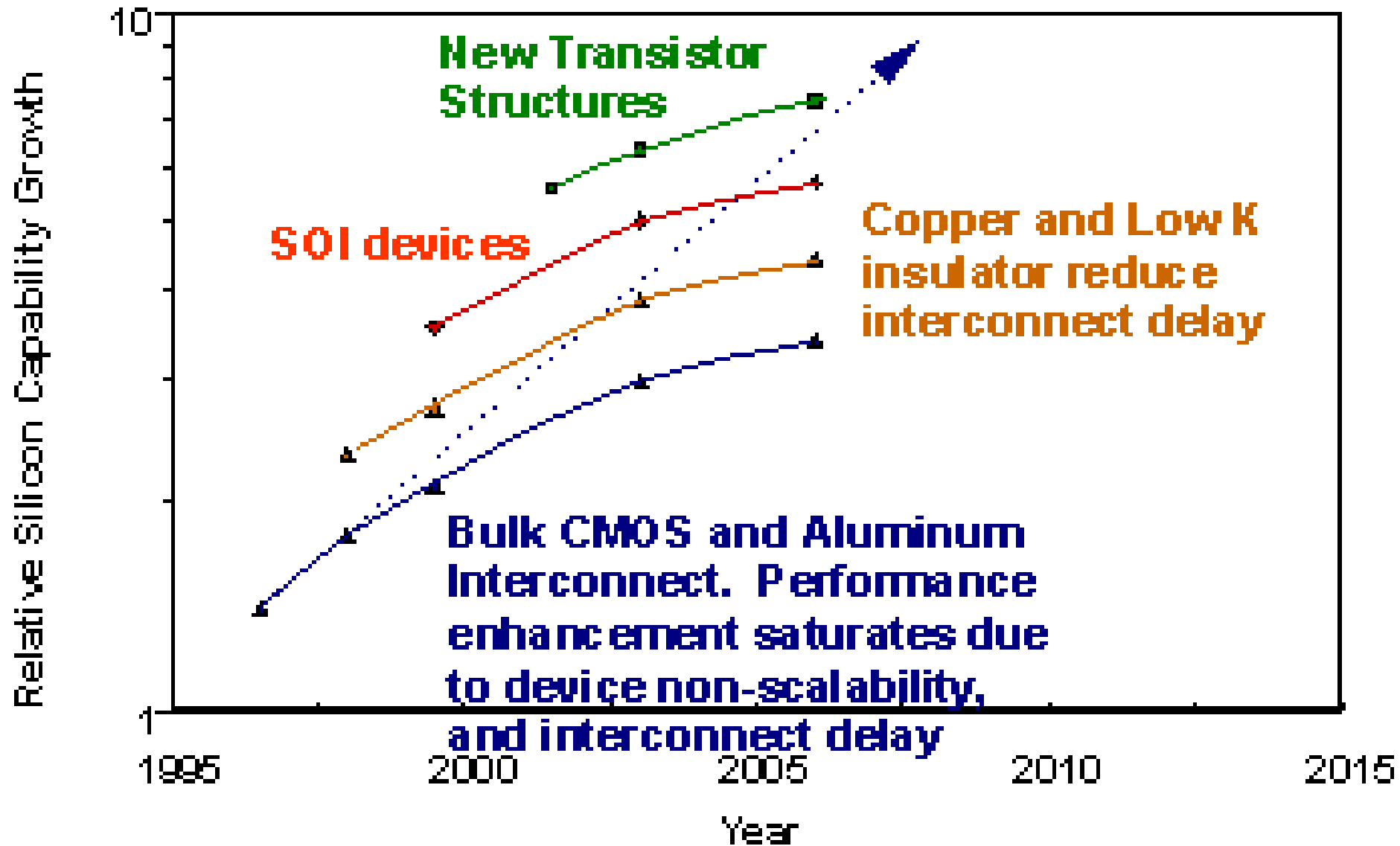
- Considerar:
 - 1. Limites fundamentais
 - 2. Limites do material
 - 3. Limites do dispositivo
 - 4. Limites do circuito
 - 5. Limites do sistema

4. Limites de Escalamento – cont.

- Limite prático para MOSFET: ~ 25 a 10 nm
- CMOS/SOI, T baixa (LN), novas estruturas



4. Limites de Escalamiento – cont.



4. Limites de Escalamento – cont.

- Após Limite de Escalamento CMOS?
- Novos Conceitos de Dispositivos e Circuitos:
 - a) dispositivos de bloqueio Coulombiano, entre outros dispositivos de um único elétron;
 - b) dispositivos quânticos, onde se controla o estado do elétron de um átomo (hidrogênio, por exemplo);
 - c) estruturas de nano-tubos de carbono

Conclusões:

- Uma boa base dos fundamentos em C&T permitirá acompanhar as inovações
- Agradecimentos:
 - Colaboração de Dr. Marcelo Pavanello
 - jacobus@led.unicamp.br
 - <http://www.ccs.unicamp.br>