

Integração de Processos CMOS

Jacobus W. Swart

CCS e FEEC

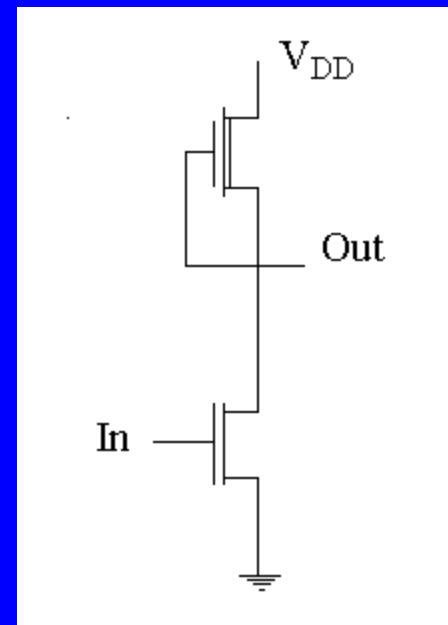
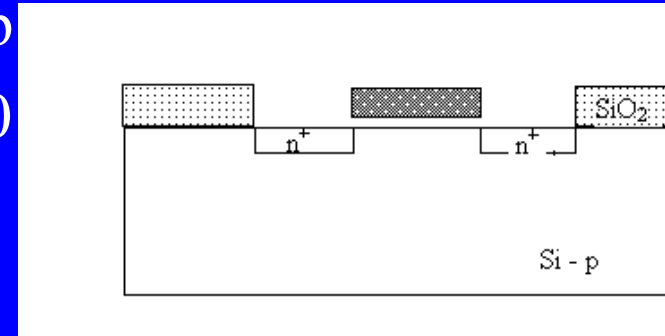
UNICAMP

Sumário - CMOS

- Introdução a CMOS
- Latch-up
- Seqüência na Integração de Processo CMOS
- Estruturas de Ilhas
- Isolação entre dispositivos
- Canal e dielétrico de porta
- Material e terminal de porta
- Engenharia de Fonte-Dreno
- Formação de silicetos
- Interconexões.

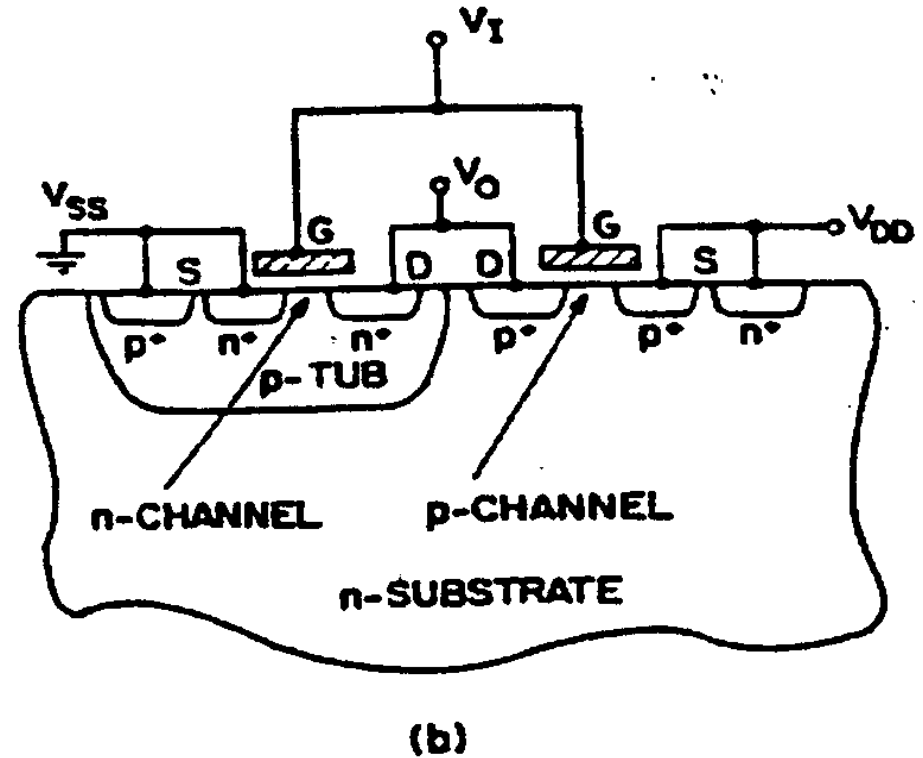
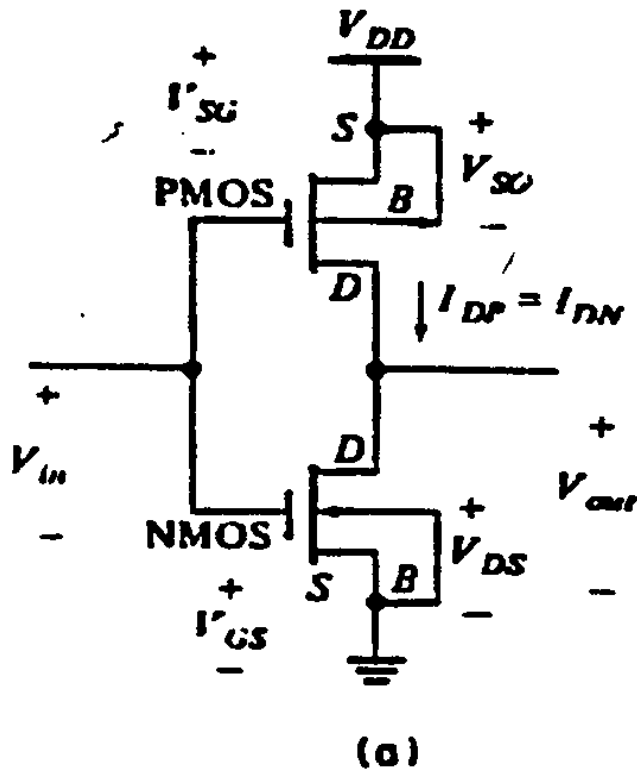
1. Introdução à Tecnologia CMOS

- Anos 60 → pMOS, pois:
 - Sistema SiO_2/Si com muita carga positiva:
 - Inversão de superfície de substrato p
 - Dificuldade para nMOS, até anos 70
- Anos 70 e 80 → nMOS, pois:
 - $\mu_n > \mu_p$ (~ 3 x)
 - Vantagens em relação a BJT:
 - Alta densidade de integração
 - Simplicidade de processo
 - Baixo consumo de potência.
 - Inversor com relação:

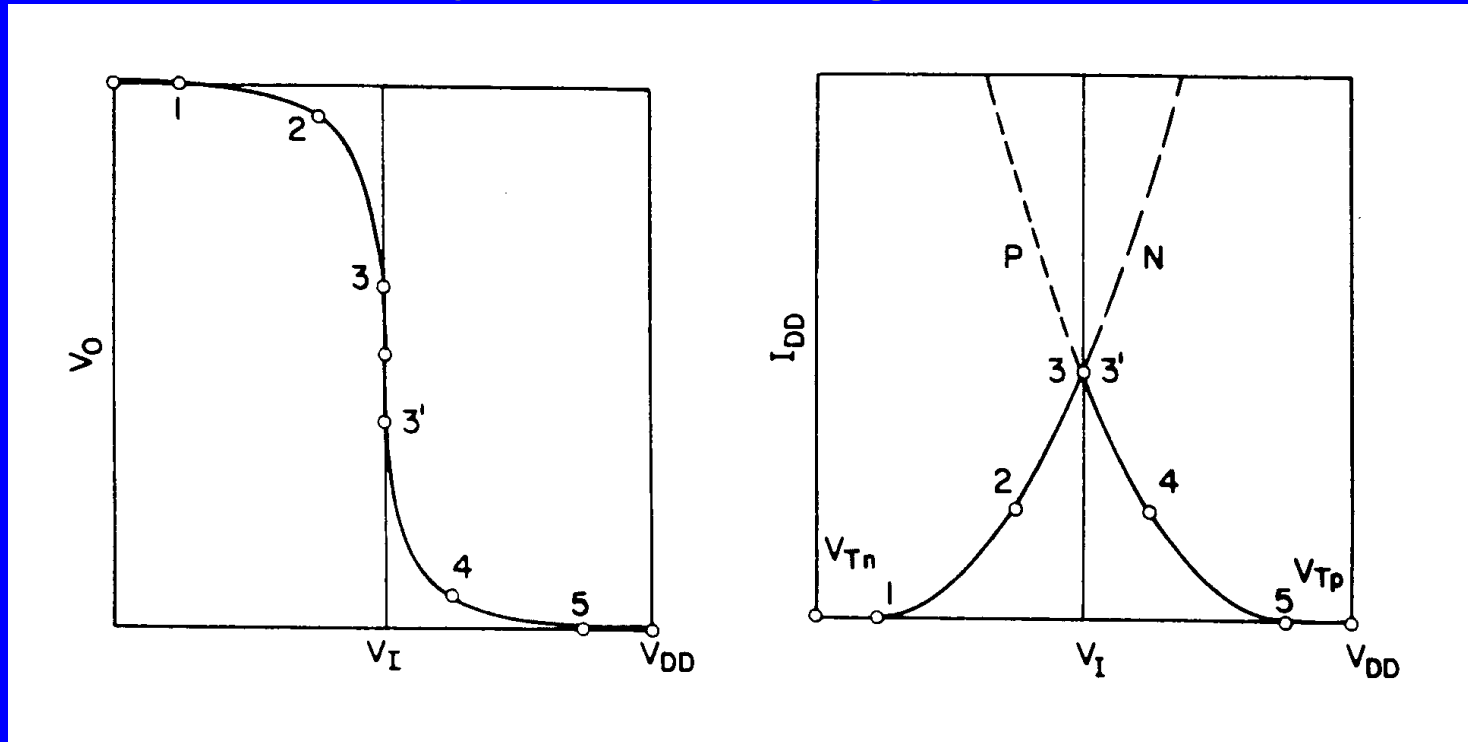


1. Introdução à Tecnologia CMOS – cont.

- 1963 → CMOS

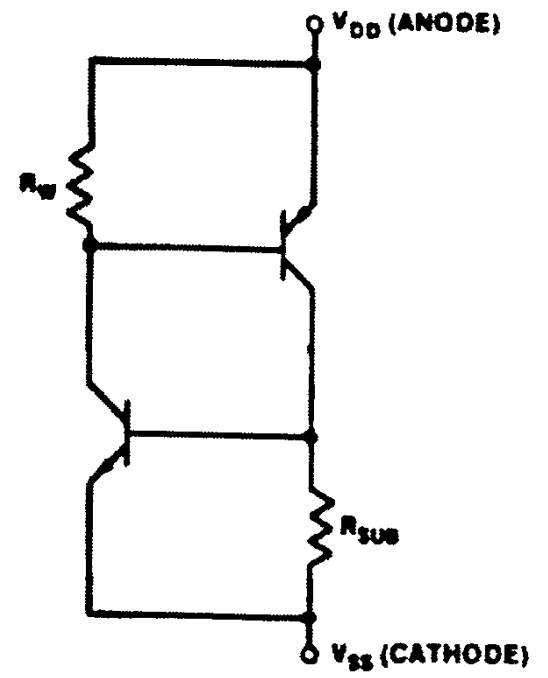
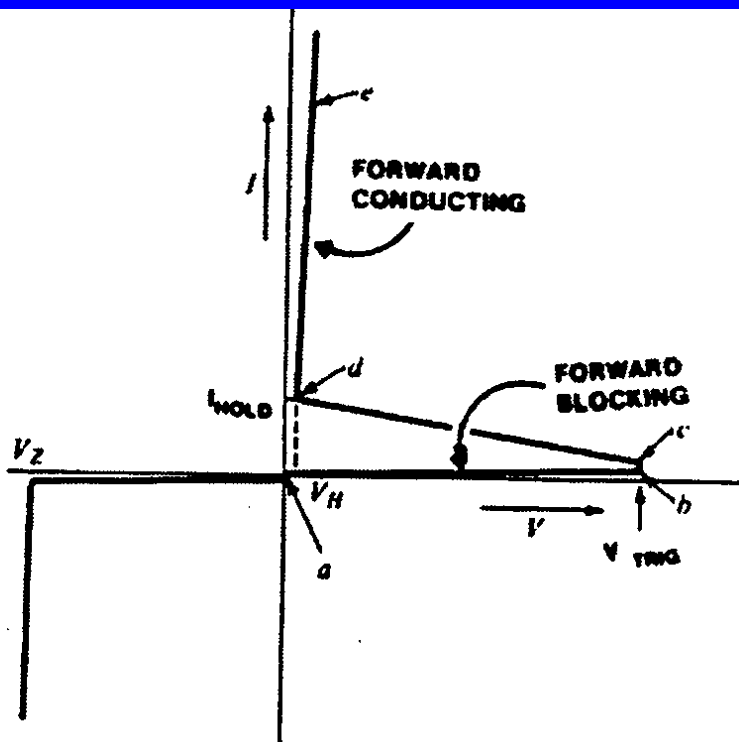
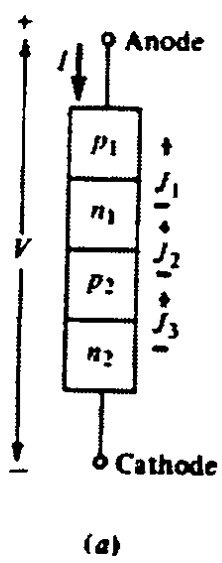
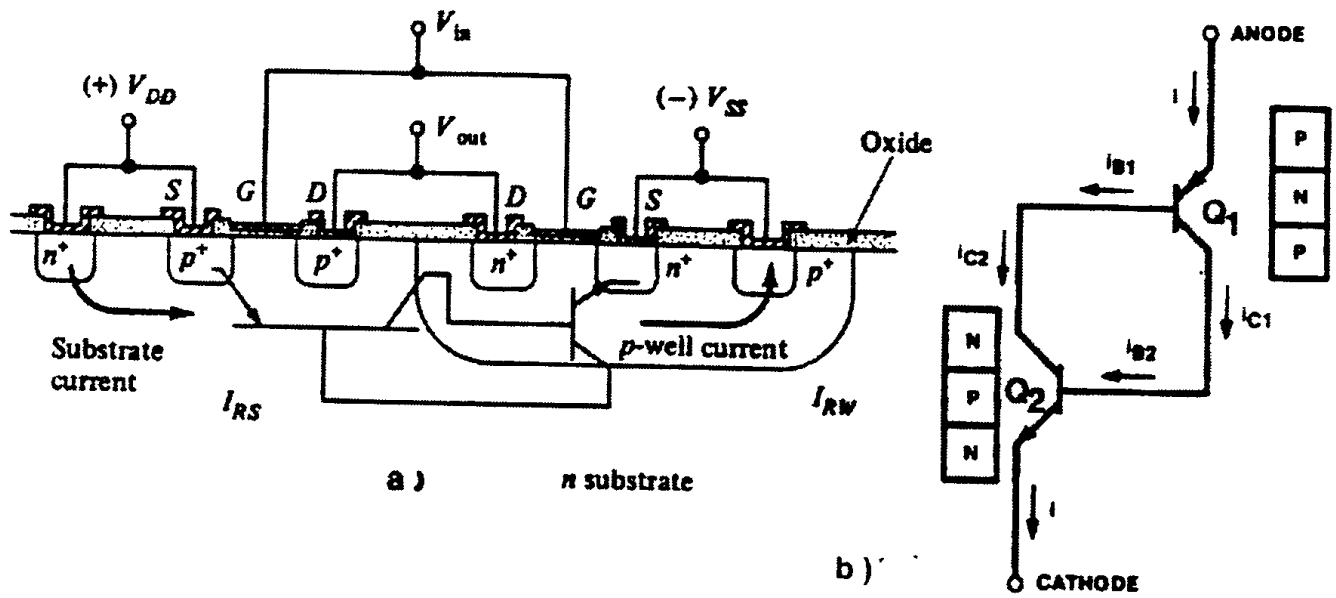


1. Introdução à Tecnologia CMOS – cont.

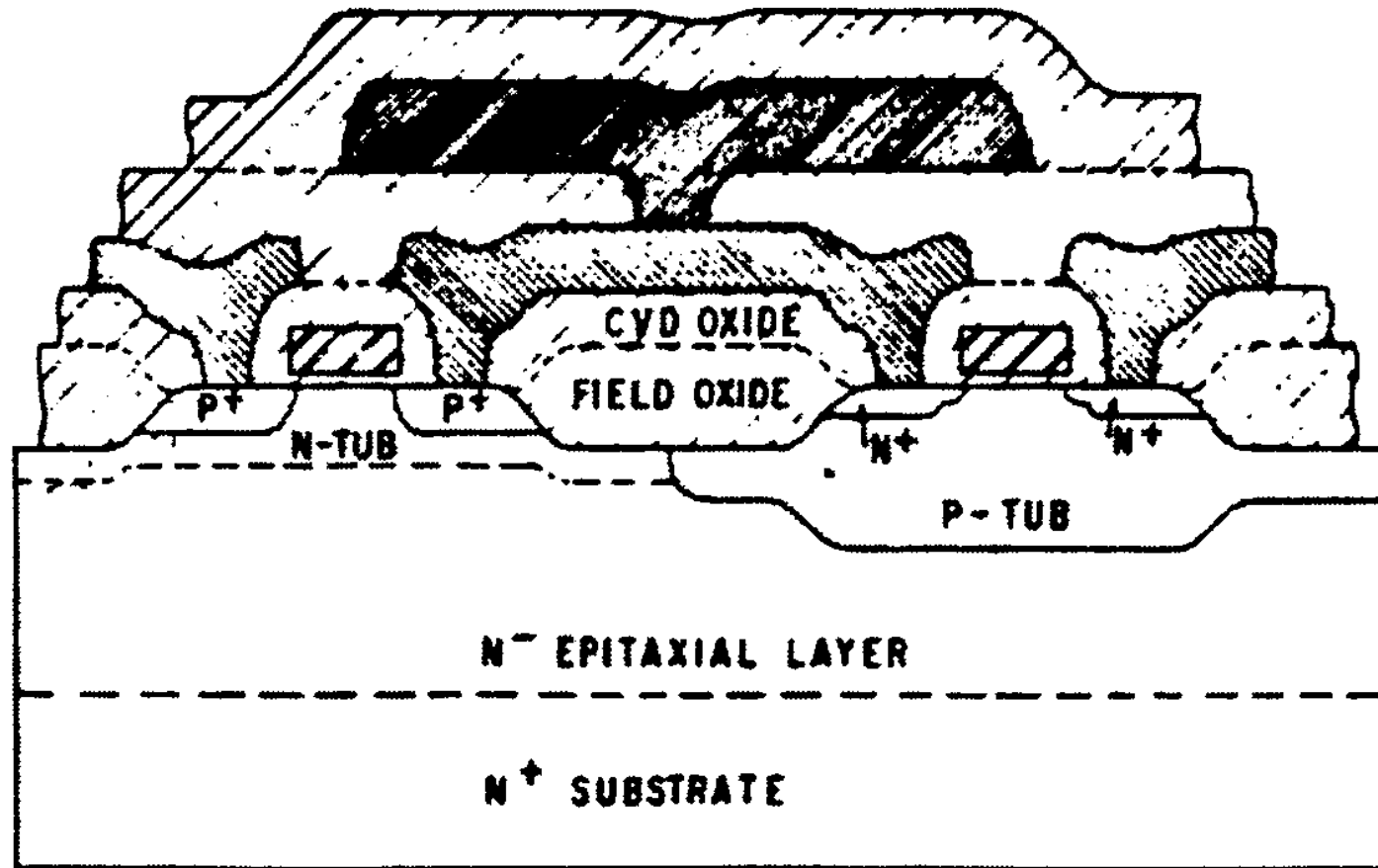


- Pot. Estática = 0 !
- Anos 70, CMOS p/ aplicações especiais
- Após 80, pot. CI nMOS = proibitivo.
- CMOS = necessidade geral, hoje > 85% dos CI's.

2. Latch-up



3. Sequência na Integração de Processo CMOS



 POLYSILICON

 OXIDE

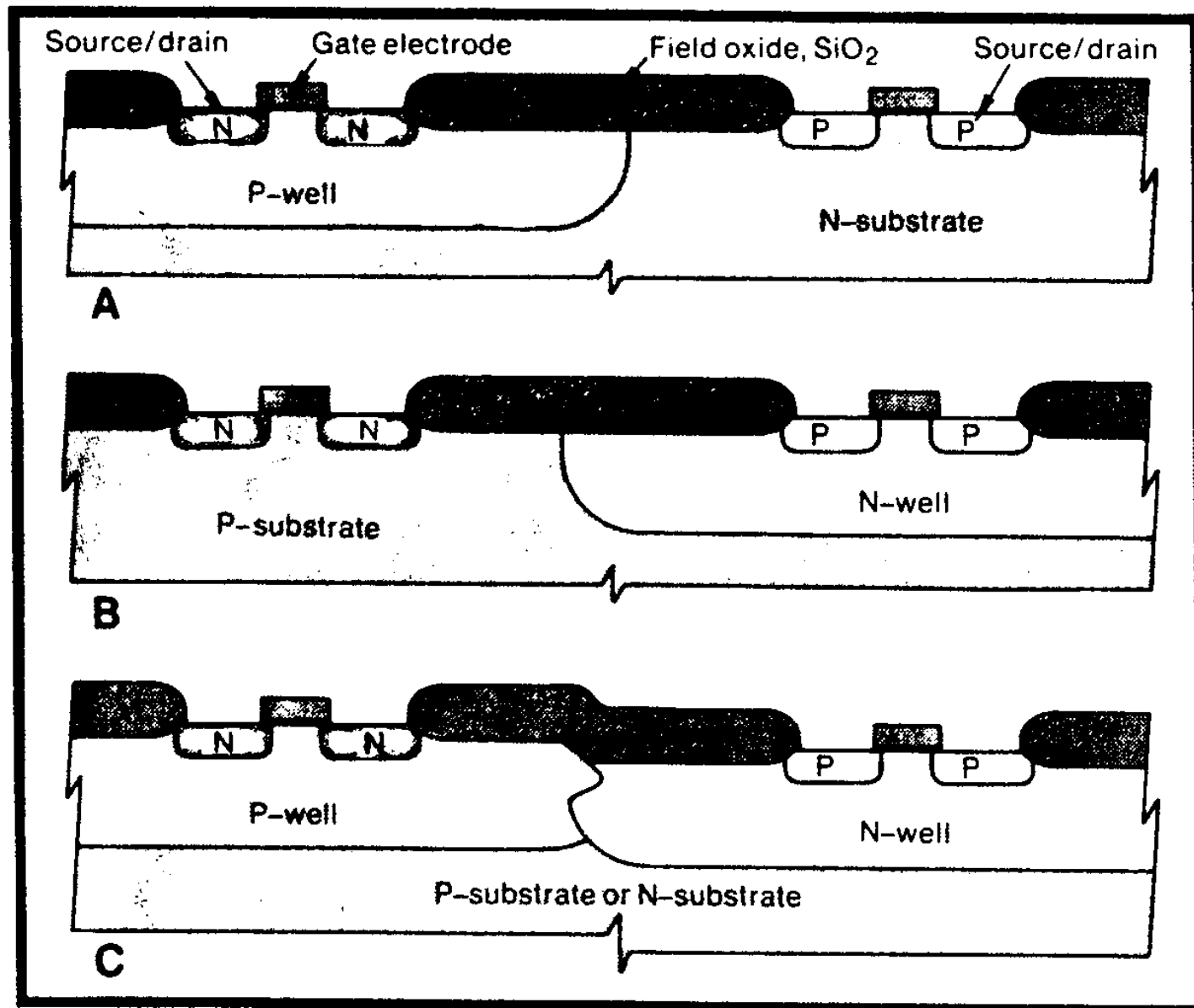
 METAL 1

 METAL 2

3. Seqüência na Integração de Processo CMOS – cont.

- Grupos de processos principais:
 - Formação de ilha(s)
 - Formação da isolação entre dispositivos
 - Ajuste de dopagem de canal
 - Obtenção do dielétrico de porta
 - Obtenção do eletrodo de porta
 - Obtenção das regiões de fonte/dreno
 - Obtenção de silicetos sobre fonte/dreno e porta
 - Isolação dielétrica de fonte/dreno e porta
 - Abertura de vias de contato
 - Formação de interconexões (multiníveis)

4. Tipos de Ilhas para CMOS

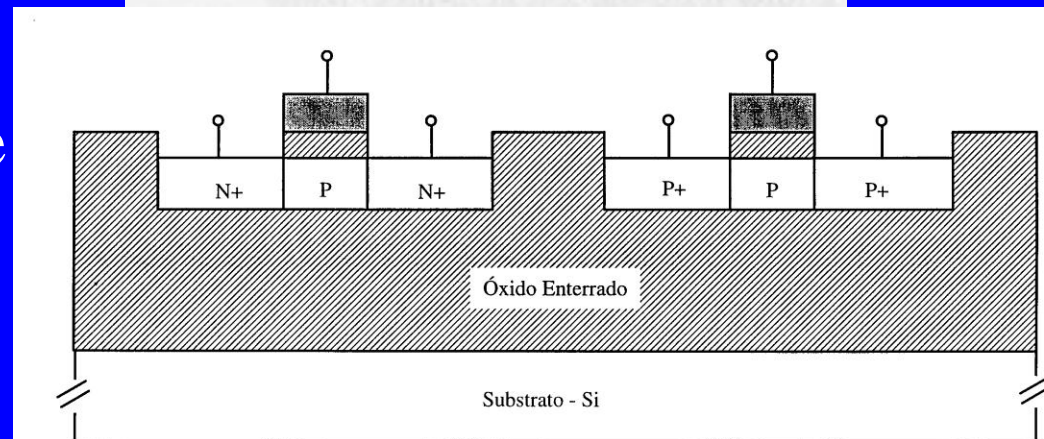
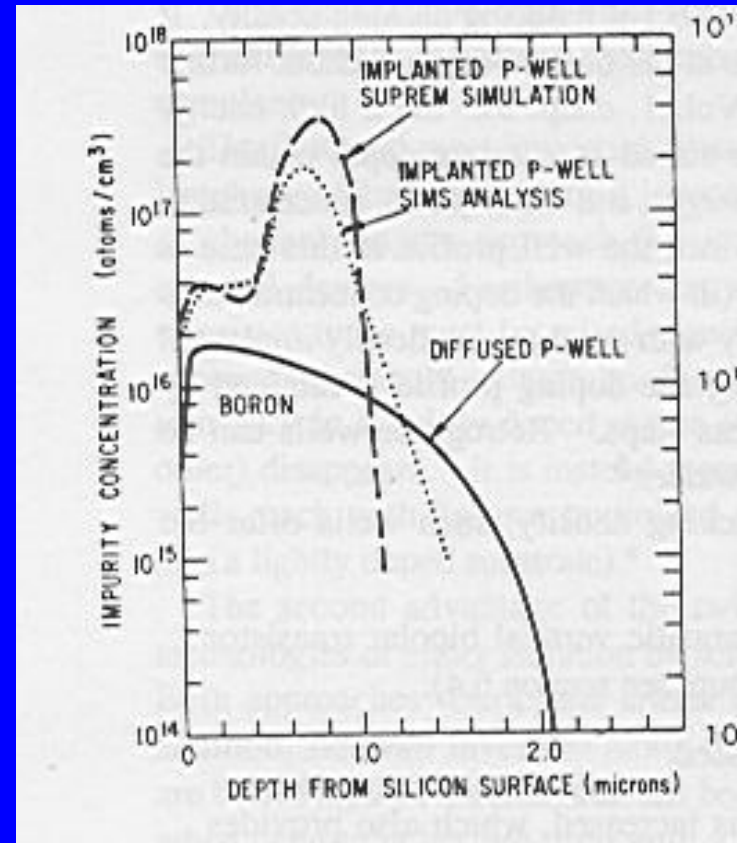


4. Tipos de Ilhas para CMOS – cont.

- Mais tipos:

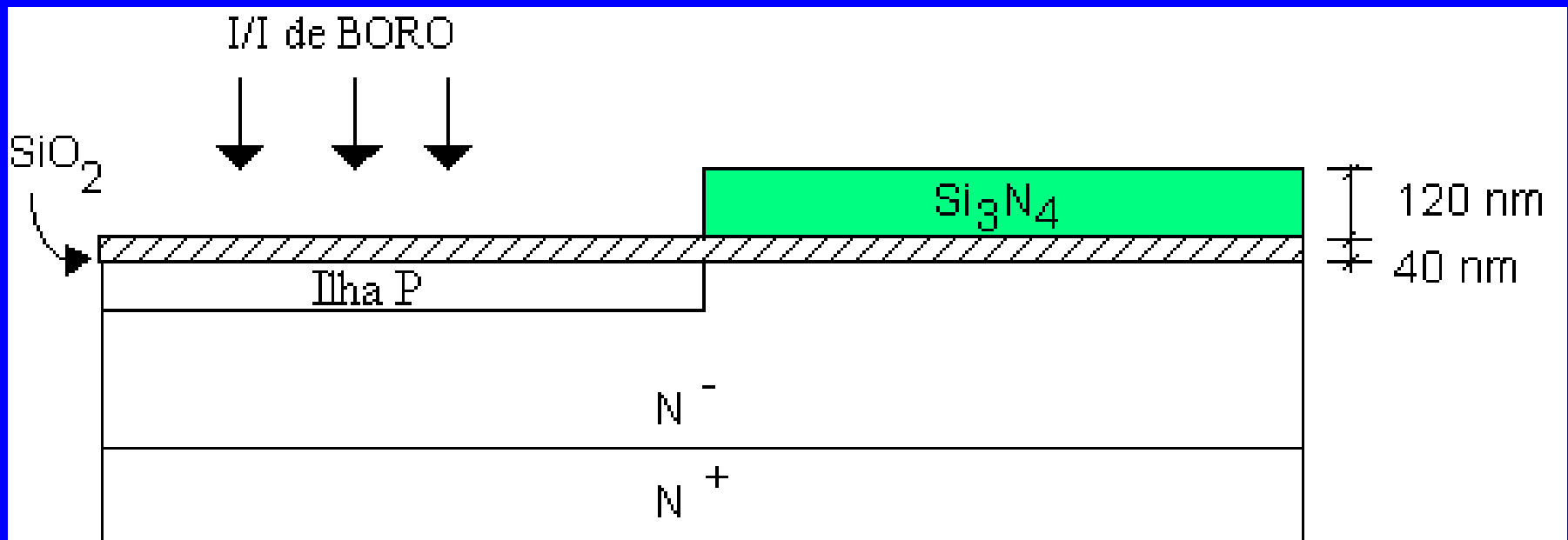
- Ilha retrogradual

- Ilhas completamente isoladas - SOI



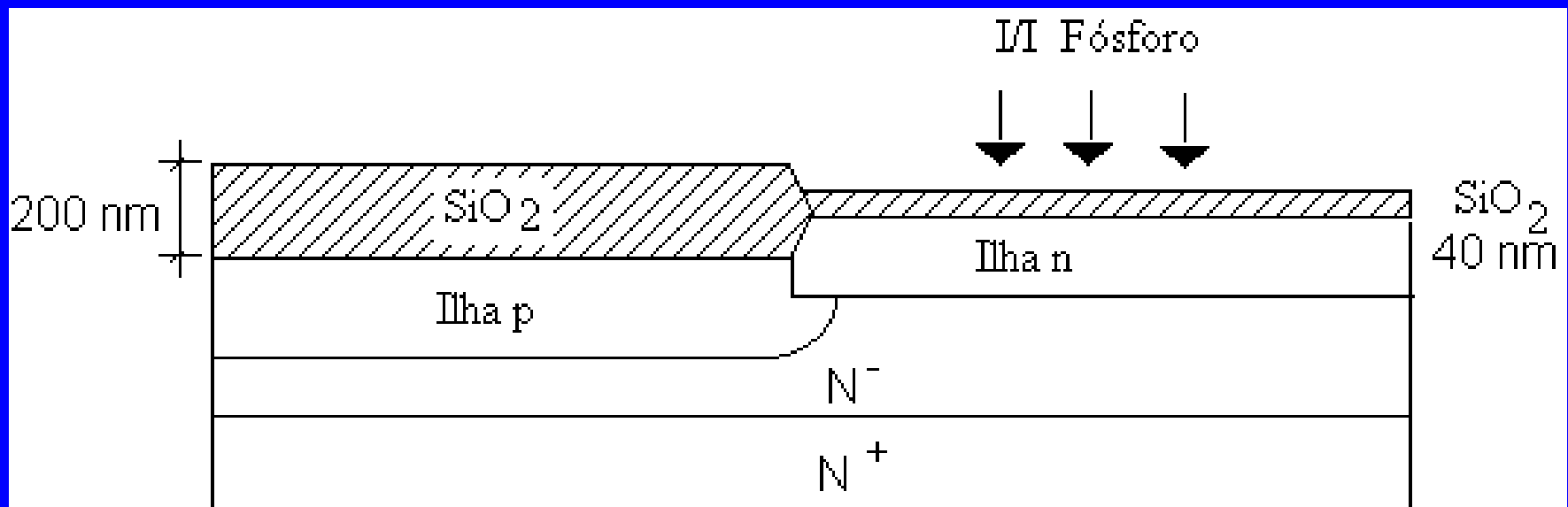
4. Tipos de Ilhas para CMOS – cont.

- Formação de ilhas gêmeas ou duplas:
 1. Oxidação térmica de ~ 40 nm
 2. Deposição de Si_3N_4 de ~120 nm
 3. Fotogravação de ilha p + etch do Si_3N_4 – M1
 4. I/I de $^{11}\text{B}^+$



Formação de ilhas gêmeas ou duplas: cont.

5. Recozimento de Boro – ilha p
6. Oxidação térmica local (200 nm) e difusão – ilha p ($\sim 4 \mu\text{m}$)
7. Remoção total do Si_3N_4
8. I/I de $^{31}\text{P}^+$
9. Recozimento de Fósforo – ilha n



5. Isolação entre dispositivos

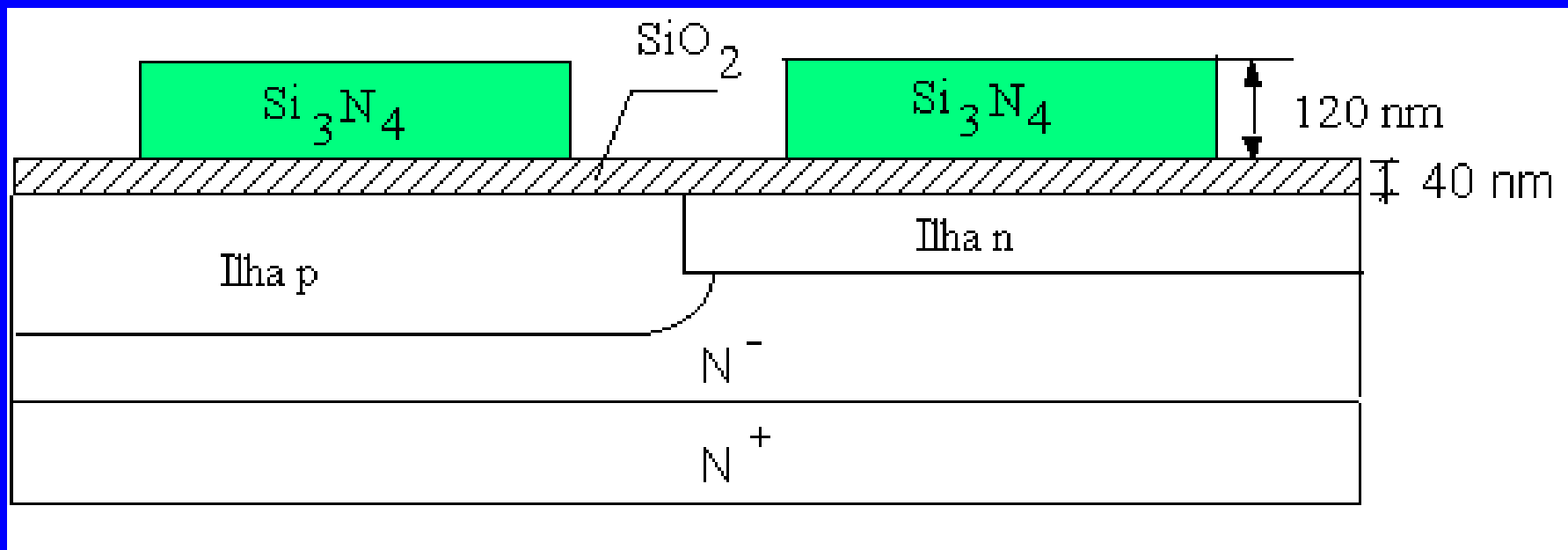
- Processo Tradicional: I/I + LOCOS

10. Remoção total do SiO_2

11. Oxidação térmica do Si (~40 nm)

12. Deposição de Si_3N_4 de ~120 nm

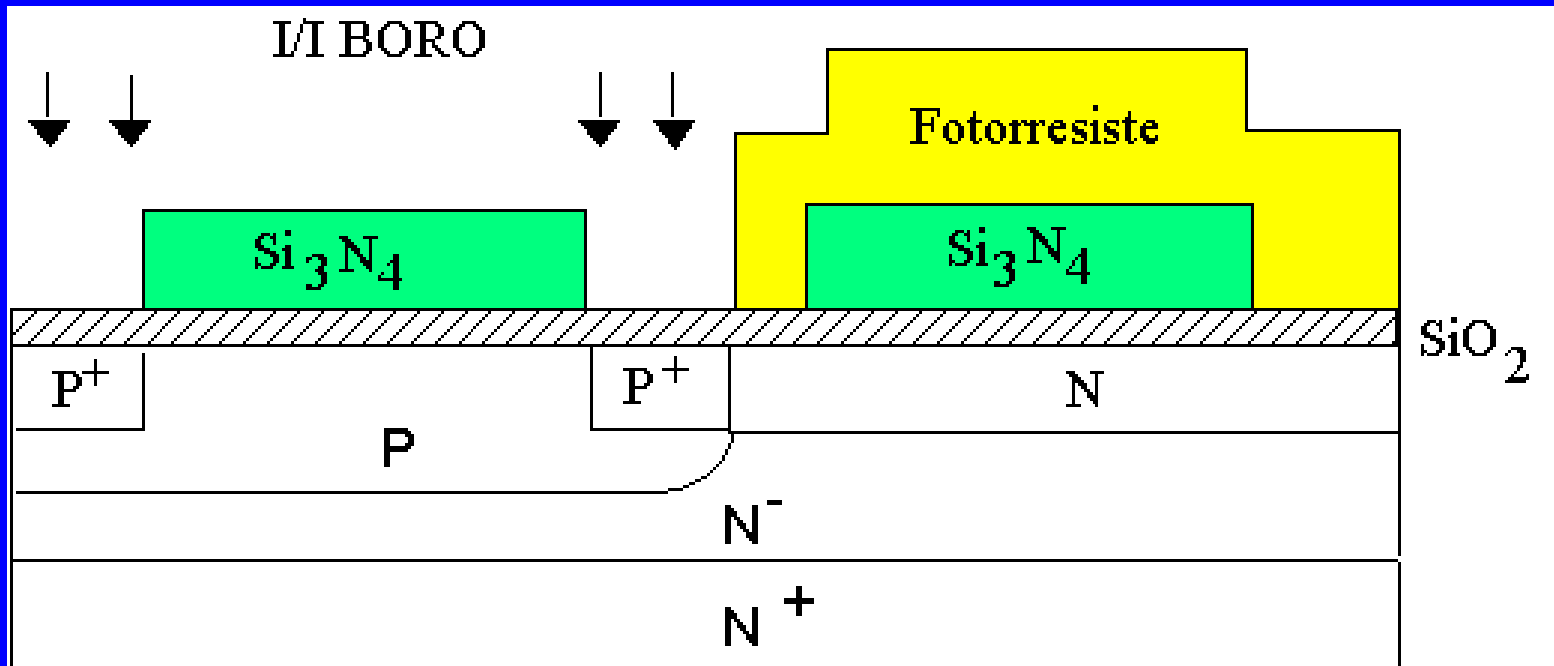
13. Fotogração de áreas ativas + etch do Si_3N_4 – M2



5. Isolação entre dispositivos – cont.

14. Fotogravação de anel de guarda p^+ - M3

15. I/I de $^{11}\text{B}^+$



16. Remoção do F.R.

17. Recozimento de Boro (anel de guarda)

18. Oxidação Local do Si ($\sim 1 \mu\text{m}$)

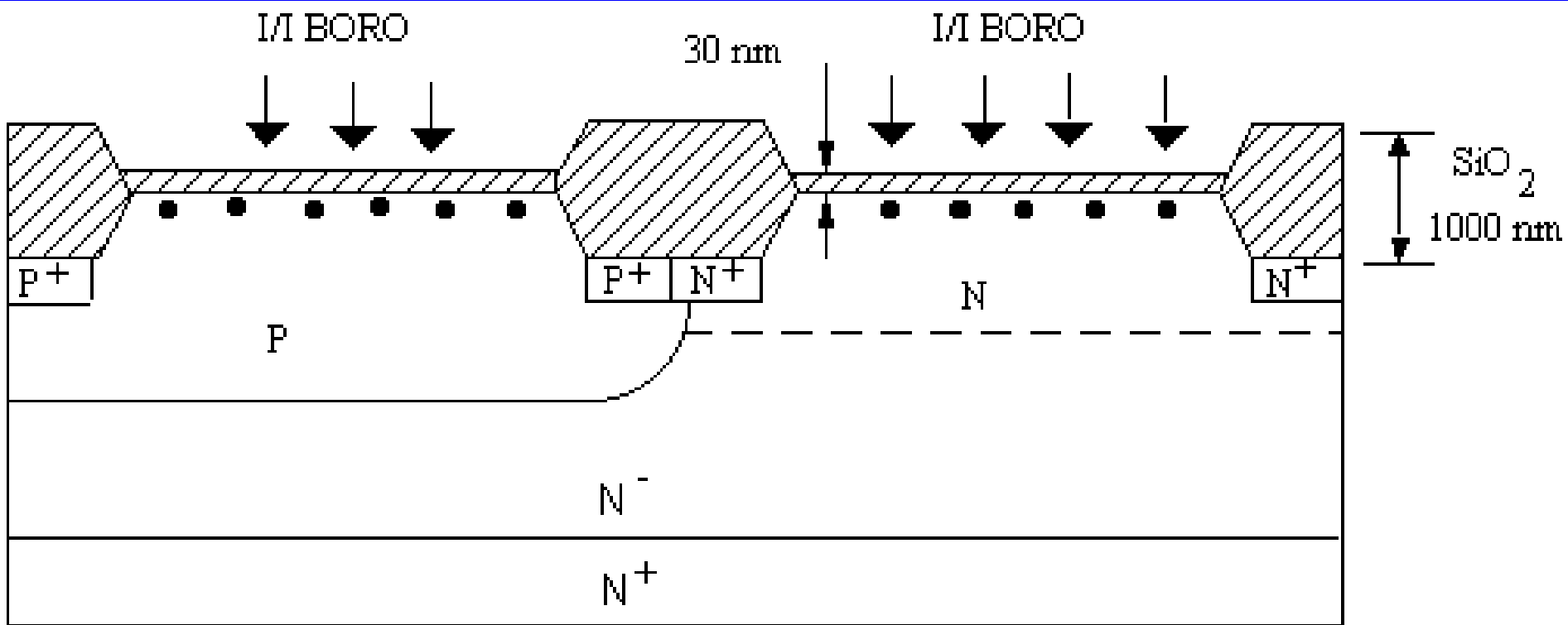
6. Canal e dielétrico de porta

19. Remoção total do nitreto de Si.

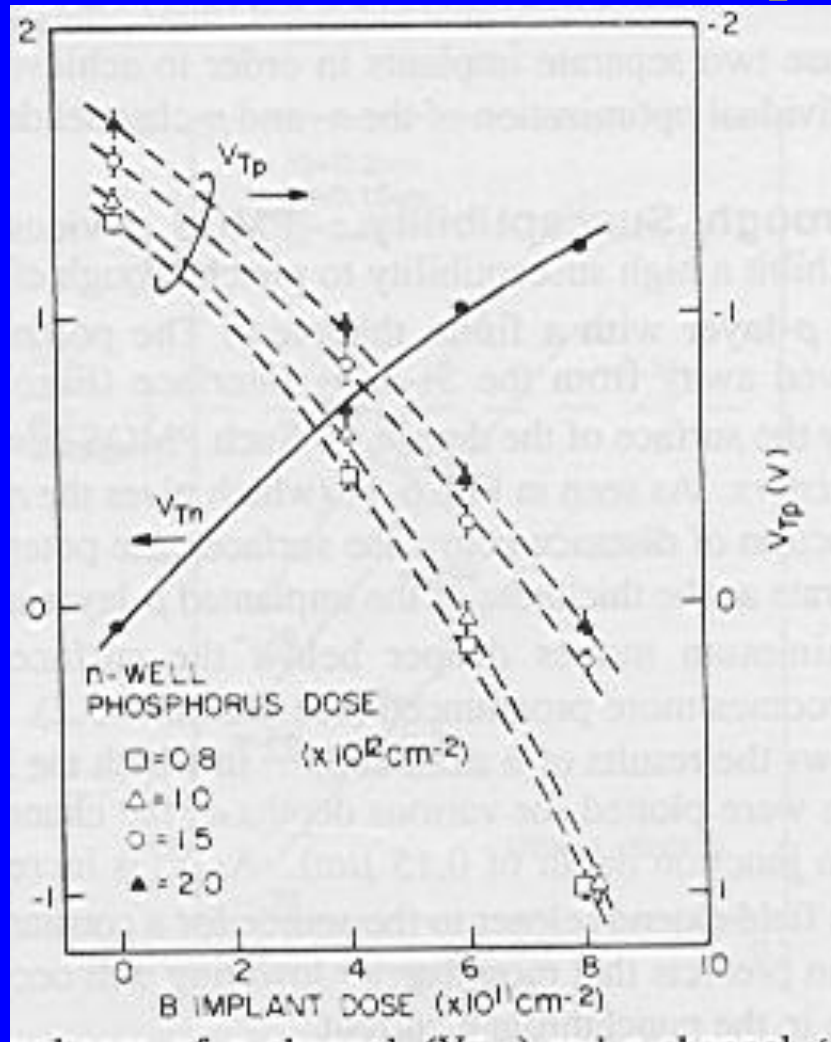
20. Remoção do óxido fino

21. Oxidação térmica de Si (~30 nm)

22. I/I de $^{11}\text{B}^+$ de ajuste de V_T 's



6. Canal e dielétrico de porta – cont.



23. Remoção do óxido fino

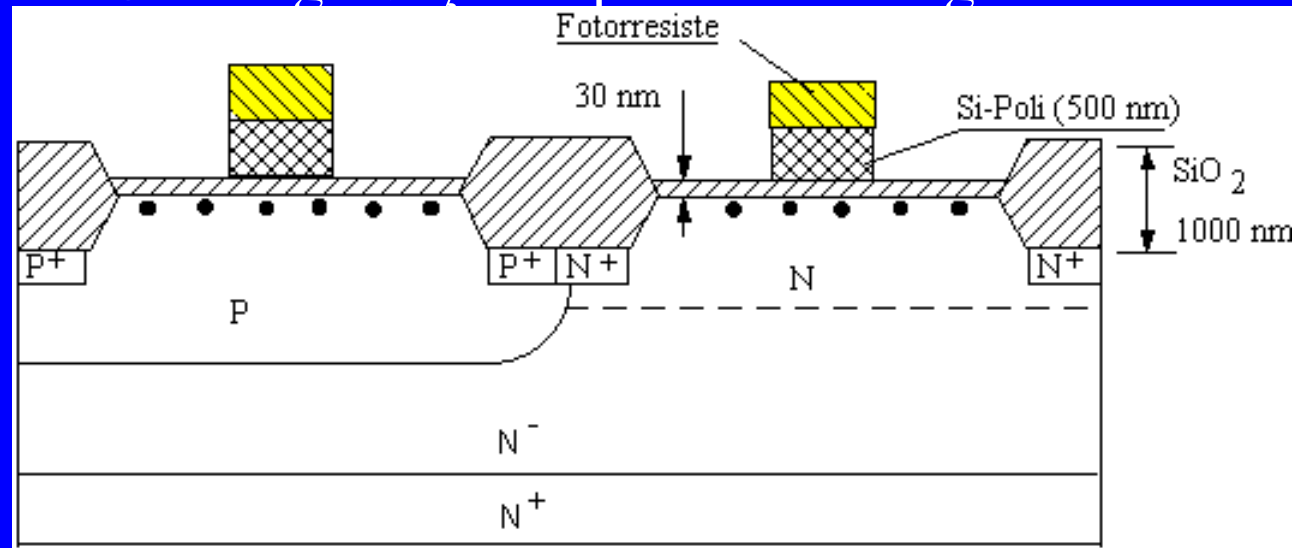
24. Oxidação térmica de porta (~ 5 a 20 nm).

7. Material e terminal de porta

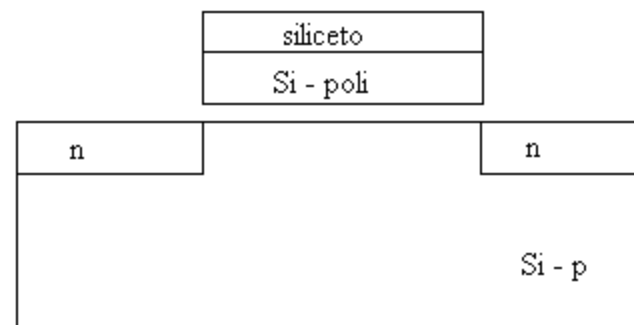
- Primórdios: Al – não refratário
- Padrão: Si-poli – refratário, S/D auto-alinhados

25. Deposição por LPCVD com dopagem n^+

26. Fotogravação + plasma etching – M4



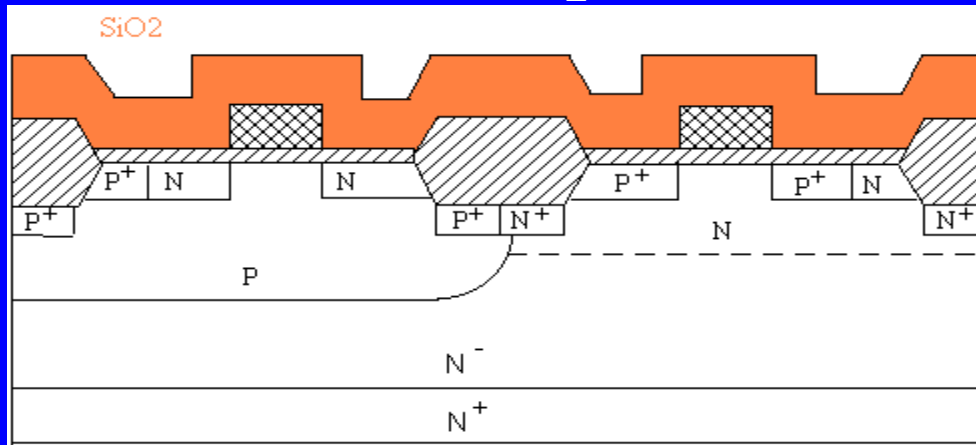
- Policetos: M- Si_2 /Si-poli
– $R_s \sim 2\ \Omega/\square$



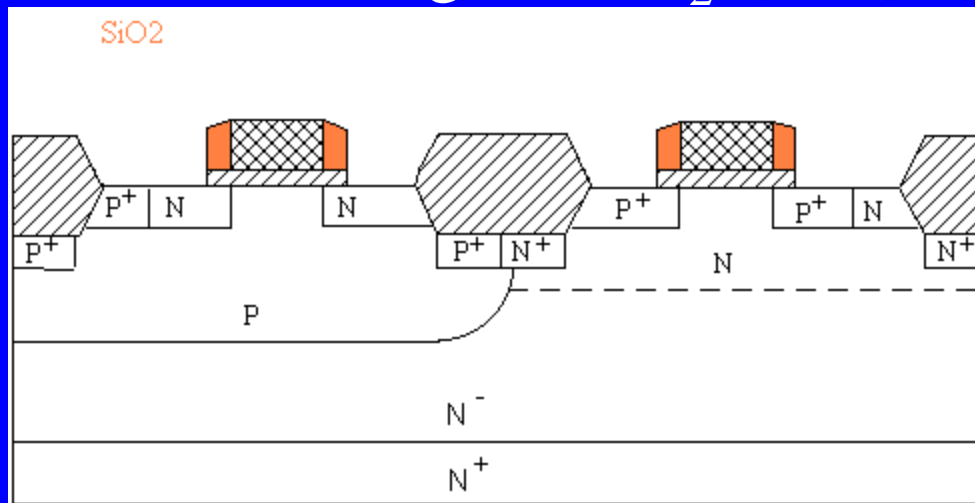
8. Engenharia de Fonte-Dreno – cont.

- Formação de espaçador (Spacer)

33. Deposição de SiO_2 – (LPCVD)

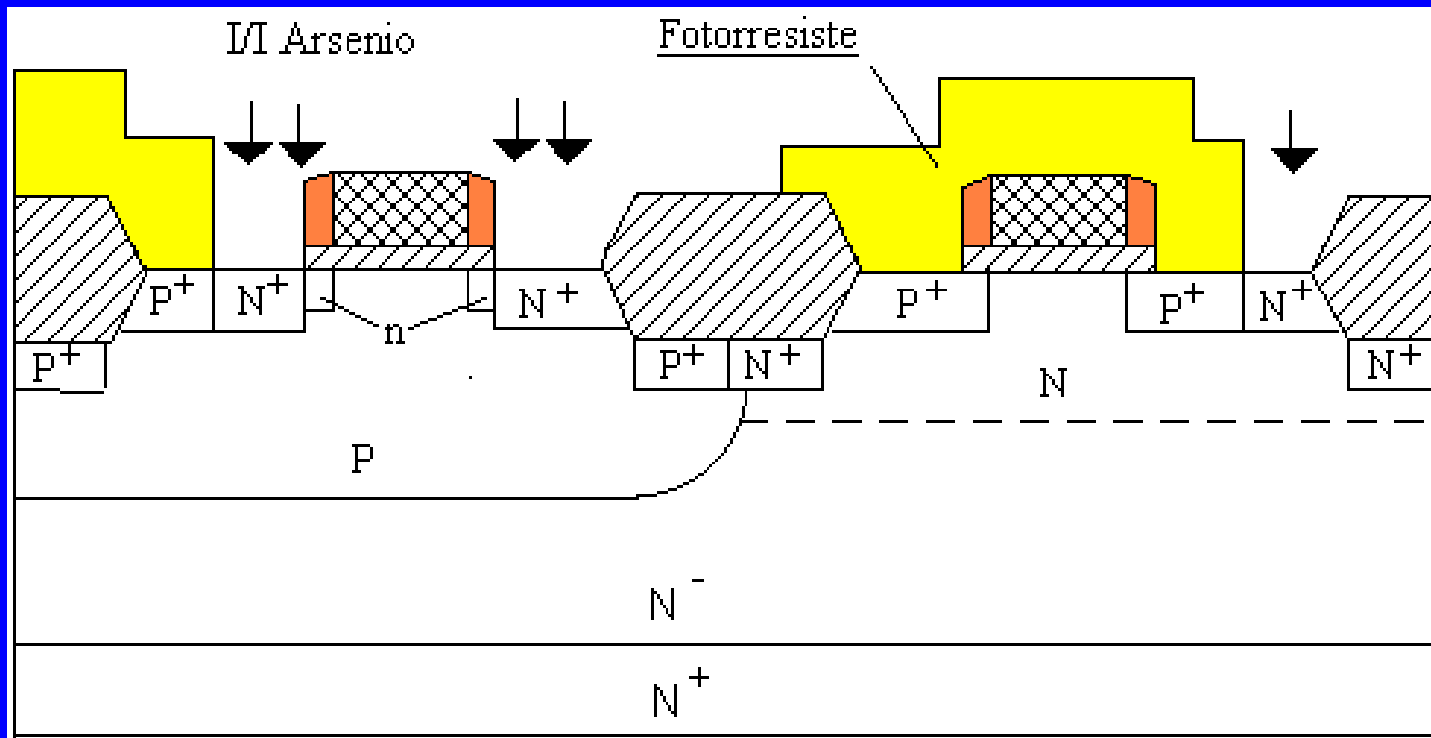


34. Plasma etching de SiO_2 (RIE)



8. Engenharia de Fonte-Dreno – cont.

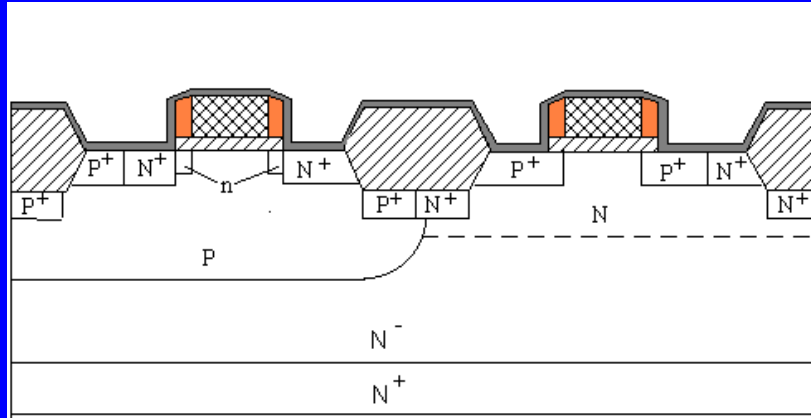
- 35. Fotogração de áreas nMOS – M6
- 36. I/I de $^{75}\text{As}^+$



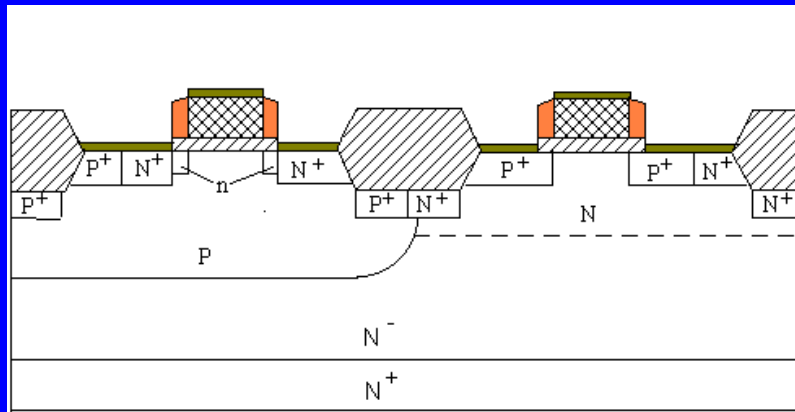
- 37. Remoção de F.R.
- 38. Recozimento das regiões implantada S/D.

9. Formação de silicetos

- 39. Deposição de metal refratário (Ti, Co ou Ni)



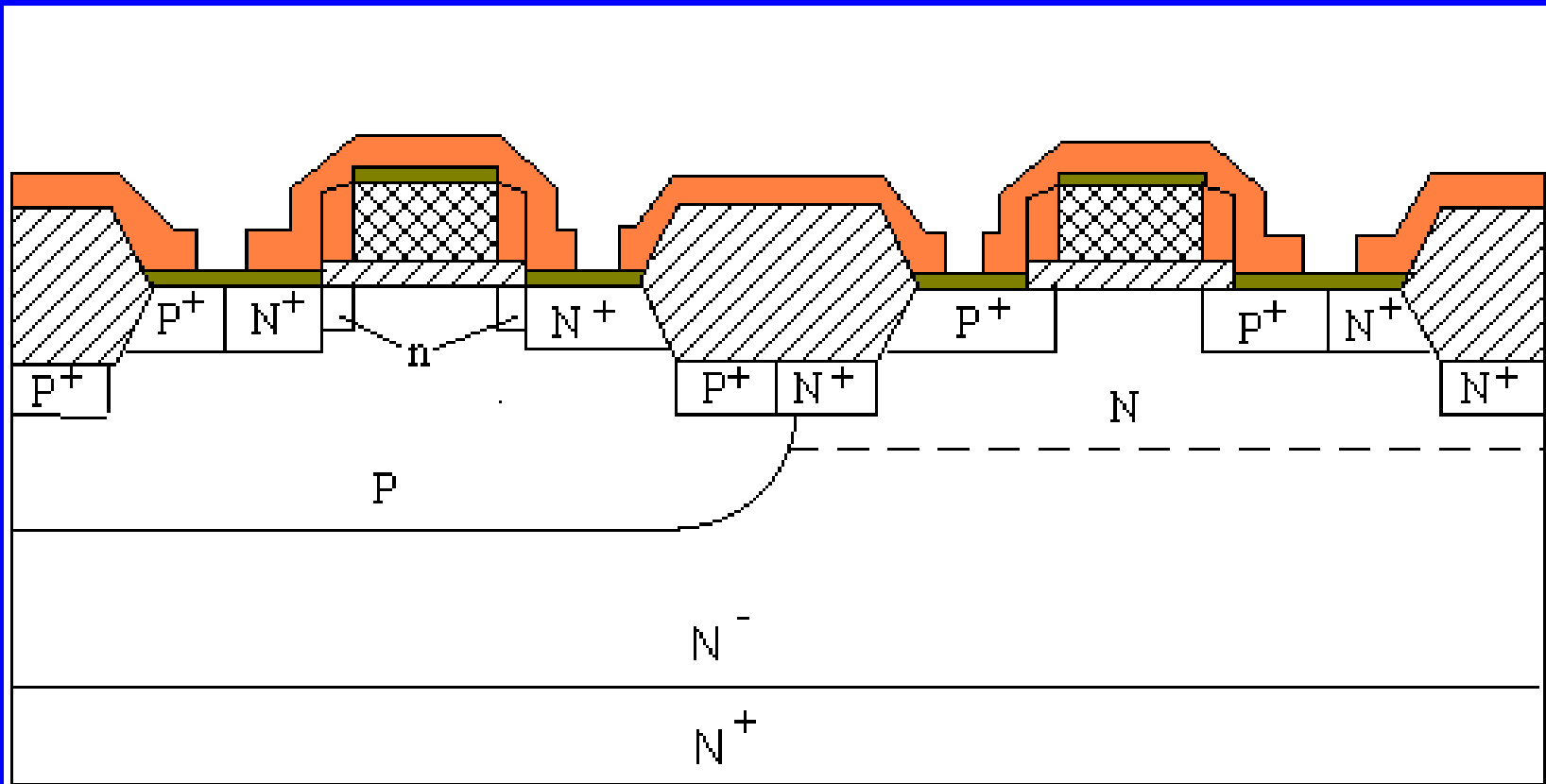
- 40. Recozimento RTP – formação de 1ª fase siliceto
- 41. Etching seletivo de metal não reagido sobre SiO_2



- 42. Recozimento RTP – formação da fase final do siliceto

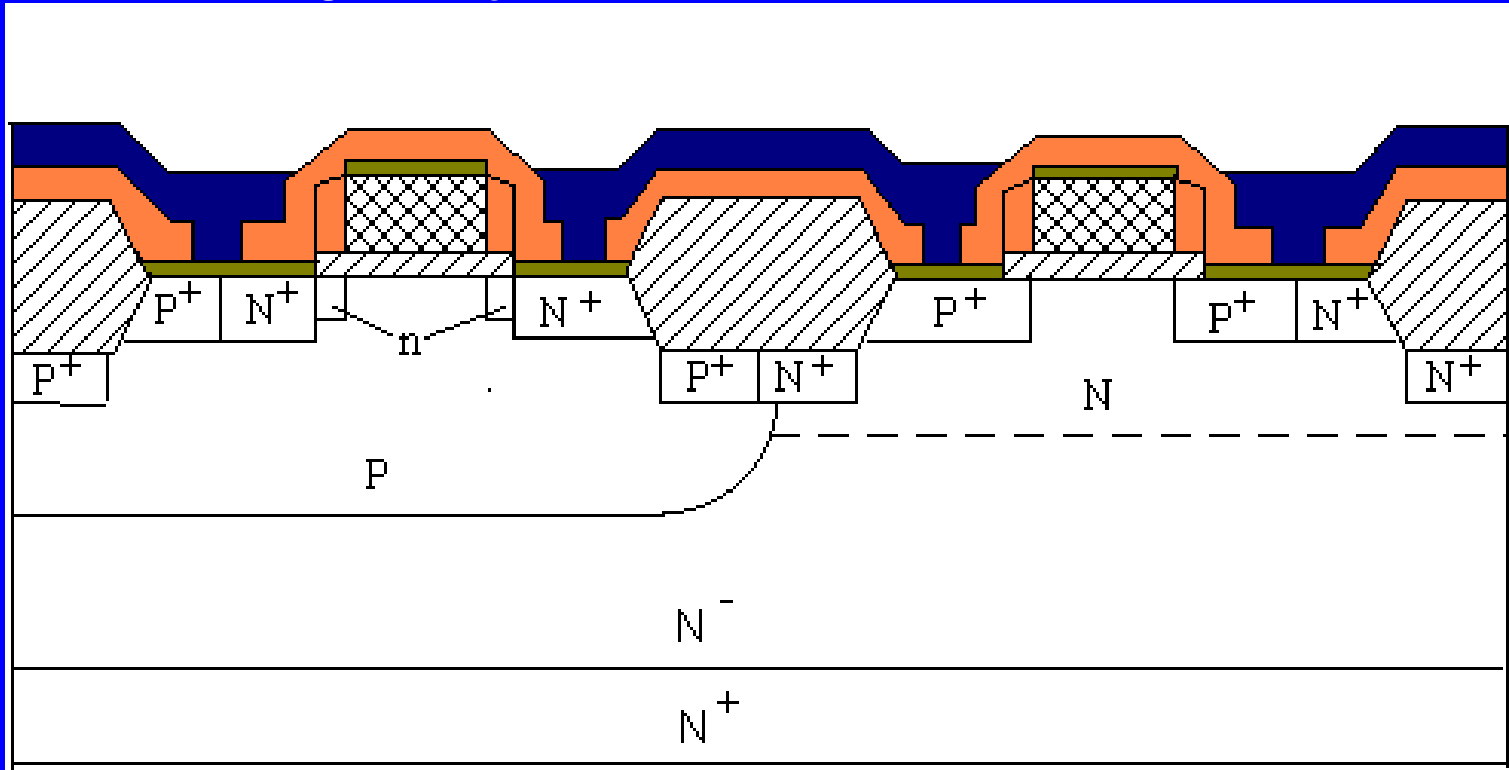
10. Interconexões

- 43. Deposição de dielétrico – SiO_2 (PECVD)
- 44. Fotogração de contatos – M7
- 45. Plasma etching de contatos
- 46. Remoção de F.R.



10. Interconexões – cont.

- 47. Deposição de Al (Sputtering).
- 48. Fotogravação de interconexões – M8



- 49. Sinterização de contatos
- 50. Repetir etapas anteriores para multiníveis.